

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207271  
(P2004-207271A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 27/12	HO 1 L 27/12	B 5 F O 3 2
HO 1 L 21/3205	HO 1 L 27/12	C 5 F O 3 3
HO 1 L 21/76	HO 1 L 27/12	L 5 F O 3 8
HO 1 L 21/762	HO 1 L 27/04	H
HO 1 L 21/822	HO 1 L 27/04	C
審査請求 未請求 請求項の数 36 O L (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2002-370971 (P2002-370971)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成14年12月20日(2002.12.20)	(74) 代理人	100090158 弁理士 藤巻 正憲
		(72) 発明者	大窪 宏明 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		(72) 発明者	富留宮 正之 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		(72) 発明者	山本 良太 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
最終頁に続く			

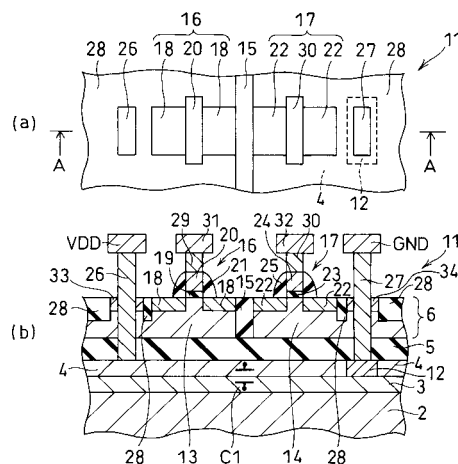
(54) 【発明の名称】 SOI基板及び半導体集積回路装置

(57) 【要約】

【課題】デカップリング容量及びガードリング等のノイズを低減する構造物を設けるための専用配置領域を必要としないSOI基板及び半導体集積回路装置を提供する。

【解決手段】P<sup>-</sup>型シリコンからなる支持基板2を設け、この支持基板2上にP<sup>+</sup>型シリコン層3を設け、その上にN<sup>+</sup>型シリコン層4及びP<sup>+</sup>型シリコン層12を相互に同層に設ける。P<sup>+</sup>型シリコン層3及びN<sup>+</sup>型シリコン層4の不純物濃度は支持基板2の不純物濃度よりも高くする。また、N<sup>+</sup>型シリコン層4及びP<sup>+</sup>型シリコン層12上の全面に、埋込酸化膜5及びSOI層6を設ける。そして、P<sup>+</sup>型シリコン層3を接地電位配線GNDに接続し、N<sup>+</sup>型シリコン層4を電源電位配線VDDに接続する。これにより、P<sup>+</sup>型シリコン層とN<sup>+</sup>型シリコン層4との間に、電源に並列に接続されたデカップリング容量C1が形成される。

【選択図】 図2



- 1: SOI基板 2: 支持基板 3: P<sup>+</sup>型シリコン層
- 4: N<sup>+</sup>型シリコン層 5: 埋込酸化膜 6: SOI層
- 11: 半導体集積回路装置 12: P<sup>+</sup>型シリコン層 13: N<sup>+</sup>ウェル
- 14: P<sup>+</sup>ウェル 15: 素子分離膜 16: PMOSトランジスタ
- 17: NMOSトランジスタ 18: p型拡散領域
- 19: ゲート絶縁膜 20: ゲート電極 21: 側壁
- 22: n型拡散領域 23: ゲート絶縁膜 24: ゲート電極
- 25: 側壁 26、27、29、30: ビア 28: STI領域
- 31、32: 配線 C1: デカップリング容量
- 33: n型拡散領域 34: p型拡散領域

## 【特許請求の範囲】

## 【請求項 1】

支持基板と、この支持基板の一部に形成され前記支持基板よりも抵抗率が低い半導体領域と、前記支持基板上に設けられた絶縁膜と、この絶縁膜上に設けられ半導体集積回路を形成するための半導体層と、を有することを特徴とする S O I 基板。

## 【請求項 2】

前記半導体領域が前記支持基板の表面の少なくとも一部に形成されていることを特徴とする請求項 1 に記載の S O I 基板。

## 【請求項 3】

前記支持基板が第 1 導電型半導体からなり、前記半導体領域が前記支持基板よりも不純物濃度が高い第 1 導電型半導体からなることを特徴とする請求項 1 又は 2 に記載の S O I 基板。 10

## 【請求項 4】

前記支持基板が第 1 導電型半導体からなり、前記半導体領域が第 2 導電型半導体からなり、前記支持基板と前記半導体領域との間に P N 接合が形成されることを特徴とする請求項 1 又は 2 に記載の S O I 基板。

## 【請求項 5】

前記支持基板中に形成され前記半導体領域とは異なる導電型の他の半導体領域を有し、前記半導体領域と前記他の半導体領域との間に P N 接合が形成されることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の S O I 基板。 20

## 【請求項 6】

前記半導体領域が前記支持基板の表面の全面に形成されており、前記他の半導体領域が前記半導体領域下の全面に形成されていることを特徴とする請求項 5 に記載の S O I 基板。

## 【請求項 7】

前記半導体領域及び前記他の半導体領域が前記支持基板の表面に相互に同層に形成されていることを特徴とする請求項 5 に記載の S O I 基板。

## 【請求項 8】

前記支持基板の表面から見て、前記半導体領域及び前記他の半導体領域の形状は夫々相互に平行に配置された複数本の枝部が根元部に連結されてなる櫛型形状であり、前記半導体領域の枝部間に前記他の半導体領域の枝部が入り込んでおり前記半導体領域と前記他の半導体領域が相互に接していることを特徴とする請求項 7 に記載の S O I 基板。 30

## 【請求項 9】

前記支持基板が前記半導体領域及び前記他の半導体領域よりも不純物濃度が低い半導体からなることを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載の S O I 基板。

## 【請求項 10】

前記他の半導体領域がエピタキシャル成長により形成された層であることを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載の S O I 基板。

## 【請求項 11】

前記他の半導体領域が前記支持基板に不純物を注入することにより形成された領域であることを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載の S O I 基板。 40

## 【請求項 12】

前記半導体領域がエピタキシャル成長により形成された層であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の S O I 基板。

## 【請求項 13】

前記半導体領域が前記支持基板に不純物を注入することにより形成された領域であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の S O I 基板。

## 【請求項 14】

支持基板と、この支持基板の一部に形成され前記支持基板よりも抵抗率が低く第 1 の電位が印加された半導体領域と、前記支持基板上に設けられた絶縁膜と、この絶縁膜上に設けられた半導体層と、この半導体層に形成された集積回路と、を有することを特徴とする半 50

導体集積回路装置。

【請求項 15】

前記半導体領域が前記支持基板の表面の少なくとも一部に形成されていることを特徴とする請求項 14 に記載の半導体集積回路装置。

【請求項 16】

前記支持基板が第 1 導電型半導体からなり、前記半導体領域が前記支持基板よりも不純物濃度が高い第 1 導電型半導体からなることを特徴とする請求項 14 又は 15 に記載の半導体集積回路装置。

【請求項 17】

前記半導体層及び前記絶縁膜を貫通し前記半導体領域に接続されたビアが形成されており、前記半導体領域は前記ビアを介して前記第 1 の電位が印加されていることを特徴とする請求項 16 に記載の半導体集積回路装置。 10

【請求項 18】

前記半導体領域は前記支持基板を介して前記第 1 の電位が印加されていることを特徴とする請求項 16 に記載の半導体集積回路装置。

【請求項 19】

導電体からなり前記半導体層中に前記集積回路を囲むように形成され前記半導体領域に接続されたガードリングを有することを特徴とする請求項 14 乃至 18 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 20】

前記支持基板が第 1 導電型半導体からなると共に第 2 の電位が印加されており、前記半導体領域が第 2 導電型半導体からなり、前記支持基板と前記半導体領域との間にデカップリング容量が形成されることを特徴とする請求項 14 又は 15 に記載の半導体集積回路装置。 20

【請求項 21】

前記半導体層及び前記絶縁膜を貫通し前記半導体領域に接続された第 1 のビアが形成されており、前記半導体領域は前記第 1 のビアを介して前記第 1 の電位が印加されていることを特徴とする請求項 20 に記載の半導体集積回路装置。

【請求項 22】

前記半導体領域と同層で第 1 導電型のコンタクト領域が形成されており、前記半導体層及び前記絶縁膜を貫通し前記コンタクト領域に接続された第 2 のビアが形成されており、前記支持基板は前記コンタクト領域及び前記第 2 のビアを介して前記第 2 の電位が印加されていることを特徴とする請求項 20 又は 21 に記載の半導体集積回路装置。 30

【請求項 23】

前記支持基板はその裏面から前記第 2 の電位が印加されていることを特徴とする請求項 20 又は 21 に記載の半導体集積回路装置。

【請求項 24】

前記支持基板中に形成され前記半導体領域とは異なる導電型であり第 2 の電位が印加された他の半導体領域を有し、前記半導体領域と前記他の半導体領域との間にデカップリング容量が形成されることを特徴とする請求項 14 又は 15 に記載の半導体集積回路装置。 40

【請求項 25】

前記半導体領域が前記支持基板の表面に形成されており、前記他の半導体領域が前記半導体領域下に形成されていることを特徴とする請求項 24 に記載の半導体集積回路装置。

【請求項 26】

前記半導体層及び前記絶縁膜を貫通し前記半導体領域に接続された第 1 のビアが形成されており、前記半導体領域は前記第 1 のビアを介して前記第 1 の電位が印加されていることを特徴とする請求項 25 に記載の半導体集積回路装置。

【請求項 27】

前記半導体領域と同層で導電型が前記他の半導体領域と同じであるコンタクト領域が形成されており、前記半導体層及び前記絶縁膜を貫通し前記コンタクト領域に接続された第 2 50

のビアが形成されており、前記他の半導体領域は前記コンタクト領域及び前記第 2 のビアを介して前記第 2 の電位が印加されていることを特徴とする請求項 25 又は 26 に記載の半導体集積回路装置。

【請求項 28】

前記他の半導体領域は前記支持基板を介して前記第 2 の電位が印加されていることを特徴とする請求項 25 又は 26 に記載の半導体集積回路装置。

【請求項 29】

前記半導体領域及び前記他の半導体領域が前記支持基板の表面に相互に同層に形成されていることを特徴とする請求項 24 に記載の半導体集積回路装置。

【請求項 30】

前記支持基板の表面から見て、前記半導体領域及び前記他の半導体領域の形状は夫々相互に平行に配置された複数本の枝部が根元部に連結されてなる櫛型形状であり、前記半導体領域の枝部間に前記他の半導体領域の枝部が入り込んでおり前記半導体領域と前記他の半導体領域が相互に接していることを特徴とする請求項 29 に記載半導体集積回路装置。

10

【請求項 31】

前記半導体層及び前記絶縁膜を貫通し前記半導体領域に接続された第 1 のビアが形成されており、前記半導体層及び前記絶縁膜を貫通し前記他の半導体領域に接続された第 2 のビアが形成されており、前記半導体領域は前記第 1 のビアを介して前記第 1 の電位が印加されており、前記他の半導体領域は前記第 2 のビアを介して前記第 2 の電位が印加されていることを特徴とする請求項 29 又は 30 に記載の半導体集積回路装置。

20

【請求項 32】

前記支持基板が前記半導体領域及び前記他の半導体領域よりも不純物濃度が低い半導体からなることを特徴とする請求項 24 乃至 31 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 33】

前記他の半導体領域がエピタキシャル成長により形成された層であることを特徴とする請求項 24 乃至 32 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 34】

前記他の半導体領域が前記支持基板に不純物を注入することにより形成された領域であることを特徴とする請求項 24 乃至 32 のいずれか 1 項に記載の半導体集積回路装置。

30

【請求項 35】

前記半導体領域がエピタキシャル成長により形成された層であることを特徴とする請求項 14 乃至 34 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 36】

前記半導体領域が前記支持基板に不純物を注入することにより形成された領域であることを特徴とする請求項 14 乃至 34 のいずれか 1 項に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ノイズの低減を図った S O I (Silicon On Insulator) 基板及び半導体集積回路装置に関し、特に、素子の高集積化を可能とする S O I 基板及び S O I 集積回路装置に関する。

40

【0002】

【従来の技術】

従来より、シリコン基板上に B O X (Buried Oxide: 埋込酸化膜) 層を形成し、この B O X 層上に S O I 層を形成し、この S O I 層に M O S トランジスタ等からなる集積回路を形成する S O I 技術が開発されている。これにより、例えば、M O S トランジスタの高速化を図ることができる(例えば、特許文献 1 参照。)

【0003】

しかしながら、近時、半導体集積回路装置の動作周波数が極めて高くなってきており、電

50

源配線及びグラウンド配線に割り当てられる配線面積が益々増加する傾向にある。半導体集積回路装置を高周波で動作させると、一時的な電流スパイク等の電源電圧変動が発生しやすくなる。また、複数の回路からなる集積回路内において、回路間でノイズが伝搬し、回路の誤動作が生じることがある。

【0004】

従来、電源電圧変動を抑制するために、電源に並列にデカップリング容量を接続する技術が知られている。これにより電源ノイズを低減し、電源電圧の変動を抑制することができる。この目的を達成するためには、電源に接続するデカップリング容量の大きさを、1個のチップ又はパッケージに対して数十nF程度の大きさとする必要がある。従来の半導体集積回路装置においては、素子形成領域であるコア部及びI/O部の間の各辺に、デカップリング容量を配置する専用配置領域が設けられており、MOS (Metal Oxide Semiconductor: 金属酸化物半導体) によりデカップリング容量が形成されている。

10

【0005】

しかしながら、この従来の半導体集積回路装置においては、デカップリング容量の専用配置領域を設ける必要があるため、装置面積が増大し、その分、素子の集積度が低下するという問題点がある。

【0006】

このため、従来より、素子形成領域において、半導体基板上における素子の側方に多結晶シリコン層を形成し、この多結晶シリコン層と半導体基板の表面に形成された拡散層との間にデカップリング容量を形成する技術が開示されている(例えば、特許文献2参照。)。特許文献2には、これにより、デカップリング容量を設ける専用配置領域が不要になると記載されている。

20

【0007】

しかしながら、この従来の技術においては、素子形成領域における素子の側方にデカップリング容量を形成しているため、素子形成領域の面積が増大してしまうという問題点がある。

【0008】

また、半導体素子上に多層配線構造体を設け、その上に電極、誘電体膜及び電極をこの順に形成し、デカップリング容量を形成する技術も開示されている(例えば、特許文献3参照。)。特許文献3には、これにより、半導体装置内に大容量のデカップリング容量を設けることができると記載されている。

30

【0009】

一方、回路間のノイズ伝搬を抑制するために、ノイズの影響を受けやすい回路を囲むようにガードリングを設ける技術が知られている(例えば、特許文献4参照。)

【0010】

【特許文献1】

特開2001-339071号公報

【特許文献2】

特開平10-12825号公報(第3頁、第1図、第2図)

40

【特許文献3】

特開2002-124636号公報(第3-5頁、第7図)

【特許文献4】

特開2001-044277号公報

【0011】

【発明が解決しようとする課題】

しかしながら、上述の従来の技術には以下に示すような問題点がある。特許文献3に記載された技術においては、多層配線構造体の上にデカップリング容量を設けているため、多層配線構造体上におけるデカップリング容量を設けた領域にはパッド電極等を設けることができない。このため、半導体集積回路装置のレイアウトが制約され、結果的に装置が大

50

型化する。また、多層配線構造体上にデカップリング容量を設けるためには、少なくとも、下層の電極を形成する工程と、誘電体層を形成する工程と、上層の電極を形成する工程が必要となり、半導体集積回路装置の製造工程が煩雑化し、製造コストが増加する。また、ガードリングを設ける技術においても、回路を囲むようにガードリングを設けると、素子形成領域の面積が増大してしまうという問題点がある。

【0012】

本発明はかかる問題点に鑑みてなされたものであって、デカップリング容量及びガードリング等のノイズを低減する構造物を設けるための専用配置領域を必要としないSOI基板及び半導体集積回路装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明に係るSOI基板は、支持基板と、この支持基板の一部に形成され前記支持基板よりも抵抗率が低い半導体領域と、前記支持基板上に設けられた絶縁膜と、この絶縁膜上に設けられ半導体集積回路を形成するための半導体層と、を有することを特徴とする。

【0014】

本発明においては、本発明に係るSOI基板を使用して半導体集積回路装置を作製する際に、半導体領域を外部の電源に接続して、電源電位を印加することにより、この半導体領域にノイズを吸収させることができる。この結果、半導体層に形成される集積回路をノイズから守ると共に、この集積回路から発生するノイズが他の集積回路に伝搬することを防止できる。また、半導体領域を設けるための専用配置領域を必要としないため、装置の小型化を図ることができる。

【0015】

本発明に係る半導体集積回路装置は、支持基板と、この支持基板の一部に形成され前記支持基板よりも抵抗率が低く第1の電位が印加された半導体領域と、前記支持基板上に設けられた絶縁膜と、この絶縁膜上に設けられた半導体層と、この半導体層に形成された集積回路と、を有することを特徴とする。

【0016】

本発明においては、半導体領域がノイズを吸収し、集積回路の誤動作を防止すると共に、この集積回路から発生するノイズが他の集積回路に影響を及ぼすことを防止できる。また、半導体領域を設けるための専用配置領域を必要としないため、装置の小型化を図ることができる。

【0017】

また、前記支持基板が第1導電型半導体からなり、前記半導体領域が前記支持基板よりも不純物濃度が高い第1導電型半導体からなってもよい。また、このとき、導電体からなり前記半導体層中に前記集積回路を囲むように形成され前記半導体領域に接続されたガードリングを有していてもよい。これにより、ノイズをより効果的に吸収できる。

【0018】

又は、前記支持基板が第1導電型半導体からなると共に第2の電位が印加されており、前記半導体領域が第2導電型半導体からなり、前記支持基板と前記半導体領域との間にデカップリング容量が形成されていてもよい。なお、このデカップリング容量は、支持基板と半導体領域との界面におけるPN接合により形成される。これにより、電源ノイズを吸収し、集積回路の動作を安定化することができる。

【0019】

このとき、前記半導体層及び前記絶縁膜を貫通し前記半導体領域に接続された第1のビアが形成されており、前記半導体領域は前記第1のビアを介して前記第1の電位が印加されていてもよい。また、前記半導体領域と同層で第1導電型のコンタクト領域が形成されており、前記半導体層及び前記絶縁膜を貫通し前記コンタクト領域に接続された第2のビアが形成されており、前記支持基板は前記コンタクト領域及び前記第2のビアを介して前記第2の電位が印加されていてもよく、前記支持基板はその裏面から前記第2の電位が印加されていてもよい。

10

20

30

40

50

## 【0020】

又は、前記支持基板中に形成され前記半導体領域とは異なる導電型であり第2の電位が印加された他の半導体領域を有し、前記半導体領域と前記他の半導体領域との間にデカップリング容量が形成されていてもよい。なお、このデカップリング容量は、前記半導体領域と他の半導体領域との界面におけるPN接合により形成される。これにより、電源ノイズを吸収し、集積回路の動作の安定化を図ることができる。

## 【0021】

このとき、前記半導体領域が前記支持基板の表面に形成されており、前記他の半導体領域が前記半導体領域下に形成されていてもよく、前記半導体領域及び前記他の半導体領域が前記支持基板の表面に相互に同層に形成されていてもよい。同層に形成されている場合は、前記支持基板の表面から見て、前記半導体領域及び前記他の半導体領域の形状は夫々相互に平行に配置された複数本の枝部が根元部に連結されてなる櫛型形状であり、前記半導体領域の枝部間に前記他の半導体領域の枝部が入り込んでおり前記半導体領域と前記他の半導体領域が相互に接していることが好ましい。これにより、半導体領域と他の半導体領域との界面の面積が増加し、デカップリング容量の容量値を増大させることができる。

10

## 【0022】

また、前記半導体領域及び前記他の半導体領域がエピタキシャル成長により形成された層であってもよい。これにより、結晶の均一性が高く、欠陥が少ない半導体領域を得ることができ、リーク電流を低減することができる。

## 【0023】

又は、前記半導体領域及び前記他の半導体領域が前記支持基板に不純物を注入することにより形成された領域であってもよい。これにより、これらの領域を任意の形状及び面積に形成することができる。

20

## 【0024】

## 【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。図1は本実施形態に係るSOI基板を示す断面図であり、図2(a)は本実施形態に係る半導体集積回路装置を示す平面図であり、(b)は(a)に示すA-A線による断面図である。なお、図2(a)においては、後述する側壁21及び25、ビア29及び30、配線31及び32、電源電位配線VDD及び接地電位配線GNDは図示を省略されている。

30

## 【0025】

図1に示すように、本実施形態に係るSOI基板1においては、P<sup>-</sup>型シリコンからなる支持基板2が設けられており、この支持基板2上の全面にP<sup>+</sup>型シリコン層3が設けられており、このP<sup>+</sup>型シリコン層3上の全面にN<sup>+</sup>型シリコン層4が設けられている。そして、このN<sup>+</sup>型シリコン層4上の全面に、埋込酸化膜(BOX層)5が設けられており、この埋込酸化膜5上の全面に、SOI層6が設けられている。

## 【0026】

SOI基板1全体の厚さは例えば300乃至800 $\mu\text{m}$ であり、そのうち、P<sup>+</sup>型シリコン層3の厚さは例えば50乃至300nmであり、N<sup>+</sup>型シリコン層4の厚さは例えば50乃至300nmであり、埋込酸化膜5の厚さは例えば150nmであり、SOI層6の厚さは例えば250nmである。また、支持基板2及びP<sup>+</sup>型シリコン層3にはP型不純物として例えばB(ボロン)が注入されている。支持基板2の不純物濃度は例えば $1 \times 10^{15} \text{ cm}^{-3}$ であり、P<sup>+</sup>型シリコン層3の不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ であり、P<sup>+</sup>型シリコン層3の不純物濃度は支持基板2の不純物濃度よりも高くなっている。更に、N<sup>+</sup>型シリコン層4には、N型不純物としてP(リン)が注入されており、その不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ である。

40

## 【0027】

図2(a)及び(b)に示すように、本実施形態に係る半導体集積回路装置11は、例えば、図1に示すSOI基板1を加工して作製されたものである。半導体集積回路装置11

50

においては、支持基板 2 が設けられており、この支持基板 2 上の全面に P<sup>+</sup> 型シリコン層 3 が設けられており、この P<sup>+</sup> 型シリコン層 3 上に N<sup>+</sup> 型シリコン層 4 及び P<sup>+</sup> 型シリコン層 1 2 が相互に同層に設けられている。即ち、P<sup>+</sup> 型シリコン層 3 上における一部の領域には N<sup>+</sup> 型シリコン層 4 が設けられており、N<sup>+</sup> 型シリコン層 4 が設けられていない領域には P<sup>+</sup> 型シリコン層 1 2 が設けられている。そして、N<sup>+</sup> 型シリコン層 4 及び P<sup>+</sup> 型シリコン層 1 2 上の全面には、埋込酸化膜 5 及び S O I 層 6 が設けられている。

【0028】

また、S O I 層 6 には、N ウエル 1 3 及び P ウエル 1 4 が形成されており、N ウエル 1 3 と P ウエル 1 4 との間には素子分離膜 1 5 が形成されている。素子分離膜 1 5 の下端は埋込酸化膜 5 の上面に接している。この結果、N ウエル 1 3 及び P ウエル 1 4 は素子分離膜 1 5 により相互に絶縁されている。そして、N ウエル 1 3 には P M O S トランジスタ 1 6 及び n 型拡散領域 3 3 が形成されており、P ウエル 1 4 には N M O S トランジスタ 1 7 及び p 型拡散領域 3 4 が形成されている。

10

【0029】

即ち、N ウエル 1 3 の表面には、ソース・ドレインとなる 2 ヶ所の p 型拡散領域 1 8 が形成されており、N ウエル 1 3 における p 型拡散領域 1 8 間の領域がチャンネル領域となっている。そして、このチャンネル領域上にゲート絶縁膜 1 9 が設けられており、このゲート絶縁膜 1 9 上に、例えばポリシリコンからなるゲート電極 2 0 が設けられている。また、ゲート絶縁膜 1 9 及びゲート電極 2 0 の側部には、例えばシリコン酸化膜からなる側壁 2 1 が設けられている。N ウエル 1 3、p 型拡散領域 1 8、ゲート絶縁膜 1 9、ゲート電極 2 0、側壁 2 1 により、P M O S トランジスタ 1 6 が形成されている。

20

【0030】

同様に、P ウエル 1 4 の表面には、ソース・ドレインとなる 2 ヶ所の n 型拡散領域 2 2 が形成されており、P ウエル 1 4 における n 型拡散領域 2 2 間の領域がチャンネル領域となっている。そして、このチャンネル領域上にゲート絶縁膜 2 3 及びゲート電極 2 4 が設けられており、ゲート絶縁膜 2 3 及びゲート電極 2 4 の側部には、側壁 2 5 が設けられている。P ウエル 1 4、n 型拡散領域 2 2、ゲート絶縁膜 2 3、ゲート電極 2 4、側壁 2 5 により N M O S トランジスタ 1 7 が形成されている。P M O S トランジスタ 1 6 及び N M O S トランジスタ 1 7 は、半導体集積回路装置 1 1 の集積回路の一部である。

【0031】

更に、N ウエル 1 3 の表面における P M O S トランジスタ 1 6 が形成されている領域から S T I 領域 2 8 により離隔された領域には、n 型拡散領域 3 3 が形成されており、n 型拡散領域 3 3、N ウエル 1 3 及び埋込酸化膜 5 を貫通するようにビア 2 6 が設けられている。ビア 2 6 の下端は N<sup>+</sup> 型シリコン層 4 に接続されており、上端は電源電位配線 V D D に接続されており、上端と下端との間の部分は n 型拡散領域 3 3 を介して N ウエル 1 3 に接続されている。また、P ウエル 1 4 の表面における N M O S トランジスタ 1 7 が形成されている領域から S T I 領域 2 8 により離隔された領域には、p 型拡散領域 3 4 が形成されており、p 型拡散領域 3 4、P ウエル 1 4 及び埋込酸化膜 5 を貫通するようにビア 2 7 が設けられている。ビア 2 7 の下端は P<sup>+</sup> 型シリコン層 1 2 に接続されており、上端は接地電位配線 G N D に接続されており、上端と下端との間の部分は p 型拡散領域 3 4 を介して P ウエル 1 4 に接続されている。なお、S O I 層 6 の表面における素子分離膜 1 5、P M O S トランジスタ 1 6、N M O S トランジスタ 1 7、ビア 2 6 及び 2 7、n 型拡散領域 3 3、p 型拡散領域 3 4 が設けられていない領域には、S T I 領域 2 8 が形成されている。S T I 領域 2 8 は、その下端が埋込酸化膜 5 に接していない部分分離膜である。また、ゲート電極 2 0 及び 2 4 は、夫々ビア 2 9 及び 3 0 を介して、配線 3 1 及び 3 2 に接続されている。ビア 2 6、2 7、2 9、3 0 内には例えば W (タングステン) 又はドーブドポリシリコンが埋設されている。

30

40

【0032】

これにより、N<sup>+</sup> 型シリコン層 4 には、電源電位配線 V D D 及びビア 2 6 を介して電源電位が印加され、P<sup>+</sup> 型シリコン層 3 及び 1 2 には、接地電位配線 G N D 及びビア 2 7 を介

50



して接地電位が印加されている。この結果、 $N^+$ 型シリコン層4と $P^+$ 型シリコン層3及び12との間に、デカップリング容量C1が形成される。

【0033】

次に、本実施形態に係る半導体集積回路装置11の動作について説明する。PMOSトランジスタ16が駆動すると、Nウェル13におけるソース・ドレイン領域であるp型拡散領域18の直下に相当する領域に空乏層が生じ、この空乏層が埋込酸化膜5に到達する。この結果、PMOSトランジスタ16の寄生容量が低減すると共に、Nウェル13におけるチャンネル領域の直下域に、電氣的にフローティング状態となる中性領域(ボディ)が形成される。このとき、電源電位配線VDDに電源電位を印加することにより、ビア26を介して、中性領域に電源電位が印加され、中性領域の電位が弱く固定される。これにより、PMOSトランジスタ16を高速で駆動させることができるようになる。同様に、NMOSトランジスタ17も高速で駆動させることができる。

10

【0034】

また、電源電位配線VDDに電源電位を印加することにより、ビア26を介して、 $N^+$ 型シリコン層4に電源電位が印加される。一方、接地電位配線GNDに接地電位を印加することにより、ビア27を介して、 $P^+$ 型シリコン層12及び3に接地電位が印加される。この結果、 $N^+$ 型シリコン層4と $P^+$ 型シリコン層12及び3との間に、逆バイアスのPN接合が形成される。これにより、半導体集積回路装置11において、電源に並列に接続されたデカップリング容量C1が形成される。

【0035】

このように、本実施形態においては、埋込酸化膜5の下方に、電源に並列に接続されたデカップリング容量C1が形成されるため、デカップリング容量を設けるための専用配置領域を設けることなく、電源ノイズを低減することができる。これにより、電源ノイズに起因する集積回路の誤動作を防止できると共に、半導体集積回路装置11を小型化することができる。

20

【0036】

また、本実施形態においては、集積回路の上方にデカップリング容量を設けていないため、集積回路のレイアウトが制約を受けることがない。これにより、半導体集積回路装置11をより小型化することができる。

【0037】

更に、本実施形態においては、電源電位配線VDDに印加する電源電位と、PMOSトランジスタ16及びNMOSトランジスタ17を駆動させる電源電位とを相互に異ならせることができる。これにより、例えば、前記トランジスタの駆動電圧を1Vとし、電源電位配線VDDに印加して接地電位との間でデカップリング容量C1を形成する電源電位を2Vとすることにより、トランジスタを高速で駆動させると共に、デカップリング容量C1の容量を増大させることができる。

30

【0038】

更にまた、本実施形態においては、SOI基板上に集積回路を形成しているため、この集積回路を高速で駆動することができる。

【0039】

なお、本実施形態においては、支持基板2をP型シリコンにより形成する例を示したが、本発明はこれに限定されず、例えば、支持基板2をガラス等の絶縁材料又は真性半導体等により形成してもよい。これにより、支持基板2中をノイズが伝搬することを抑制できる。

40

【0040】

また、本実施形態においては、SOI基板1及び半導体集積回路装置11において、 $P^+$ 型シリコン層3上に $N^+$ 型シリコン層4を設ける例を示したが、 $N^+$ 型シリコン層上に $P^+$ 型シリコン層を設けてもよい。この場合は、上層の $P^+$ 型シリコン層内に局部的に $N^+$ 型シリコン層を形成し、この局部的に形成された $N^+$ 型シリコン層を介して、下層の $N^+$ 型シリコン層に電源電位を印加するようにする。また、 $P^+$ 型シリコン層には接地電位を

50

印加する。

【0041】

更に、本実施形態においては、Nウエル13を貫通するようにビア26を設け、Pウエル14を貫通するようにビア27を設けているが、本発明はこれに限定されず、例えば、素子分離膜15を貫通するように、ビアを設けてもよい。このように、本実施形態は、特許文献1に示されているような集積回路、即ち、MOSトランジスタの中性領域の電位を固定するコンタクトを備えた集積回路以外の集積回路にも適用することができる。

【0042】

更にまた、N<sup>+</sup>型シリコン層4とP<sup>+</sup>型シリコン層3及び12との界面の面積を増加させるために、N<sup>+</sup>型シリコン層4及びP<sup>+</sup>型シリコン層12を種々の形状に加工してもよい。例えば、支持基板2の表面に垂直な方向から見て、N<sup>+</sup>型シリコン層4の形状を格子状とし、P<sup>+</sup>型シリコン層12の形状をマトリクス状に配列された島状としてもよい。なお、P<sup>+</sup>型シリコン層3は全面に均一に設ける。これにより、PN接合界面の面積を増加させ、デカップリング容量の容量を増加させることができる。

【0043】

更にまた、本実施形態においては、P型不純物としてB（ボロン）を使用する例を示したが、本発明はこれに限定されず、例えばIn（インジウム）を使用してもよい。また、本実施形態においては、N型不純物としてP（リン）を使用する例を示したが、本発明はこれに限定されず、例えば、As（ヒ素）又はSb（アンチモン）を使用してもよい。後述する他の実施形態においても同様である。

【0044】

次に、本実施形態の変形例について説明する。図3は本変形例に係る半導体集積回路装置を示す断面図である。図3に示すように、本変形例に係る半導体集積回路装置39においては、ビア26が素子分離膜15及び埋込酸化膜5を貫通してN<sup>+</sup>型シリコン層4に接続されている。また、ビア27が素子分離膜15及び埋込酸化膜5を貫通してP<sup>+</sup>型シリコン層12に接続されている。このため、ビア26及び27は夫々Nウエル13及びPウエル14には接続されていない。

【0045】

一方、n型拡散領域33を介してNウエル13に接続されるように、ビア37が形成されている。ビア37の上端は配線35に接続され、下端はn型拡散領域33に接している。また、p型拡散領域34を介してPウエル14に接続されるように、ビア38が形成されている。ビア38の上端は配線36に接続され、下端はp型拡散領域34に接している。半導体集積回路装置39における上記以外の構成は、前述の第1の実施形態に係る半導体集積回路装置11と同様である。

【0046】

本変形例においては、配線35に所定の電位を印加することにより、ビア37を介して、PMOSトランジスタ16の中性領域（ボディ）の電位を固定することができる。また、配線36に所定の電位を印加することにより、ビア38を介して、NMOSトランジスタ17の中性領域の電位を固定できる。一方、デカップリング容量C1の容量値は、電源電位配線VDD及び接地電位配線GNDに印加する電圧によって制御される。このため、デカップリング容量C1を形成するための電位を、各トランジスタの中性領域を固定する電位と異ならせることができ、トランジスタの駆動条件から独立して、デカップリング容量C1の容量値を決定することができる。

【0047】

次に、本発明の第2の実施形態について説明する。図4は本実施形態に係る半導体集積回路装置を示す断面図である。図4に示すように、本実施形態に係る半導体集積回路装置41は、前述の第1の実施形態におけるSOI基板1（図1参照）を加工して作製されたものである。半導体集積回路装置41は、前述の第1の実施形態に係る半導体集積回路装置11（図2（a）及び（b）参照）と比較して、P<sup>+</sup>型シリコン層3が支持基板2を介して、支持基板2の裏面、即ち、P<sup>+</sup>型シリコン層3が配置されていない面から、接地電位

10

20

30

40

50

配線 GND に接続されている点が異なっている。このため、半導体集積回路装置 41 には、図 2 (b) に示すようなビア 27 及び P<sup>+</sup> 型シリコン層 12 が設けられておらず、N<sup>+</sup> 型シリコン層 4 は P<sup>+</sup> 型シリコン層 3 上の全面に設けられている。また、支持基板 2 は P<sup>-</sup> 型シリコンにより形成されている。更に、p 型拡散領域 34 を介して P ウェル 14 に接続されるように、ビア 38 が形成されている。ビア 38 の上端は配線 36 に接続され、下端は p 型拡散領域 34 に接している。これにより、P<sup>+</sup> 型シリコン層 3 と N<sup>+</sup> 型シリコン層 4 との界面に逆バイアスの PN 接合が形成され、電源に並列に接続されたデカップリング容量 C2 が形成されている。本実施形態における上記以外の構成及び動作は、前述の第 1 の実施形態と同様である。

#### 【0048】

本実施形態においては、P<sup>+</sup> 型シリコン層 3 と N<sup>+</sup> 型シリコン層 4 との界面に電源に並列に接続されたデカップリング容量 C2 を形成することができるため、半導体集積回路装置 41 を小型化しつつ、電源ノイズを抑制することができる。また、P<sup>+</sup> 型シリコン層 12 を設ける必要がないため、第 1 の実施形態と比較して、製造工程を簡略化することができる。更に、ビア 27 を設ける必要がないため、半導体集積回路装置 41 をより小型化することができる。本実施形態における上記以外の効果は、前述の第 1 の実施形態と同様である。

#### 【0049】

次に、本発明の第 3 の実施形態について説明する。図 5 は本実施形態に係る SOI 基板を示す断面図であり、図 6 (a) は本実施形態に係る半導体集積回路装置を示す断面図であり、(b) は平面図である。図 5 に示すように、本実施形態に係る SOI 基板 7 においては、P<sup>-</sup> 型シリコンからなる支持基板 2 が設けられており、この支持基板 2 上の全面に N<sup>+</sup> 型シリコン層 4 が設けられており、この N<sup>+</sup> 型シリコン層 4 上の全面に埋込酸化膜 (BOX 層) 5 が設けられており、この埋込酸化膜 5 上の全面に、SOI 層 6 が設けられている。SOI 基板 7 における上記以外の構成は、前述の第 1 の実施形態に係る SOI 基板 1 (図 1 参照) と同様である。

#### 【0050】

図 6 (a) に示すように、本実施形態に係る半導体集積回路装置 42 は、例えば、SOI 基板 7 を加工して作製されたものである。半導体集積回路装置 42 においては、例えば P<sup>-</sup> 型シリコンからなる支持基板 2 が設けられており、支持基板 2 上に、N<sup>+</sup> 型シリコン層 43 及び P<sup>+</sup> 型シリコン層 44 が相互に同層に設けられている。図 6 (b) に示すように、支持基板 2 の表面に垂直な方向から見て、N<sup>+</sup> 型シリコン層 43 及び P<sup>+</sup> 型シリコン層 44 の形状は楕型になっている。即ち、N<sup>+</sup> 型シリコン層 43 は、根元部 43a 及び複数の枝部 43b からなり、枝部 43b は相互に平行に配置され、その一端部が根元部 43a に連結されている。同様に、P<sup>+</sup> 型シリコン層 44 は、根元部 44a 及び複数の枝部 44b からなり、枝部 44b は相互に平行に配置され、その一端部が根元部 44a に連結されている。そして、N<sup>+</sup> 型シリコン層 43 の枝部 43b 間に P<sup>+</sup> 型シリコン層 44 の枝部 44b が入り込んでおり、N<sup>+</sup> 型シリコン層 43 と P<sup>+</sup> 型シリコン層 44 とは相互に接している。そして、N<sup>+</sup> 型シリコン層 43 及び P<sup>+</sup> 型シリコン層 44 は、支持基板 2 の上面全域を覆っている。即ち、支持基板 2 上における N<sup>+</sup> 型シリコン層 43 が形成されていない領域には、P<sup>+</sup> 型シリコン層 44 が形成されている。なお、図 6 (b) は、N<sup>+</sup> 型シリコン層 43 及び P<sup>+</sup> 型シリコン層 44 のみを図示している。そして、N<sup>+</sup> 型シリコン層 43 及び P<sup>+</sup> 型シリコン層 44 上には埋込酸化膜 5 が設けられており、埋込酸化膜 5 上の全面には SOI 層 6 が設けられている。SOI 層 6 には PMOS トランジスタ 16 及び NMOS トランジスタ 17 が形成されている。

#### 【0051】

また、SOI 層 6 及び埋込酸化膜 5 を貫通するように、電源電位配線 VDD 及び N<sup>+</sup> 型シリコン層 43 に接続されたビア 26、及び接地電位配線 GND 及び P<sup>+</sup> 型シリコン層 44 に接続されたビア 27 が設けられている。これにより、N<sup>+</sup> 型シリコン層 43 にはビア 26 を介して電源電位が印加され、P<sup>+</sup> 型シリコン層 44 にはビア 27 を介して接地電位が

10

20

30

40

50

印加される。この結果、 $N^+$ 型シリコン層43と $P^+$ 型シリコン層44との界面に逆バイアスのPN接合が形成され、電源に並列に接続されたデカップリング容量C3が形成される。本実施形態の半導体集積回路装置42における上記以外の構成及び動作は、前述の第1の実施形態に係る半導体集積回路装置11の構成と同様である。

#### 【0052】

本実施形態に係るSOI基板7は、前述のSOI基板1と比較して、 $P^+$ 型シリコン層3（図1参照）が設けられていないため、製造コストを低減することができる。また、本実施形態に係る半導体集積回路装置42は、このSOI基板7を使用して作製することができる。このため、製造コストを低減することができる。なお、半導体集積回路装置42の製造方法は後述する。更に、半導体集積回路装置42においては、 $N^+$ 型シリコン層43及び $P^+$ 型シリコン層44の形状を櫛状とすることにより、両者間の接触面積を増大させ、デカップリング容量C3の容量値を増加させることができる。これにより、より効果的に電源ノイズを抑制することができる。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

10

#### 【0053】

なお、本実施形態においては、 $N^+$ 型シリコン層43及び $P^+$ 型シリコン層44の形状を櫛状とする例を示したが、本実施形態はこれに限定されず、 $N^+$ 型シリコン層43と $P^+$ 型シリコン層44との間にPN接合が形成されれば、どのような形状であってもよい。

#### 【0054】

また、ビア27を省略し、 $P^-$ 型シリコンからなる支持基板2を介して、 $P^+$ 型シリコン層44に接地電位を印加してもよい。又は、支持基板2を $N^-$ 型シリコンにより形成し、この支持基板2を介して、 $N^+$ 型シリコン層43に電源電位を印加してもよい。この場合は、ビア26を省略することができる。

20

#### 【0055】

次に、本発明の第4の実施形態について説明する。図7は本実施形態に係る半導体集積回路装置を示す断面図である。図7に示すように、本実施形態に係る半導体集積回路装置45は、前述の第3の実施形態におけるSOI基板7を加工して作製されたものである。半導体集積回路装置45においては、前述の第1の実施形態に係る半導体集積回路装置11（図1参照）と比較して、 $P^+$ 型シリコン層3が設けられておらず、 $P^-$ 型シリコンからなる支持基板2上に $N^+$ 型シリコン層4及び $P^+$ 型シリコン層46が相互に同層に設けられている。また、ビア26は電源電位配線VDDと $N^+$ 型シリコン層4との間に接続されており、ビア27は接地電位配線GNDと $P^+$ 型シリコン層46との間に接続されている。これにより、 $N^+$ 型シリコン層4には電源電位配線VDD及びビア26を介して電源電位が印加され、支持基板2には接地電位配線GND、ビア27及び $P^+$ 型シリコン層46を介して接地電位が印加される。この結果、 $N^+$ 型シリコン層4と支持基板2との間において、逆バイアスのPN接合が形成され、電源に並列に接続されたデカップリング容量C4が形成される。本実施形態における上記以外の構成及び動作は、前述の第1の実施形態と同様である。

30

#### 【0056】

本実施形態においては、 $N^+$ 型シリコン層4と支持基板2との間に、電源に並列に接続されたデカップリング容量C4を形成することができるため、半導体集積回路装置45を小型化しつつ、電源ノイズを抑制することができる。また、本実施形態においては、前述の第1の実施形態と比較して、 $P^+$ 型シリコン層3（図4参照）を省略することができるため、製造コストを低減することができる。これに対して、前述の第1の実施形態においては、不純物濃度が支持基板2よりも高い $P^+$ 型シリコン層3と $N^+$ 型シリコン層4との間にデカップリング容量C1を形成することができるため、本第4実施形態よりも、デカップリング容量を大きくすることが容易である。本実施形態に係る上記以外の効果は、第1の実施形態と同様である。

40

#### 【0057】

次に、本発明の第5の実施形態について説明する。図8は本実施形態に係る半導体集積回

50

路装置を示す断面図である。図 8 に示すように、本実施形態に係る半導体集積回路装置 47 は、前述の第 3 の実施形態における S O I 基板 7 を加工して作製されたものである。本実施形態に係る半導体集積回路装置 47 においては、前述の第 2 の実施形態に係る半導体集積回路装置 41 (図 4 参照) と比較して、P<sup>+</sup> 型シリコン層 3 が設けられておらず、P<sup>-</sup> 型シリコンからなる支持基板 2 上の全面に N<sup>+</sup> 型シリコン層 4 が設けられている。また、支持基板 2 は、例えばその裏面から、接地電位配線 G N D に接続されている。これにより、N<sup>+</sup> 型シリコン層 4 には電源電位配線 V D D 及びビア 26 を介して電源電位が印加され、支持基板 2 には接地電位が印加される。この結果、N<sup>+</sup> 型シリコン層 4 と支持基板 2 との間において、逆バイアスの P N 接合が形成され、電源に並列に接続されたデカップリング容量 C 5 が形成される。本実施形態における上記以外の構成及び動作は、前述の第 2 の実施形態と同様である。

#### 【0058】

本実施形態においては、N<sup>+</sup> 型シリコン層 4 と支持基板 2 との間に電源に並列に接続されたデカップリング容量 C 5 を形成することができるため、電源ノイズを低減することができる。また、本実施形態は、前述の第 2 の実施形態と比較して、P<sup>+</sup> 型シリコン層 3 (図 4 参照) を省略することができるため、製造コストを低減することができる。これに対して、前述の第 2 の実施形態においては、不純物濃度が支持基板 2 よりも高い P<sup>+</sup> 型シリコン層 3 と N<sup>+</sup> 型シリコン層 4 との間にデカップリング容量 C 2 を形成することができるため、本第 5 実施形態よりも、デカップリング容量を大きくすることが容易である。本実施形態に係る上記以外の効果は、第 2 の実施形態と同様である。

#### 【0059】

次に、本発明の第 6 の実施形態について説明する。図 9 は本実施形態に係る S O I 基板を示す断面図であり、図 10 は本実施形態に係る半導体集積回路装置を示す断面図である。図 9 に示すように、本実施形態に係る S O I 基板 8 においては、前述の第 3 の実施形態に係る S O I 基板 7 (図 5 参照) と比較して、支持基板 2 の表面において、N<sup>+</sup> 型シリコン層 4 が局所的に設けられている点が異なっている。S O I 基板 8 における上記以外の構成は、S O I 基板 7 と同様である。

#### 【0060】

図 10 に示すように、本実施形態に係る半導体集積回路装置 48 は、S O I 基板 8 を加工して作製されたものである。半導体集積回路装置 48 においては、素子形成領域 49 と、この素子形成領域 49 を区画する素子分離領域 50 が設定されている。また、半導体集積回路装置 48 においては、P<sup>-</sup> 型シリコンからなる支持基板 2 が設けられており、支持基板 2 の表面における素子分離領域 50 の一部には、N<sup>+</sup> 型シリコン層 4 が局所的に設けられている。また、支持基板 2 及び N<sup>+</sup> 型シリコン層 4 上の全面には、埋込酸化膜 5 が設けられており、この埋込酸化膜 5 上には、S O I 層 6 が設けられている。更に、S O I 層 6 における素子形成領域 49 には、N M O S トランジスタ及び P M O S トランジスタ等の能動素子 (図示せず) が形成されている。一方、S O I 層 6 における素子分離領域 50 には、素子分離膜 51 が設けられている。なお、支持基板 2 の表面に垂直な方向から見て、N<sup>+</sup> 型シリコン層 4 は素子分離領域 50 の内側にあり、N<sup>+</sup> 型シリコン層 4 の外縁は素子分離領域 50 の外縁から 5 μ m 以上内側に位置している。即ち、素子分離領域 50 の外縁と N<sup>+</sup> 型シリコン層 4 の外縁との間の距離 L は、5 μ m 以上である。

#### 【0061】

更にまた、素子分離膜 51 及び埋込酸化膜 5 を貫通するように、ビア 52 が設けられており、ビア 52 の上端は電源電位配線 V D D に接続されており、ビア 52 の下端は N<sup>+</sup> 型シリコン層 4 に接続されている。また、支持基板 2 はその裏面を介して、接地電位配線 G N D に接続されている。

#### 【0062】

これにより、N<sup>+</sup> 型シリコン層 4 には電源電位配線 V D D 及びビア 52 を介して、電源電位が印加され、支持基板 2 には接地電位配線 G N D を介して、接地電位が印加される。この結果、N<sup>+</sup> 型シリコン層 4 と支持基板 2 との間に逆バイアスの P N 接合が形成され、電

源に並列に接続されたデカップリング容量 C 6 が形成される。

【 0 0 6 3 】

本実施形態に係る半導体集積回路装置 4 8 においては、電源電位配線 V D D に電源電位を印加し、接地電位配線 G N D に接地電位を印加することにより、N<sup>+</sup>型シリコン層 4 と支持基板 2 との間に、電源に並列に接続されたデカップリング容量 C 6 が形成される。これにより、半導体集積回路装置 4 8 の小型化と、電源ノイズの低減を両立させることができる。

【 0 0 6 4 】

また、素子形成領域 4 9 の直下域には N<sup>+</sup>型シリコン層 4 が設けられていないため、素子間において、ノイズが N<sup>+</sup>型シリコン層 4 を介して伝搬することを防止できる。本実施形態における上記以外の効果は、前述の第 5 の実施形態と同様である。

【 0 0 6 5 】

なお、本実施形態においては、支持基板 2 をその裏面から接地電位配線 G N D に接続する例を示したが、埋込酸化膜 5 を貫通するビアを設け、このビアを介して支持基板 2 を、支持基板 2 の上方にある接地電位配線 G N D に接続してもよい。また、本実施形態においては、支持基板 2 の表面に N<sup>+</sup>型シリコン層 4 のみを設ける例を示したが、支持基板 2 と N<sup>+</sup>型シリコン層 4 との間に P<sup>+</sup>型シリコン層を設け、この P<sup>+</sup>型シリコン層と N<sup>+</sup>型シリコン層 4 との間にデカップリング容量を形成してもよい。更に、支持基板 2 の表面の一部に、N<sup>+</sup>型シリコン層及び P<sup>+</sup>型シリコン層を同層で設け、両層の間にデカップリング容量を形成してもよい。このとき、前述の第 3 の実施形態のように、N<sup>+</sup>型シリコン層及び P<sup>+</sup>型シリコン層の形状を楕型とし、相互に接するように配置してもよい。N<sup>+</sup>型シリコン層及び P<sup>+</sup>型シリコン層の双方を設ける場合は、P<sup>+</sup>型シリコン層には支持基板 2 を介して接地電位が印加されてもよく、ビアを介して接地電位が印加されてもよい。

【 0 0 6 6 】

次に、本発明の第 7 の実施形態について説明する。図 1 1 は本実施形態に係る S O I 基板を示す断面図であり、図 1 2 は本実施形態に係る半導体集積回路装置を示す断面図である。図 1 1 に示すように、本実施形態に係る S O I 基板 9 においては、P<sup>-</sup>型シリコンからなる支持基板 2 が設けられており、この支持基板 2 上の全面に P<sup>+</sup>型シリコン層 3 が設けられており、この P<sup>+</sup>型シリコン層 3 上の全面に埋込酸化膜 ( B O X 層 ) 5 が設けられており、この埋込酸化膜 5 上の全面に、S O I 層 6 が設けられている。S O I 基板 9 における上記以外の構成は、前述の第 1 の実施形態に係る S O I 基板 1 ( 図 1 参照 ) と同様である。

【 0 0 6 7 】

図 1 2 に示すように、本実施形態に係る半導体集積回路装置 5 3 は、S O I 基板 9 を加工して作製されたものである。半導体集積回路装置 5 3 においては、P<sup>-</sup>型シリコンからなる支持基板 2 が設けられており、この支持基板 2 上の全面に P<sup>+</sup>型シリコン層 3 が設けられており、この P<sup>+</sup>型シリコン層 3 上の全面に埋込酸化膜 5 が設けられており、埋込酸化膜 5 上の全面に S O I 層 6 が設けられている。

【 0 0 6 8 】

S O I 層 6 には、P M O S トランジスタ 1 6 及び N M O S トランジスタ 1 7 を含む集積回路が形成されている。P M O S トランジスタ 1 6 及び N M O S トランジスタ 1 7 の構成は、前述の第 1 の実施形態と同様であり、S O I 層 6 における P M O S トランジスタ 1 6 と N M O S トランジスタ 1 7 との間の領域には素子分離膜 1 5 が形成されている。また、S O I 層 6 の表面における P M O S トランジスタ 1 6 、N M O S トランジスタ 1 7 及び素子分離膜 1 5 が形成されていない領域には、S T I 領域 2 8 が形成されている。

【 0 0 6 9 】

更に、S O I 層 6 における p 型拡散領域 3 4 及び P ウエル 1 4 並びに埋込酸化膜 5 を貫通するように、ビア 2 7 が設けられており、ビア 2 7 の上端は接地電位配線 G N D に接続されており、ビア 2 7 の下端は P<sup>+</sup>型シリコン層 3 に接続されている。

【 0 0 7 0 】

10

20

30

40

50

本実施形態に係る半導体集積回路装置 53 においては、接地電位配線 GND に接地電位を印加すると、ビア 27 を介して、P<sup>+</sup> 型シリコン層 3 に接地電位が印加される。これにより、P<sup>+</sup> 型シリコン層 3 の電位が接地電位に固定される。

【0071】

このように、本実施形態においては、P<sup>+</sup> 型シリコン層 3 の電位を接地電位に固定することができるため、P<sup>+</sup> 型シリコン層 3 がノイズを吸収することができる。この結果、PMOS トランジスタ 16 及び NMOS トランジスタ 17 を含む集積回路を、この集積回路の外部から印加されるノイズから守ることができる。また、この集積回路から生じるノイズが、他の集積回路の動作に悪影響を及ぼすことを防止できる。

【0072】

また、P<sup>+</sup> 型シリコン層 3 は埋込酸化膜 5 の下方に設けられているため、P<sup>+</sup> 型シリコン層 3 を配置するための専用配置領域を設ける必要がない。この結果、半導体集積回路装置 53 の小型化を図ることができる。

【0073】

更に、本実施形態においては、SOI 基板上に集積回路を形成しているため、この集積回路を高速で駆動することができる。

【0074】

なお、本実施形態においては、支持基板 2 を P<sup>-</sup> 型シリコンにより形成する例を示したが、本実施形態はこれに限定されず、例えば、支持基板 2 をガラス等の絶縁材料又は真性半導体等により形成してもよい。これにより、支持基板 2 中をノイズが伝搬することを抑制できる。また、支持基板 2 を N<sup>-</sup> 型シリコンにより形成してもよく、P<sup>+</sup> 型シリコン層 3 の代わりに、N<sup>+</sup> 型シリコン層を設けてもよい。

【0075】

次に、本発明の第 8 の実施形態について説明する。図 13 は本実施形態に係る半導体集積回路装置を示す断面図である。図 13 に示すように、本実施形態に係る半導体集積回路装置 54 は、SOI 基板 9 (図 11 参照) を加工して作製されたものである。本実施形態に係る半導体集積回路装置 54 においては、前述の第 7 の実施形態に係る半導体集積回路装置 53 (図 12 参照) と比較して、ビア 27 が設けられておらず、P<sup>-</sup> 型シリコンからなる支持基板 2 が、その裏面、即ち、P<sup>+</sup> 型シリコン層 3 の反対側の面から接地電位配線 GND に接続されている。半導体集積回路装置 54 における上記以外の構成及び動作は、前述の第 7 の実施形態に係る半導体集積回路装置 53 と同様である。

【0076】

本実施形態に係る半導体集積回路装置 54 においては、接地電位配線 GND に接地電位を印加すると、支持基板 2 を介して、P<sup>+</sup> 型シリコン層 3 に接地電位が印加される。これにより、P<sup>+</sup> 型シリコン層 3 の電位が接地電位に固定される。

【0077】

本実施形態においては、前述の第 7 の実施形態と比較して、ビア 27 (図 12 参照) を省略できるため、半導体集積回路装置 54 をより一層小型化することができる。本実施形態における上記以外の効果は、前述の第 7 の実施形態と同様である。但し、支持基板 2 は、P<sup>+</sup> 型シリコン層 3 と接地電位配線 GND とを相互に接続する必要があるため、P 型シリコン又は導電体により形成されていることが必要である。

【0078】

次に、本発明の第 9 の実施形態について説明する。図 14 は本実施形態に係る半導体集積回路装置を示す断面図である。図 14 に示すように、本実施形態に係る半導体集積回路装置 55 は、SOI 基板 9 (図 11 参照) を加工して作製されたものである。本実施形態に係る半導体集積回路装置 55 においては、前述の第 7 の実施形態に係る半導体集積回路装置 53 (図 12 参照) と比較して、PMOS トランジスタ 16 及び NMOS トランジスタ 17 を含む集積回路を囲むように、ガードリング 56 が設けられている。ガードリング 56 は、埋込酸化膜 5 及び SOI 層 6 を貫通するように設けられており、その下端は P<sup>+</sup> 型シリコン層 3 に接続されており、その上端は SOI 層 6 の表面において露出している。ガ

10

20

30

40

50

ードリング56は、例えばW(タングステン)又はドーブドポリシリコンにより形成されている。これにより、PMOSTランジスタ16及びNMOSTランジスタ17を含む集積回路は、ガードリング56及びP<sup>+</sup>型シリコン層3により、3次元的に囲まれている。また、ビア57が、ガードリング56と、SOI層6の上方に配置された接地電位配線GNDとを相互に接続するように設けられている。半導体集積回路装置55における上記以外の構成は、前述の第7の実施形態に係る半導体集積回路装置53と同様である。

#### 【0079】

本実施形態に係る半導体集積回路装置55においては、接地電位配線GNDに接地電位を印加すると、ビア57を介して、ガードリング56及びP<sup>+</sup>型シリコン層3に接地電位が印加される。これにより、ガードリング56及びP<sup>+</sup>型シリコン層3の電位が接地電位に固定される。

10

#### 【0080】

本実施形態においては、ガードリング56及びP<sup>+</sup>型シリコン層3により、PMOSTランジスタ16及びNMOSTランジスタ17を含む集積回路に対して、この集積回路の外部から流入するノイズを吸収することができる。この結果、この外部からのノイズにより、前記集積回路が誤動作することを防止できる。また、前記集積回路において発生するノイズが、他の集積回路に伝搬することを防止できる。本実施形態は、前述の第7の実施形態と比較して、ガードリング56及びP<sup>+</sup>型シリコン層3が、PMOSTランジスタ16及びNMOSTランジスタ17を含む集積回路を3次元的に囲むように配置されているため、装置はやや大型化するものの、この集積回路の外部から流入するノイズ及びこの集積回路が発生するノイズを、より効果的に吸収することができる。本実施形態における上記以外の効果は、前述の第7の実施形態と同様である。

20

#### 【0081】

なお、本実施形態においても、前述の第8の実施形態と同様に、支持基板2を介して、ガードリング56及びP<sup>+</sup>型シリコン層3に接地電位を印加することができる。これにより、ビア57を省略することが可能となる。

#### 【0082】

次に、上述の各実施形態に係るSOI基板の製造方法について説明する。先ず、SOI基板の第1の製造方法について説明する。図15(a)乃至(d)は、本製造方法を工程順に示す断面図である。この第1の製造方法は、前述の第1の実施形態に係るSOI基板1(図1参照)の製造方法である。

30

#### 【0083】

先ず、図15(a)に示すように、P<sup>-</sup>型シリコンからなる支持基板2を用意する。次に、図15(b)に示すように、例えばCVD法(Chemical Vapor Deposition法:化学気相成長法)法により、支持基板2上の全面にP<sup>+</sup>型シリコンからなる層をエピタキシャル成長させ、P<sup>+</sup>型シリコン層3を形成する。次に、図15(c)に示すように、例えばCVD法により、P<sup>+</sup>型シリコン層3上の全面にN<sup>+</sup>型シリコンからなる層をエピタキシャル成長させ、N<sup>+</sup>型シリコン層4を形成する。その後、図15(d)に示すように、前述の如く作製した支持基板2上にP<sup>+</sup>型シリコン層3及びN<sup>+</sup>型シリコン層4を形成した基板上に、埋込酸化膜5とSOI層6とを貼り合わせた層を重ね合わせ、加熱処理を行って両者を貼り合わせる。これにより、図1に示すSOI基板1が作製される。

40

#### 【0084】

このSOI基板の第1の製造方法によれば、P<sup>+</sup>型シリコン層3及びN<sup>+</sup>型シリコン層4をエピタキシャル成長により形成するため、結晶の均一性が高く、欠陥が少ない層を得ることができる。この結果、P<sup>+</sup>型シリコン層3及びN<sup>+</sup>型シリコン層4におけるリーク電流を低減することができる。

#### 【0085】

なお、この第1の製造方法において、支持基板2上にN<sup>+</sup>型シリコン層4のみを形成し、P<sup>+</sup>型シリコン層3を形成しなければ、前述の第3の実施形態に係るSOI基板7(図5参照)を製造することができる。また、支持基板2上にP<sup>+</sup>型シリコン層3のみを形成し

50



、 $N^+$ 型シリコン層4を形成しなければ、前述の第7の実施形態に係るSOI基板9（図11参照）を製造することができる。

【0086】

SOI基板の第2の製造方法について説明する。図16(a)及び(b)は本製造方法を工程順に示す断面図である。この第2の製造方法は、前述の第1の実施形態に係るSOI基板1（図1参照）の製造方法である。まず、図15(a)乃至(c)に示す方法により、支持基板2上に、 $P^+$ 型シリコン層3及び $N^+$ 型シリコン層4をエピタキシャル成長により形成する。次に、図16(a)に示すように、 $N^+$ 型シリコン層4上にシリコン酸化膜5aを形成する。次に、図16(b)に示すように、この支持基板2上に $P^+$ 型シリコン層3、 $N^+$ 型シリコン層4及びシリコン酸化膜5aを形成した基板の上に、シリコン酸化膜5bとSOI層6とを貼り合わせた層を重ね合わせ、両者を貼り合わせる。このとき、シリコン酸化膜5aとシリコン酸化膜5bとが接合して一体化し、埋込酸化膜5となる。これにより、図1に示すSOI基板1を作製することができる。

10

【0087】

このSOI基板の第2の製造方法によれば、シリコン酸化膜同士を貼り合わせているため、貼り合わせ面における界面準位の欠陥が発生しない。本第2の製造方法における上記以外の効果は、前述の第1の製造方法と同様である。

【0088】

SOI基板の第3の製造方法について説明する。図17(a)乃至(c)は本製造方法を工程順に示す断面図である。この第3の製造方法は、前述の第1の実施形態に係るSOI基板1（図1参照）の製造方法である。まず、図17(a)に示すように、 $P^-$ 型シリコンからなる支持基板2を用意する。次に、図17(b)に示すように、支持基板2に対してP型不純物、例えばボロン(B)イオンを注入する。このとき、注入エネルギーは例えば20乃至100keVとし、ドーズ量は例えば $1 \times 10^{13}$ 乃至 $5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、支持基板2の表層付近に、深さが例えば100乃至500nmの $P^+$ 型シリコン層58が形成される。但し、支持基板2の最表面にはボロンがドーブされないようにする。

20

【0089】

次に、図17(c)に示すように、 $P^+$ 型シリコン層58に対して、N型不純物、例えばリン(P)イオンを注入する。このとき、注入エネルギーは例えば30乃至150keVとし、ドーズ量は例えば $1 \times 10^{13}$ 乃至 $5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、 $P^+$ 型シリコン層58の表層に、深さが例えば50乃至200nmの $N^+$ 型シリコン層4が形成される。また、 $P^+$ 型シリコン層58において $N^+$ 型シリコン層4にならない下層部分が、 $P^+$ 型シリコン層3となる。

30

【0090】

その後、図15(d)に示すように、支持基板2、 $P^+$ 型シリコン層3及び $N^+$ 型シリコン層4からなる基板の上に、埋込酸化膜5とSOI層6とを貼り合わせた層を重ね合わせ、加熱処理を行って両者を貼り合わせる。これにより、図1に示すSOI基板1が作製される。

【0091】

なお、図17(b)に示すP型不純物の注入工程において、ボロンイオンの代わりにインジウムイオンを注入してもよい。また、図17(c)に示すN型不純物の注入工程において、リンイオンの代わりにヒ素イオン又はアンチモンイオンを注入してもよい。更に、図15(d)に示す貼合工程において、前述のSOI基板の第2の製造方法のように、シリコン酸化膜同士を貼り合わせてもよい。

40

【0092】

更にまた、本製造方法において、支持基板2にN型不純物のみを注入して $N^+$ 型シリコン層4のみを形成し、P型不純物を注入しなければ、前述の第3の実施形態に係るSOI基板7（図5参照）を製造することができる。また、支持基板2にP型不純物を注入して $P^+$ 型シリコン層3のみを形成し、N型不純物を注入しなければ、前述の第7の実施形態に

50

係るSOI基板9(図11参照)を製造することができる。

【0093】

更にまた、N型不純物を支持基板2の表面における一部の領域に制限注入すれば、支持基板2の表面に局所的にN<sup>+</sup>型シリコン層4を形成することができ、前述の第6の実施形態に係るSOI基板8(図9参照)を製造することができる。このように、イオン注入によりN<sup>+</sup>型シリコン層4を形成すれば、N<sup>+</sup>型シリコン層4を任意の領域に選択的に形成することができる。

【0094】

次に、この第3の製造方法の変形例について説明する。図18は本変形例の製造方法を示す断面図である。先ず、図17(a)及び(b)に示すように、支持基板2に対してP型不純物、例えばボロンイオンをイオン注入し、支持基板2の表面からの深さが例えば50乃至200nm以上且つ250乃至400nm以下の領域に、厚さが例えば200nmのP<sup>+</sup>型シリコン層58を形成する。次に、図18に示すように、支持基板2の表面に対して、N型不純物、例えばリンイオンを注入する。このとき、注入エネルギーは例えば30乃至150keVとし、ドーズ量は例えば $1 \times 10^{13}$ 乃至 $5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、支持基板2の表面に、深さが例えば50乃至200nmのN<sup>+</sup>型シリコン層4aが形成されると共に、このN<sup>+</sup>型シリコン層4aの下方にこのN<sup>+</sup>型シリコン層4aに接して、不純物濃度が支持基板2とほぼ同じであるシリコン層59が形成される。シリコン層59の厚さは例えば100nmとなる。また、P<sup>+</sup>型シリコン層58においてシリコン層59にならない下層部分が、P<sup>+</sup>型シリコン層3aとなる。従って、P<sup>+</sup>型シリコン層3aの厚さは例えば100nmとなる。これにより、支持基板2上に、P<sup>+</sup>型シリコン層3a、シリコン層59、N<sup>+</sup>型シリコン層4aがこの順に形成される。

【0095】

その後、支持基板2、P<sup>+</sup>型シリコン層3a、不純物濃度が支持基板2とほぼ同じであるシリコン層59及びN<sup>+</sup>型シリコン層4aからなる基板上に、埋込酸化膜5とSOI層6とを貼り合わせた層を重ね合わせ、例えば、1000乃至1100の温度に30分間乃至2時間保持する加熱処理を行って両者を貼り合わせる。このとき、この加熱処理により、P<sup>+</sup>型シリコン層3a及びN<sup>+</sup>型シリコン層4aの不純物が、不純物濃度が支持基板2とほぼ同じであるシリコン層59内に拡散することにより、P<sup>+</sup>型シリコン層3a及びシリコン層59の下層部分がP<sup>+</sup>型シリコン層3となり、N<sup>+</sup>型シリコン層4a及びシリコン層59の上層部分がN<sup>+</sup>型シリコン層4となる。そして、P<sup>+</sup>型シリコン層3とN<sup>+</sup>型シリコン層4との界面に、PN接合が形成される。これにより、図1に示すSOI基板1が作製される。本変形例における上記以外の製造方法は、前述の第3の製造方法と同一である。

【0096】

SOI基板の第4の製造方法について説明する。図19(a)乃至(c)は本製造方法を工程順に示す断面図である。この第4の製造方法は、前述の第1の実施形態に係るSOI基板1(図1参照)の製造方法である。先ず、図19(a)に示すように、P<sup>-</sup>型シリコンからなる支持基板2上の全面に埋込酸化膜5が設けられ、その上にSOI層6が設けられたSOI基板10を、通常の方法により作製する。次に、図19(b)に示すように、SOI基板10に対してP型不純物、例えばボロン(B)イオンを注入する。このとき、注入エネルギーは例えば50乃至200keVとし、ドーズ量は例えば $1 \times 10^{13}$ 乃至 $5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、ボロンイオンがSOI層6及び埋込酸化膜5を透過して支持基板2の表層に到達し、支持基板2の表層に厚さが例えば100乃至400nmのP<sup>+</sup>型シリコン層60が形成される。

【0097】

次に、図19(c)に示すように、SOI基板10に対して、N型不純物、例えばリン(P)イオンを注入する。このとき、注入エネルギーは例えば100乃至300keVとし、ドーズ量は例えば $1 \times 10^{13}$ 乃至 $5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、P<sup>+</sup>型シリコン層60の表層に、厚さが例えば50乃至200nmのN<sup>+</sup>型シリコン層4が形成

される。また、P<sup>+</sup>型シリコン層60においてN<sup>+</sup>型シリコン層4にならない下層部分が、P<sup>+</sup>型シリコン層3となる。これにより、SOI基板1が作製される。

#### 【0098】

なお、本製造方法において、支持基板2にN型不純物のみを注入してN<sup>+</sup>型シリコン層4のみを形成し、P型不純物を注入しなければ、前述の第3の実施形態に係るSOI基板7(図5参照)を製造することができる。また、支持基板2にP型不純物を注入してP<sup>+</sup>型シリコン層3のみを形成し、N型不純物を注入しなければ、前述の第7の実施形態に係るSOI基板9(図11参照)を製造することができる。更に、N型不純物を支持基板2の表面における一部の領域に制限注入すれば、支持基板2の表面に局所的にN<sup>+</sup>型シリコン層4を形成することができ、前述の第6の実施形態に係るSOI基板8(図9参照)を製造することができる。更にまた、イオン注入により、SOI層6の一部において、不純物濃度が増加し、N/P型又はN型になったとしても、その後の工程において、ウエル等を形成する際に適宜調節すれば、本来の不純物濃度に戻すことができる。

10

#### 【0099】

次に、上述の各実施形態に係る半導体集積回路装置の製造方法について説明する。まず、半導体集積回路装置の第1の製造方法について説明する。図20(a)及び(b)は本製造方法を工程順に示す断面図である。本製造方法は、前述の第1の実施形態に係る半導体集積回路装置11(図2(a)及び(b)参照)の製造方法である。

#### 【0100】

まず、図1に示すように、前述のいずれかの方法により、SOI基板1を作製する。次に、図20(a)に示すように、SOI基板1上の全面に酸化膜61を形成する。この酸化膜61はSOI基板1の表面を保護するものであり、膜厚は例えば数十nmである。次に、この酸化膜61上にフォトレジスト62を形成し、露光及び現像を行ってパターンニングする。このとき、フォトレジスト62において、後の工程でP<sup>+</sup>型シリコン層12が形成される予定の領域に、開口部63を形成する。

20

#### 【0101】

次に、図20(b)に示すように、フォトレジスト62をマスクとして、P型不純物、例えばボロンイオンを、SOI基板1に対して注入する。これにより、N<sup>+</sup>型シリコン層4の一部がP<sup>+</sup>型に変化し、P<sup>+</sup>型シリコン層12が形成される。その後、フォトレジスト62を除去する。なお、フォトレジスト62をマスクとして、酸化膜61、SOI層6及び埋込酸化膜5をエッチングして選択的に除去し、N<sup>+</sup>型シリコン層4に到達する開口部を形成し、この開口部を介してP型不純物を注入し、P型シリコン層12を形成してもよい。

30

#### 【0102】

次に、図2(b)に示すように、酸化膜61を除去してSOI層6の表面にSTI領域28を選択的に形成し、その後、埋込酸化膜5に到達するように素子分離膜15を選択的に形成する。次に、SOI層6に対してイオン注入を行い、Nウエル13及びPウエル14を形成する。そして、このNウエル13及びPウエル14に夫々PMOSTランジスタ16及びNMOSTランジスタ17を形成し、これらを絶縁膜(図示せず)により埋め込む。その後、絶縁膜、SOI層6及び埋込酸化膜5を貫通するようにビア26及び27を形成し、このビア26及び27の上端に夫々接続されるように、電源電位配線VDD及び接地電位配線GNDを形成する。これにより、半導体集積回路装置11が作製される。

40

#### 【0103】

次に、半導体集積回路装置の第2の製造方法について説明する。図21(a)及び(b)は本製造方法を工程順に示す断面図である。本製造方法は、前述の第1の実施形態に係る半導体集積回路装置11(図2(a)及び(b)参照)の製造方法である。

#### 【0104】

まず、図11に示すように、前述のいずれかの方法により、SOI基板9を作製する。次に、図21(a)に示すように、SOI基板9上の全面に酸化膜61を形成し、その上にフォトレジスト64を形成する。その後、フォトレジスト64に対して露光及び現像を施

50

し、フォトレジスト64を、後の工程でP<sup>+</sup>型シリコン層12が形成される予定の領域を覆うようにパターニングする。

【0105】

次に、図21(b)に示すように、フォトレジスト64をマスクとして、N型不純物、例えばリンイオンを、SOI基板9に対して注入する。なお、このとき、リンイオンの替わりに、ヒ素イオン又はアンチモンイオンを注入してもよい。これにより、P<sup>+</sup>型シリコン層3の表層の一部がN<sup>+</sup>型に変化し、N<sup>+</sup>型シリコン層4が形成される。なお、このとき、P<sup>+</sup>型シリコン層3において、N<sup>+</sup>型シリコン層4と同層の部分であって、N<sup>+</sup>型シリコン層4が形成されずにP<sup>+</sup>型のまま残留した領域がP<sup>+</sup>型シリコン層12となる。その後、フォトレジスト64を除去する。

10

【0106】

次に、前述の半導体集積回路装置の第1の製造方法と同様な方法により、素子分離膜15、PMOSトランジスタ16、NMOSトランジスタ17、STI領域28、ビア26、ビア27、電源電位配線VDD、接地電位配線GND等を形成し、半導体集積回路装置11を製造する。

【0107】

なお、本製造方法において、図21(b)に示すP型不純物の注入工程において、SOI層6の一部がN型になる場合が考えられる。この場合は、Nウエル13及びPウエル14を形成する工程において、不純物の注入条件を調整することにより、最終的な不純物濃度を調節する。

20

【0108】

また、上述の半導体集積回路装置の第1及び第2の製造方法において、ビア27を形成せずに、支持基板2の裏面を接地電位配線GNDに接続すれば、前述の第2の実施形態に係る半導体集積回路装置41を製造することができる。

【0109】

次に、半導体集積回路装置の第3の製造方法について説明する。図22(a)及び(b)は、この製造方法を示す断面図である。本製造方法は、前述の第3の実施形態に係る半導体集積回路装置42(図6(a)及び(b)参照)の製造方法である。

【0110】

まず、図5に示すように、前述のいずれかの方法により、SOI基板7を作製する。次に、図22(a)に示すように、SOI基板7上の全面に酸化膜61を形成し、その上にフォトレジスト65を形成する。その後、フォトレジスト65に対して露光及び現像を施し、フォトレジスト65をパターニングする。このとき、フォトレジスト65は、後の工程でN<sup>+</sup>型シリコン層43(図22(b)参照)が形成される予定の領域を覆うようにパターニングする。なお、図6(b)に示すように、N<sup>+</sup>型シリコン層43及びP<sup>+</sup>型シリコン層44の形状は、支持基板2の表面に垂直な方向から見て楕型とし、相互に接するようになる。

30

【0111】

次に、図22(b)に示すように、フォトレジスト65をマスクとして、P型不純物、例えばボロンイオンを、SOI基板7に対して注入する。これにより、N<sup>+</sup>型シリコン層4の一部の領域がP<sup>+</sup>型に変化し、P<sup>+</sup>型シリコン層44が形成される。なお、このとき、N<sup>+</sup>型シリコン層4において、P<sup>+</sup>型シリコン層44が形成されずにN<sup>+</sup>型のまま残留した領域がN<sup>+</sup>型シリコン層43となる。その後、フォトレジスト65を除去する。

40

【0112】

次に、前述の半導体集積回路装置の第1の製造方法と同様な方法により、素子分離膜15、PMOSトランジスタ16、NMOSトランジスタ17、STI領域28、ビア26、ビア27、電源電位配線VDD、接地電位配線GND等を形成し、前述の第3の実施形態に係る半導体集積回路装置42(図6(a)及び(b)参照)を製造する。

【0113】

なお、第3の実施形態に係る半導体集積回路装置42を製造するためには、SOI基板9

50

(図11参照)を使用し、フォトレジストによりP<sup>+</sup>型シリコン層44(図6(a)参照)が形成される予定の領域を覆い、このフォトレジストをマスクとして、N型不純物を注入してN<sup>+</sup>型シリコン層43を形成してもよい。この方法によっても、半導体集積回路装置42を製造することができる。

【0114】

また、この第3の製造方法において、支持基板2をP<sup>-</sup>型シリコンにより形成し、N<sup>+</sup>型シリコン層4の一部をP型不純物を注入することによりP<sup>+</sup>型シリコン層46(図7参照)とし、支持基板2に接地電位配線GND、ビア27及びP<sup>+</sup>型シリコン層46を介して接地電位を印加するようにすれば、前述の第4の実施形態に係る半導体集積回路装置45(図7参照)を製造することができる。

10

【0115】

次に、半導体集積回路装置の第4の製造方法について説明する。図23(a)及び(b)は本製造方法を工程順に示す断面図である。本製造方法は、前述の第1の実施形態に係る半導体集積回路装置11(図2(a)及び(b)参照)の製造方法である。

【0116】

まず、図1に示すように、前述のいずれかの方法により、SOI基板1を作製する。次に、図23(a)に示すように、通常の方法により、SOI層6にNウエル13、Pウエル14及び素子分離膜15を形成する。次に、SOI層6上の全面に、酸化膜61を形成する。次に、酸化膜61上にフォトレジスト66を形成し、パターンニングする。その後、このフォトレジスト66をマスクとしてエッチングを施し、酸化膜61、Pウエル14及び埋込酸化膜5を貫通するように、ビアホール27aを形成する。

20

【0117】

次に、図23(b)に示すように、フォトレジスト66をマスクとして、P型不純物、例えばボロンイオンを注入する。このとき、ボロンイオンの注入エネルギーは例えば10乃至50keV、ドーズ量は例えば $1 \times 10^{15} \text{ cm}^{-2}$ とする。このP型不純物はビアホール27aを介してN<sup>+</sup>型シリコン層4に到達し、N<sup>+</sup>型シリコン層4の一部の領域をP<sup>+</sup>型に変え、P<sup>+</sup>型シリコン層12を形成する。その後、フォトレジスト66を除去する。

【0118】

その後、前述の第1の製造方法と同様な方法により、PMOSTランジスタ16、NMOSTランジスタ17、STI領域28、ビア26、ビア27、電源電位配線VDD、接地電位配線GND等を形成し、半導体集積回路装置11を製造する。

30

【0119】

次に、半導体集積回路装置の第5の製造方法について説明する。本製造方法は、前述の第5の実施形態に係る半導体集積回路装置47(図8参照)の製造方法である。まず、図5に示すように、前述のいずれかの方法により、SOI基板7を作製する。次に、図8に示すように、前述の第1の製造方法と同様な方法により、PMOSTランジスタ16、NMOSTランジスタ17、ビア26等を形成し、N<sup>+</sup>型シリコン層4がビア26を介して、電源電位配線VDDに接続されるようにする。また、支持基板2を接地電位配線GNDに接続する。これにより、半導体集積回路装置47を製造することができる。

40

【0120】

なお、この第5の製造方法において、SOI基板7の代わりにSOI基板8(図9参照)を使用すれば、前述の第6の実施形態に係る半導体集積回路装置48(図10参照)を製造することができる。また、SOI基板9(図11参照)を使用し、接地電位GNDに接続されるビア27を形成すれば、前述の第7の実施形態に係る半導体集積回路装置53(図12参照)を形成することができる。なお、この場合は、支持基板2を接地電位配線に接続する必要はない。更に、SOI基板9を使用し、ビア27の形成を省略して、支持基板2を接地電位配線GNDに接続すれば、前述の第8の実施形態に係る半導体集積回路装置54(図13参照)を形成することができる。更にまた、SOI基板9を使用し、埋込酸化膜5及びSOI層6中にガードリング56(図14参照)を形成し、このガードリン

50

グ 5 6 を接地電位配線 G N D に接続すれば、前述の第 9 の実施形態に係る半導体集積回路装置 5 5 ( 図 1 4 参照 ) を形成することができる。

【 0 1 2 1 】

【 発明の効果 】

以上詳述したように、本発明によれば、S O I 基板において、支持基板の一部にこの支持基板よりも抵抗率が低い半導体領域を設けることにより、この S O I 基板を使用して半導体集積回路装置を作製する際に、装置の小型化を図りつつ、ノイズを吸収することができる。これにより、半導体集積回路装置の動作を安定化することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施形態に係る S O I 基板を示す断面図である。

10

【 図 2 】 ( a ) は本実施形態に係る半導体集積回路装置を示す平面図であり、( b ) は ( a ) に示す A - A 線による断面図である。

【 図 3 】 本実施形態の変形例に係る半導体集積回路装置を示す断面図である。

【 図 4 】 本発明の第 2 の実施形態に係る半導体集積回路装置を示す断面図である。

【 図 5 】 本発明の第 3 の実施形態に係る S O I 基板を示す断面図である。

【 図 6 】 ( a ) は本実施形態に係る半導体集積回路装置を示す断面図であり、( b ) は平面図である。

【 図 7 】 本発明の第 4 の実施形態に係る半導体集積回路装置を示す断面図である。

【 図 8 】 本発明の第 5 の実施形態に係る半導体集積回路装置を示す断面図である。

【 図 9 】 本発明の第 6 の実施形態に係る S O I 基板を示す断面図である。

20

【 図 1 0 】 本実施形態に係る半導体集積回路装置を示す断面図である。

【 図 1 1 】 本発明の第 7 実施形態に係る S O I 基板を示す断面図である。

【 図 1 2 】 本実施形態に係る半導体集積回路装置を示す断面図である。

【 図 1 3 】 本発明の第 8 の実施形態に係る半導体集積回路装置を示す断面図である。

【 図 1 4 】 本発明の第 9 の実施形態に係る半導体集積回路装置を示す断面図である。

【 図 1 5 】 ( a ) 乃至 ( d ) は、S O I 基板の第 1 の製造方法を工程順に示す断面図である。

【 図 1 6 】 ( a ) 及び ( b ) は、S O I 基板の第 2 の製造方法を工程順に示す断面図である。

【 図 1 7 】 ( a ) 乃至 ( c ) は S O I 基板の第 3 の製造方法を工程順に示す断面図である。

30

【 図 1 8 】 この第 3 の製造方法の変形例を示す断面図である。

【 図 1 9 】 ( a ) 乃至 ( c ) は S O I 基板の第 4 の製造方法を工程順に示す断面図である。

【 図 2 0 】 ( a ) 及び ( b ) は、半導体集積回路装置の第 1 の製造方法を工程順に示す断面図である。

【 図 2 1 】 ( a ) 及び ( b ) は、半導体集積回路装置の第 2 の製造方法を工程順に示す断面図である。

【 図 2 2 】 ( a ) 及び ( b ) は、半導体集積回路装置の第 3 の製造方法を工程順に示す断面図である。

40

【 図 2 3 】 ( a ) 及び ( b ) は、半導体集積回路装置の第 4 の製造方法を工程順に示す断面図である。

【 符号の説明 】

1、7、8、9、10 ; S O I 基板

2 ; 支持基板

3、3 a ; P<sup>+</sup> 型シリコン層

4、4 a ; N<sup>+</sup> 型シリコン層

5 ; 埋込酸化膜 ( B O X 層 )

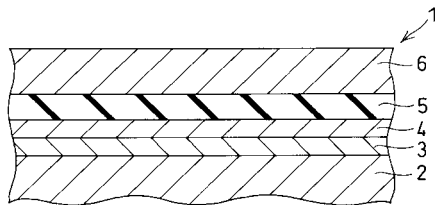
5 a、5 b ; シリコン酸化膜

6 ; S O I 層

50

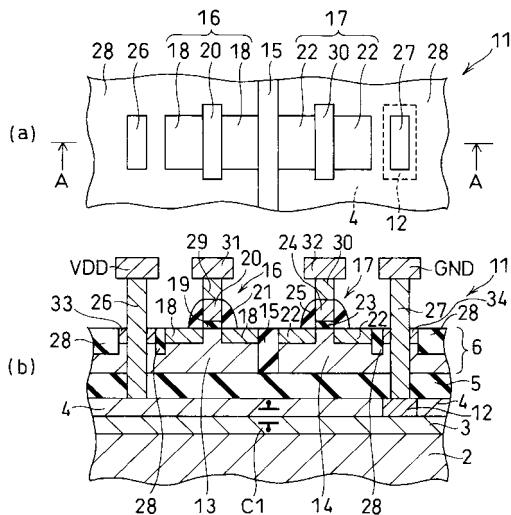
1 1 ; 半 導 体 集 積 回 路 装 置	
1 2 ; P <sup>+</sup> 型 シ リ コ ン 層	
1 3 ; N ウ エ ル	
1 4 ; P ウ エ ル	
1 5 ; 素 子 分 離 膜	
1 6 ; P M O S ト ラ ン ジ ス タ	
1 7 ; N M O S ト ラ ン ジ ス タ	
1 8 ; p 型 拡 散 領 域	
1 9 ; ゲ ー ト 絶 縁 膜	
2 0 ; ゲ ー ト 電 極	10
2 1 ; 側 壁	
2 2 ; n 型 拡 散 領 域	
2 3 ; ゲ ー ト 絶 縁 膜	
2 4 ; ゲ ー ト 電 極	
2 5 ; 側 壁	
2 6 、 2 7 、 2 9 、 3 0 ; ビ ア	
2 6 a 、 2 7 a ; ビ ア ホ ー ル	
2 8 ; S T I 領 域	
3 1 、 3 2 ; 配 線	
3 3 ; n 型 拡 散 領 域	20
3 4 ; p 型 拡 散 領 域	
3 5 、 3 6 ; 配 線	
3 7 、 3 8 ; ビ ア	
3 9 、 4 1 、 4 2 、 4 5 、 4 7 、 4 8 、 5 3 、 5 4 、 5 5 ; 半 導 体 集 積 回 路 装 置	
4 3 ; N <sup>+</sup> 型 シ リ コ ン 層	
4 3 a ; 根 元 部	
4 3 b ; 枝 部	
4 4 ; P <sup>+</sup> 型 シ リ コ ン 層	
4 4 a ; 根 元 部	
4 4 b ; 枝 部	30
4 6 ; P <sup>+</sup> 型 シ リ コ ン 層	
4 9 ; 素 子 形 成 領 域	
5 0 ; 素 子 分 離 領 域	
5 1 ; 素 子 分 離 膜	
5 2 、 5 7 ; ビ ア	
5 6 ; ガ ー ド リ ン グ	
5 8 、 6 0 ; P <sup>+</sup> 型 シ リ コ ン 層	
5 9 ; 不 純 物 濃 度 が 支 持 基 板 2 と ほ ぼ 同 じ で あ る シ リ コ ン 層	
6 1 ; 酸 化 膜	
6 2 、 6 4 、 6 5 、 6 6 ; フ ォ ト レ ジ ス ト	40
6 3 ; 開 口 部	
C 1 ~ C 6 ; デ カ ッ プ リ ン グ 容 量	
L ; 距 離	
G N D ; 接 地 電 位 配 線	
V D D ; 電 源 電 位 配 線	

【 図 1 】



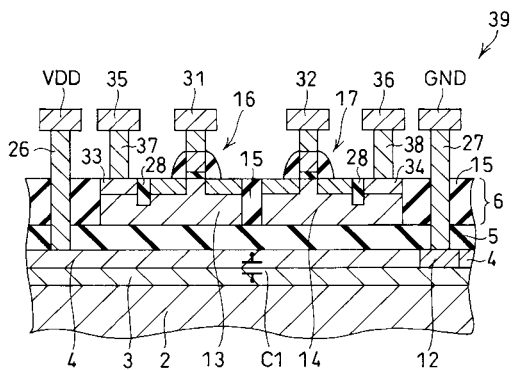
1: SOI 基板 2: 支持基板 3: P<sup>+</sup>型シリコン層  
 4: N<sup>+</sup>型シリコン層 5: 埋込酸化膜 6: SOI 層

【 図 2 】



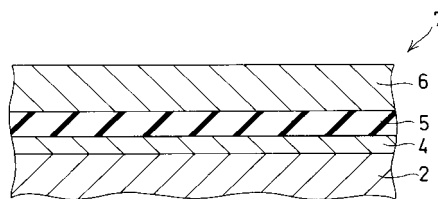
1: SOI 基板 2: 支持基板 3: P<sup>+</sup>型シリコン層  
 4: N<sup>+</sup>型シリコン層 5: 埋込酸化膜 6: SOI 層  
 11: 半導体集積回路装置 12: P<sup>+</sup>型シリコン層 13: Nウエル  
 14: Pウエル 15: 素子分離膜 16: PMOS トランジスタ  
 17: NMOS トランジスタ 18: p 型拡散領域  
 19: ゲート絶縁膜 20: ゲート電極 21: 側壁  
 22: n 型拡散領域 23: ゲート絶縁膜 24: ゲート電極  
 25: 側壁 26, 27, 29, 30: ビア 28: STI 領域  
 31, 32: 配線 C1: デカップリング容量  
 33: n 型拡散領域 34: p 型拡散領域

【 図 3 】



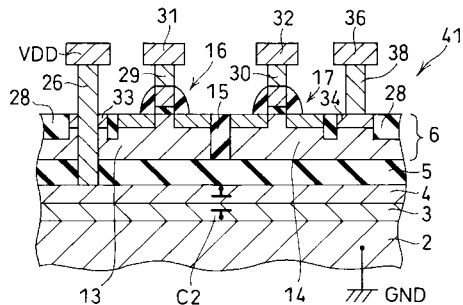
35, 36: 配線 37, 38: ビア 39: 半導体集積回路

【 図 5 】



7: SOI 基板

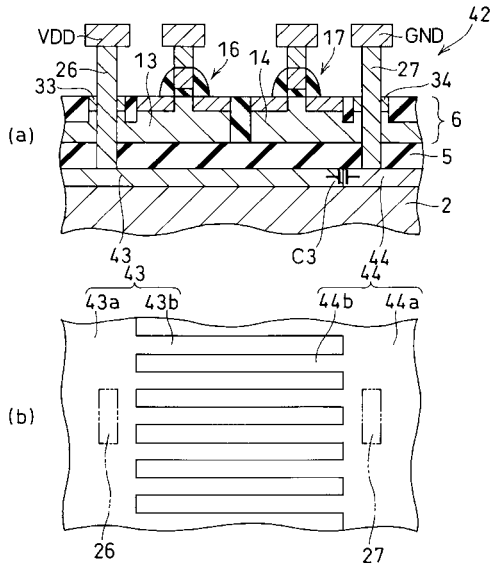
【 図 4 】



41: 半導体集積回路装置 C2: デカップリング容量

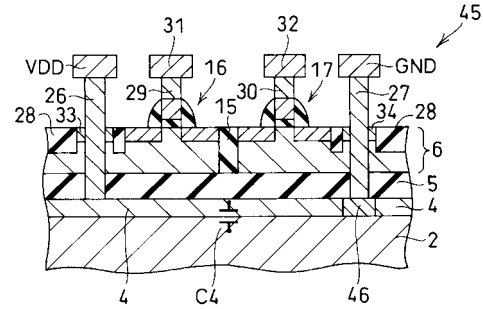


【 図 6 】



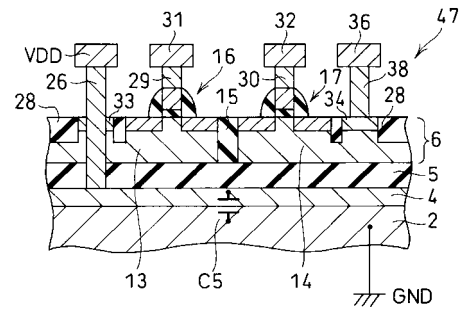
42; 半導体集積回路装置 43; N+型シリコン層  
 44; P+型シリコン層 C3; デカップリング容量  
 43a、44a; 根元部 43b、44b; 枝部

【 図 7 】



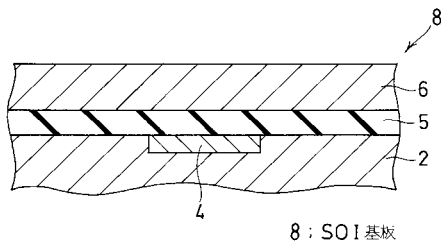
45; 半導体集積回路装置 46; P+型シリコン層  
 C4; デカップリング容量

【 図 8 】



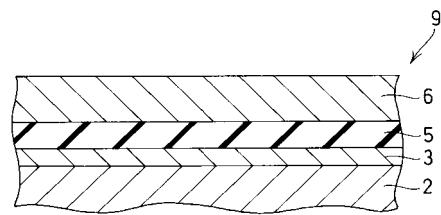
47; 半導体集積回路装置 C5; デカップリング容量

【 図 9 】



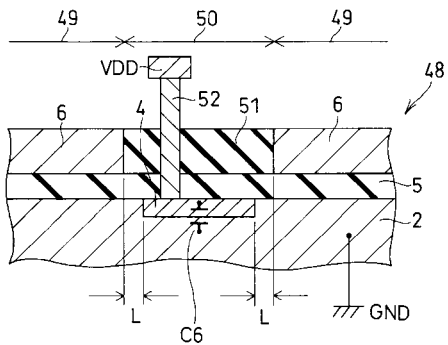
8; SOI 基板

【 図 1 1 】



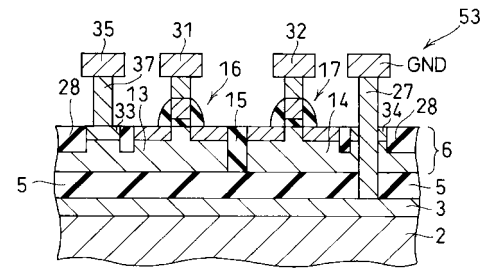
9; SOI 基板

【 図 1 0 】



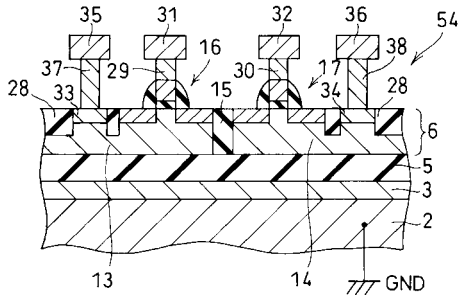
48; 半導体集積回路装置 49; 素子形成領域 50; 素子分離領域  
 51; 素子分離膜 52; ピア C6; デカップリング容量 L; 距離

【 図 1 2 】



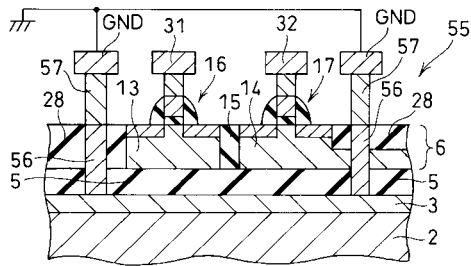
53; 半導体集積回路装置

【 図 1 3 】



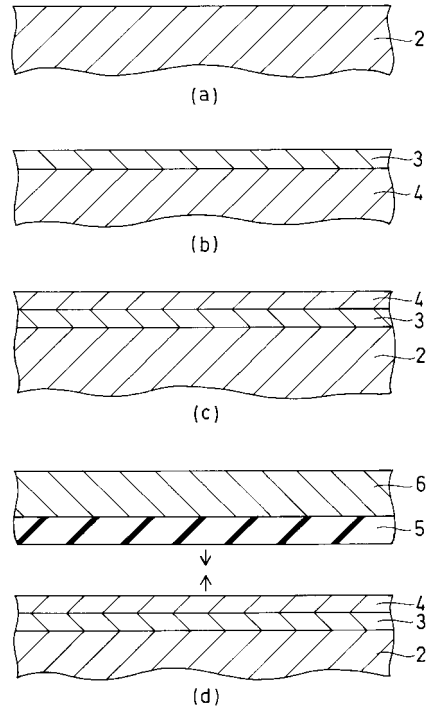
54 ; 半導体集積回路装置

【 図 1 4 】

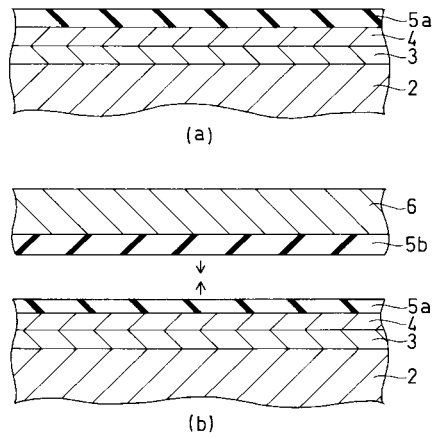


55 ; 半導体集積回路装置 56 ; ガードリング 57 ; ビア

【 図 1 5 】

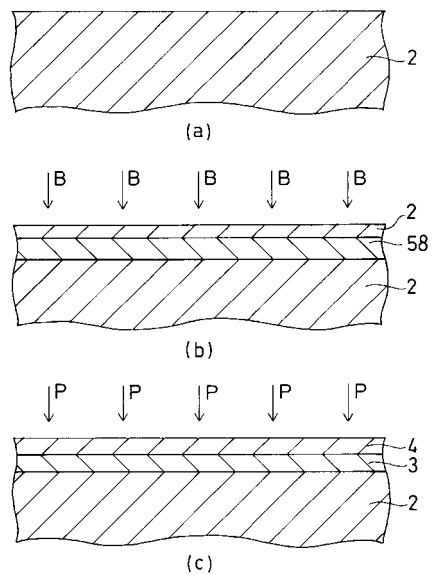


【 図 1 6 】



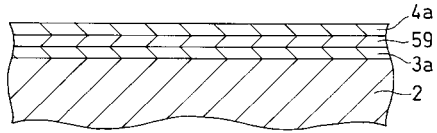
5a、5b ; シリコン酸化膜

【 図 1 7 】



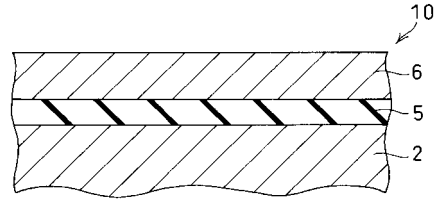
58 ; P+型シリコン層

【 図 1 8 】

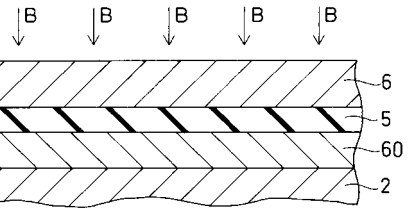


3a : P+型シリコン層    4a : N+型シリコン層  
 59 : P/N型シリコン層

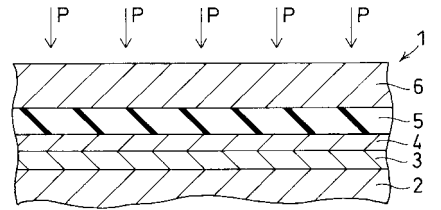
【 図 1 9 】



(a)



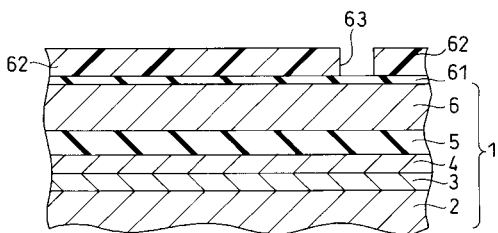
(b)



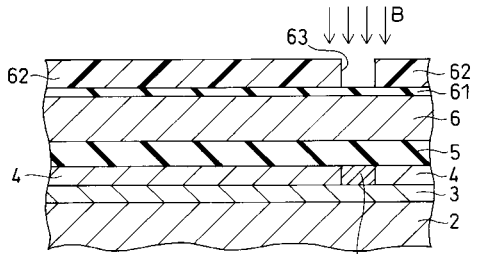
(c)

10 : SOI 基板    60 : P+型シリコン層

【 図 2 0 】



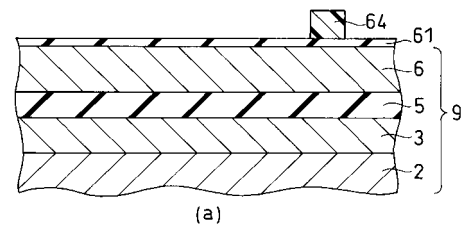
(a)



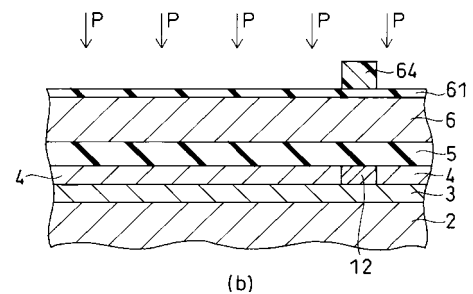
(b)

62 : フォトリジスト    63 : 開口部

【 図 2 1 】



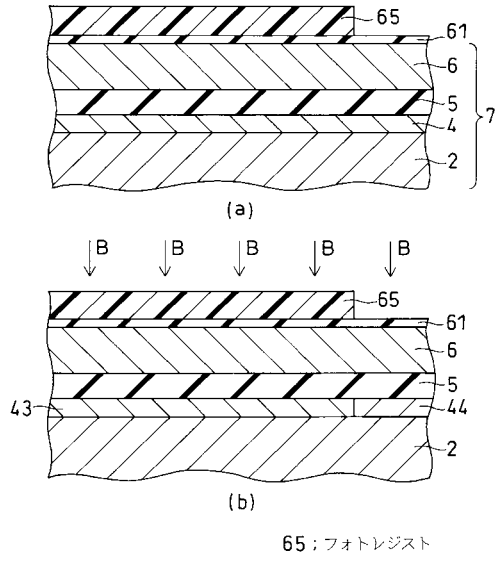
(a)



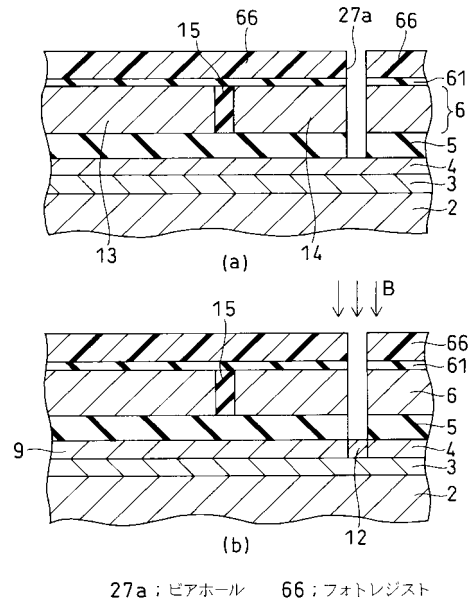
(b)

64 : フォトリジスト

【図 2 2】



【図 2 3】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 27/04	H 0 1 L 21/76	D
	H 0 1 L 21/76	S
	H 0 1 L 21/88	J

(72)発明者 中柴 康隆

神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

Fターム(参考) 5F032 AA06 AA91 AB05 BB08 CA03 CA17 DA12 DA43 DA71 DA74  
5F033 JJ04 JJ19 KK01 LL04 MM30 NN40 QQ08 QQ09 QQ10 QQ37  
QQ58 QQ65 RR04 VV04 VV05 VV10 XX00  
5F038 AC04 AC07 AC12 AC19 AV06 BH03 BH09 BH19 CD02 CD04  
EZ06 EZ13 EZ14 EZ15 EZ20