



(12) 发明专利

(10) 授权公告号 CN 113517942 B

(45) 授权公告日 2022. 09. 02

(21) 申请号 202110797001.3

H04H 20/65 (2008.01)

(22) 申请日 2021.07.14

H04B 1/00 (2006.01)

H04B 1/04 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113517942 A

(56) 对比文件

US 2019149131 A1, 2019.05.16

CN 101567701 A, 2009.10.28

(43) 申请公布日 2021.10.19

(73) 专利权人 重庆邮电大学

地址 400065 重庆市南岸区黄桷垭崇文路2号

审查员 岳虹

(72) 发明人 张红升 卫中阳 马小东 杨虹

易胜宏 孟金

(74) 专利代理机构 北京同恒源知识产权代理有

限公司 11275

专利代理师 杨柳岸

(51) Int. Cl.

H04H 20/59 (2008.01)

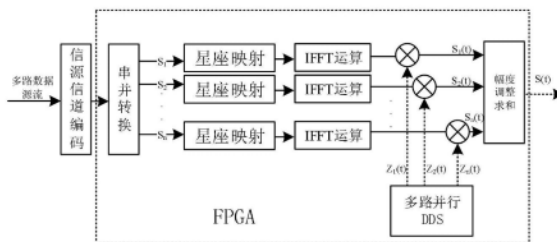
权利要求书2页 说明书8页 附图5页

(54) 发明名称

面向应急通信的多通道数字短波发射机SoC的发射基带系统

(57) 摘要

本发明涉及一种面向应急通信的多通道数字短波发射基带系统,属于通信技术领域。包括数据输入转换模块、FPGA部分、ARM硬核部分以及AD9957部分;实现多路数字短波发射机基带信号调制以提高信息传输速率,采用SoC架构来搭建这个信号传输的发射系统,提高了系统集成度,同时结合设计的上变频电路实现基带信号的上变频,将基带信号调制到合适的短波波段发送,达到数字短波发射机的基本功能。本发明可同时实现多任务,多通道的数据业务的传送,即在一套发射机板上完成多套节目的发送。发射机的节目传输数量可由控制电路灵活配置以满足不同的应用场景。



1. 面向应急通信的多通道数字短波发射机SoC的发射基带系统,其特征在于:包括数据输入转换模块、现场可编程逻辑门阵列FPGA部分、ARM硬核部分以及上变频芯片AD9957部分;

数据输入转换模块将PC主机的数据串并转化后传输给现场可编程逻辑门阵列FPGA部分;

FPGA部分是基于vivado设计的快速傅里叶逆变换IFFT运算,实现OFDM调制;

AD9957部分是实现信号的数字正交变频;

首先ARM硬核部分读取数据输入模块的状态,当数据输入模块准备开始传输数据到FPGA时,启动信号变换处理的开始信号,经过一系列的信号变换处理,最后串行输出为满足AD9957的时序信号;

AD9957工作在正交数字上变频QDUC模式下,数据复合处理单元会将在传输使能信号Tx_enable置为有效后,第一个PDCLK有效沿时,读进来的数据默认为第一个I分量 I_0 ,第一个PDCLK的下一个有效沿进来的数据默认为第一个Q分量 Q_0 ,交替进行,在数据输入控制部分按照QDUC模式下的时序,确保I/Q分量的正确分离;

所述OFDM调制为:在经过IFFT变化后生成的多个基带OFDM信号,分别先预先通过多路直接数字上变频DDS调制至多个互有保护间隔的不同中心频点,信号在时域上的叠加得到多路OFDM基带信号;

其中,第1路信号,OFDM信号的生成过程为:首先将数据源通过信源信道编码后进行串并转换得到多路的码元数据,然后将多路的码元信号进行星座映射,上采样与低通滤波;然后对 X^0 进行多路快速傅里叶逆变换IFFT:

$$X_n^0 = \frac{1}{\sqrt{N}} \sum_{k=0}^{N-1} X_k^0 \exp\left(\frac{j2\pi kn}{N}\right), n = 0, 1, \dots, N-1$$

其中, N 表示OFDM子载波个数, X_k^0 表示矢量 X^0 中的第 k 个分量, X_n^0 表示第0路数据信号的OFDM符号的第 n 个采样点;

在通过DDS实现信号预先调制的信号处理过程中,将多路IFFT的计算结果分别与DDS产生的多路载波调制;其中 $Z_1(t), Z_2(t), \dots, Z_n(t)$ 分别对应着由DDS信号发生器产生的载波频率;

其中 $Z_n(t)$ 表示为: $Z_n(t) = \cos(2\pi(f_n * t + \theta_n))$, f_n, θ_n 为DDS频率控制字决定;

经过预先调制后的信号在时域进行幅度调整与求和,得到单路的多路复合时域信号 $S(t)$;对于经过频谱搬移后的复合的基带信号 $S(t)$,把信号进行归一化处理,处理后的基带信号通过配置AD9957的寄存器实现中心频点的搬移;

多路载波的频点由控制模块灵活配置,发射信号的中心频点主要由DDS载频率控制器与上变频电路共同作用决定;对于在经过IFFT后的基带信号,经过多路DDS载波预调制后,生成的中心频点分别为 f_1, f_2, \dots, f_n 的多路频带信号;经过时域求和后的多路信号 $S(t)$,再经过AD9957中上变频的频率为 f_0 的载波,上变频后产生的多通道中心频点为 $f_1 + f_0, f_2 + f_0, \dots, f_n + f_0$;各个通道的载波相互独立,设定 f_n 的取值间隔以保证各通道的频谱分离而不重叠;带通滤波器用于滤除上变频电路产生的谐波,保证多路信号的传输质量;最后,多路复合信号经过PA功率放大电路将信号发送出去。

2. 根据权利要求1所述的面向应急通信的多通道数字短波发射机SoC的发射基带系统, 其特征在于: 所述数字短波发射机SoC包括:

LED指示模块、用户按键模块、SPI接口和I/O接口;

LED指示模块用于指示系统的工作状态, 用户按钮模块用于中止系统运行, SPI接口和I/O接口用于连接上变频电路板; SoC FPGA芯片的FPGA部分集成有数字短波广播的OFDM基带处理IP核和PIO核的FPGA外设, 硬核处理器系统通过ARM至FPGA桥完成对FPGA外设的控制;

在SoC中, 传输帧数据通过以太网接口传递ARM硬核处理器, 由嵌入式软件完成传输帧解析, 整理出每个调制符号内待调制的数据; 待调制数据通过总线送入编码正交频分复用COFDM编码器, 依次完成里所码/稀疏校验矩阵的分组纠错码RS/LDPC编码、卷积编码、时间/频率/比特交织、正交振幅调制QAM调制、OFDM调制运算, 最后经成型滤波器后, 由上变频接口电路输出数字IQ信号; 数字IQ信号经过上变频芯片转换成短波射频信号, 该信号再经过滤波和放大, 通过天线发射出去。

3. 根据权利要求2所述的面向应急通信的多通道数字短波发射机SoC的发射基带系统, 其特征在于: 所述COFDM编码器为:

首先把输入数据存储到双口单元中, 数据地址产生单元生成读数据地址、读使能信号, 存储到双口存储器; 然后, 读取双口存储器中的原始数据进入蝶形运算单元; 时序控制单元在进行蝶形运算的环节前产生存储单元的读数据地址及读使能信号, 读取旋转因子的实部、虚部的值, 同时输到蝶形运算单元; 紧接着启动蝶算单元, 经过个时钟周期时间, 输出蝶算结果; 蝶形运算的结果通过数据选择单元, 将选出的数据回存到取数据的地址中, 完成一次蝶形运算; 下一次蝶形运算的数据同时从存储器中读取, 保证蝶形运算结果连续输出; 当完成最后一级运算, 产生输出地址和输出使能信号, 双口单元输出计算结果, 等待来自时序控制单元的启动命令, 从而准备对下一组数据进行处理;

根据数字短波传输协议规范, 采用256点的IFFT运算来产生基带信号; 其中时钟信号二CLK为整个运算模块的时钟, 复位信号RST为整个系统的复位信号, 开始信号START对应为整个模块开始IFFT运算的信号, 使能信号ED为输入数据的使能端口, DIR为输入的待调制数据的实部信号, DII为输入的待调制数据的虚部信号, DOR为IFFT运算后的数据实部, DOI为IFFT运算后的数据虚部, RDY为信号数据输出有效的标志, FFT_RDY为下一个OFDM符号输入的标志, 从而开启下一次IFFT运算。

4. 根据权利要求1所述的面向应急通信的多通道数字短波发射机SoC的发射基带系统, 其特征在于: 所述系统还包括基带信号调制模块, 该基带信号调制模块共消耗3402个逻辑单元, 5061个寄存器, 采用的是256点的基9的FFT算法, 从输入到输出之间的运算时间为580个时钟延迟, 同时还存在数据溢出的信号。

面向应急通信的多通道数字短波发射机SoC的发射基带系统

技术领域

[0001] 本发明属于通信技术领域,涉及面向应急通信的多通道数字短波发射基带系统。

背景技术

[0002] 短波是无线电的一个波长范围,其对应的频率范围被称为高频。短波的波长范围是10米至100米,频率范围则是3MHz到30MHz。短波波段的电磁波除了能够利用地波传播外,还可通过电离层的反射进行远距离传输,穿透力强,不易干扰,因而国际广播通常都位于短波波段。

[0003] 现存的数字短波广播由于传输带宽的限制(数据传输速率通常为10-30Kbit/s),只能传输一套语音和简单的辅助文字等信息。在大尺度区域的应急救援工作中,往往需要传递大量的灾情信息,单个短波广播的数据量远远不能满足应急通信的需求。为了保障大尺度、超视距、多信道的应急信息传输需求,需要在灾区建设数字短波的中继台,甚至借助这些中继台形成自组织的短波通信网络。在这种场景中,短波通信中继设备,或者说自组织短波通信网络节点设备,必须具备多频点、多通道发射和接收的能力。

[0004] 另外,片上系统SoC不断完善,SoC的定义也在不断的发展和完善。SoC的定义为片上系统,即SoC为包含处理器、存储器和片上逻辑的集成电路。随着RF电路模块和数模混合信号模块集成在单一芯片中,SoC的定义在不断的完善,现在的SoC中包含一个或多个处理器、存储器、模拟电路模块、数模混合信号模块以及片上可编程逻辑。现有的数字短波发射机大都是基于PC、DSP和PC、FPGA架构的发射原型机。这两种架构搭建的原型机在功耗和性能上都不能与同等水平的SoC架构相媲美。其次现有的发射机由PC端的上位机软件控制,所以整套发射机设备的移动性,便携性较差,无法适用于应急通信等需要发射机调动的使用情况,并且每台发射机都需要PC或者服务器与其相连接,浪费资源。

[0005] 以前的模拟调幅广播接收机无法接收数字广播,新的数字接收机的普及又十分有限,所以真正能接收数字短波广播的用户还很少,用户发展缓慢也造成了发射、接收设备生产成本的居高不下。同时发射机由于设备体积庞大,功耗高、不便于移动改装等特点使得其运用环境较为单一,从而束缚并局限了广播这种作为现代通信的替补通信方式的应用。尤其是在灾区通信中断的应急通信中,数字短波广播可以作为一种可靠、质量较高的通信方式,应该加以推广应用。同时对于存在的模拟广播向数字广播过渡中的问题,也需要解决模拟到数字短波广播平稳过渡的问题。

[0006] (1) 在现代应急通信中,短波通信设备,须具备多通道发射和接收的能力。然而传统的数字短波发射系统是单路传输,信息传输速率低下,传输模式单一,不满足多通道、自组织的应急通信需求,具有应用局限性。为解决大尺度、多通道的应急通信传输需求,需要一种具有多路信息并行传输的数字短波发射机系统,以解决传统单路信号传输的数据带宽局限性,使得短波应急通信的信息传输具有多通道,高速率特征。

[0007] (2) 传统的数字短波发射机的基带信号上变频后的信号中心频点具有固定性。对于短波通信的频段(30MHz以下的频域),多个短波发射的存在有可能使得信号的中心频点

较近或重叠,从而使得发射信号被相互干扰,影响短波通信的质量,缺少一个能够灵活进行频点调节的控制系统。

[0008] (3)传统的短波发射机由于维护成本、产品过渡的原因,现目前还停留在模拟短波与数字短波的升级切换之中。旧的模拟短波发射系统维护成本较高,发射系统的庞大而复杂,使得升级为数字短波发射机的成本高昂,发射机的升级在实现功能上与升级成本上难以达到统一。

发明内容

[0009] 有鉴于此,本发明的目的在于提供一种面向应急通信的多通道数字短波发射基带系统。在一套发射机上完成多个通道的节目信息的基带调制与发送,基于该硬件结构可以在一套发射机中发送多个短波频道的数据业务,增加了短波广播节目的发送数据量,更好满足灾区大范围的应急通信需求。为了实现该系统,提出了一种基于ARM内核的数字短波发射机 SoC系统,可以将主控软件运行在发射机端,减小了发射机的面积,降低了发射机的功耗,发射机整体的移动性及便携性高,有助于发射机运行在需低功耗,高移动性的环境下。尤其是对于在移动通信瘫痪的应急通信中,降低功耗与便携性显得尤为重要。其次使用ARM架构的SoC系统具有较高的稳定性,同时具备高速的数据处理与系统控制的灵活性,有利于增加发射机系统功能的多样性。其次针对短波广播的平稳性过渡问题,本发明一种数字与模拟广播可选择性播出技术方案,在传统的模拟短波广播发射系统上加以部分改造实现数字短波广播功能,完成模拟到数字的过渡。

[0010] 为达到上述目的,本发明提供如下技术方案:

[0011] 面向应急通信的多通道数字短波发射机SoC的发射基带系统,包括数据输入转换模块、现场可编程逻辑门阵列FPGA部分、ARM硬核部分以及上变频芯片AD9957部分;

[0012] 数据输入转换模块将PC主机的数据串并转化后传输给片上系统SoC FPGA;

[0013] FPGA部分是基于vivado设计的快速傅里叶逆变换IFFT运算,实现OFDM调制;

[0014] AD9957部分是实现信号的数字正交变频;

[0015] 首先ARM硬核部分读取数据输入模块的状态,当数据输入模块准备开始传输数据到 FPGA时,启动信号变换处理的开始信号,经过一系列的信号变换处理,最后串行输出为满足AD9957的时序信号;

[0016] AD9957工作在正交数字上变频QDUC模式下,数据复合处理单元会将在传输使能信号 Tx_enable置为有效后,第一个PDCLK有效沿时,读进来的数据默认为第一个I分量 I_0 ,时钟信号—PDCLK的下一个有效沿进来的数据默认为第一个Q分量 Q_0 ,交替进行,在数据输入控制部分按照QDUC模式下的时序,确保I/Q分量的正确分离。

[0017] 可选的,所述OFDM调制为:在经过IFFT变化后生成的多个基带OFDM信号,分别先预先通过多路直接数字上变频DDS调制至多个互有保护间隔的不同中心频点,信号在时域上的叠加得到多路OFDM基带信号;

[0018] 其中,第1路信号,OFDM信号的生成过程为:首先将数据源通过信源信道编码后进行串并转换得到多路的码元数据,然后将多路的码元信号进行星座映射,上采样与低通滤波;然后对 X^0 进行多路快速傅里叶逆变换IFFT:

$$[0019] \quad X_n^0 = \frac{1}{\sqrt{N}} \sum_{k=0}^{N-1} X_k^0 \exp\left(\frac{j2\pi kn}{N}\right), n=0,1,\dots,N-1$$

[0020] 其中,N表示OFDM子载波个数, X_k^0 表示矢量 X^0 中的第k个分量, X_n^0 表示第0路数据信号的OFDM符号的第n个采样点;

[0021] 在通过DDS实现信号预先调制的信号处理过程中,将多路IFFT的计算结果分别与DDS产生的多路载波调制;其中 $Z_1(t), Z_2(t), \dots, Z_n(t)$ 分别对应着由DDS信号发生器产生的载波频率;

[0022] 其中 $Z_n(t)$ 表示为: $Z_n(t) = \cos(2\pi(f_n * t + \theta_n))$, f_n, θ_n 为DDS频率控制字决定;

[0023] 经过预先调制后的信号在时域进行幅度调整与求和,得到单路的多路复合时域信号 $S(t)$;对于经过频谱搬移后的复合的基带信号 $S(t)$,把信号进行归一化处理,处理后的基带信号通过配置AD9957的寄存器实现中心频点的搬移;

[0024] 路载波的频点由控制模块灵活配置,发射信号的中心频点主要由DDS载频率控制器与上变频电路共同作用决定;对于在经过IFFT后的基带信号,经过多路DDS载波预调制后,生成的中心频点分别为 f_1, f_2, \dots, f_n 的多路频带信号;经过时域求和后的多路信号 $S(t)$,再经过AD9957中上变频的频率为 f_0 的载波,上变频后产生的多通道中心频点为 $f_1 + f_0, f_2 + f_0, \dots, f_n + f_0$;各个通道的载波相互独立,设定 f_n 的取值间隔以保证各通道的频谱分离而不重叠;带通滤波器用于滤除上变频电路产生的谐波,保证多路信号的传输质量;最后,多路复合信号经过PA功率放大电路将信号发送出去。

[0025] 可选的,所述数字短波发射机SoC包括:

[0026] LED指示模块、用户按键模块、SPI接口和I/O接口;

[0027] LED指示模块用于指示系统的工作状态,用户按钮模块用于中止系统运行,SPI接口和I/O接口用于连接上变频电路板;SoC FPGA芯片的FPGA部分集成有数字短波广播的OFDM基带处理IP核和PIO核的FPGA外设,硬核处理器系统通过ARM至FPGA桥完成对FPGA外设的控制;

[0028] 在SoC中,传输帧数据通过以太网接口传递ARM硬核处理器,由嵌入式软件完成传输帧解析,整理出每个调制符号内待调制的数据;待调制数据通过总线送入编码正交频分复用COFDM编码器,依次完成里所码/稀疏校验矩阵的分组纠错码RS/LDPC编码、卷积编码、时间/频率/比特交织、正交振幅调制QAM调制、OFDM调制等运算,最后经成型滤波器后,由上变频接口电路输出数字IQ信号;数字IQ信号经过上变频芯片转换成短波射频信号,该信号再经过滤波和放大,通过天线发射出去。

[0029] 可选的,所述COFDM编码器为:

[0030] 首先把输入数据存储到双口单元中,数据地址产生单元生成读数据地址、读使能信号,存储到双口存储器;然后,读取双口存储器中的原始数据进入蝶形运算单元;时序控制单元在进行蝶形运算的环节前产生存储单元的读数据地址及读使能信号,读取旋转因子的实部、虚部的值,同时输到蝶形运算单元;紧接着启动蝶算单元,经过个时钟周期时间,输出蝶算结果;蝶形运算的结果通过数据选择单元,将选出的数据回存到取数据的地址中,完成一次蝶形运算;下一次蝶形运算的数据同时从存储器中读取,保证蝶形运算结果连续输出;当完成最后一级运算,产生输出地址和输出使能信号,双口单元输出计算结果,等待来自时序控制单元的启动命令,从而准备对下一组数据进行处理;

[0031] 根据数字短波传输协议规范,采用256点的IFFT运算来产生基带信号;其中时钟信号二 CLK为整个运算模块的时钟,复位信号RST为整个系统的复位信号,开始信号START对应为整个模块开始IFFT运算的信号,使能信号ED为输入数据的使能端口,DIR为输入的待调制数据的实部信号,DII为输入的待调制数据的虚部信号,DOR为IFFT运算后的数据实部,DOI为IFFT运算后的数据虚部,RDY为信号数据输出有效的标志,FFT_RDY为下一个OFDM 符号输入的标志,从而开启下一次IFFT运算。

[0032] 可选的,所述系统还包括基带信号调制模块,该基带信号调制模块共消耗3402个逻辑单元,5061个寄存器,采用的是256点的基9的FFT算法,从输入到输出之间的运算时间为 580个时钟延迟,同时还存在数据溢出的信号。

[0033] 本发明的有益效果在于:

[0034] 本发明实现了一款基于数字短波传输协议,实现多路数字短波发射机基带信号调制以提高信息传输速率,采用SoC架构来搭建这个信号传输的发射系统,提高了系统集成度,同时结合设计的上变频电路实现基带信号的上变频,将基带信号调制到合适的短波波段发送,达到数字短波发射机的基本功能。与现存的大功率短波发射机相比,本发射机系统结构体现在以下四点:

[0035] (1) 本发明可同时实现多任务,多通道的数据业务的传送,即在一套发射机板上完成多套节目的发送。发射机的节目传输数量可由控制电路灵活配置以满足不同的应用场景。对于增强节目的丰富度,提高发射机的集成度具有较大的意义。从而满足现代应急通信多信道、高质量、高速率的特征需求。

[0036] (2) 整个发射系统采用SoC系统架构,使得数字短波发射机的功耗与体积方面具有较大优势,从而满足更多的场景需求。功耗更低,以及体积更小而带来的便携性、可移动性的提升可以大大增加短波广播的应用范围,使得数字短波更加适合应用于应急通信场景。

[0037] (3) 该设计可以将主控软件运行在发射机端,增加整个发射系统的集成度。同时,可以通过配置上变频电路核心射频芯片的AD9957寄存器,达到灵活控制发射机发射的信号中心频点的目的,从而具备可重构的特点,以使得整个数字短波发射机系统适应包括应急通信在内的众多应用环境。相比于传统的短波发射机,具有更高的灵活性、通用性,适用于应急通信场景。

[0038] (4) 基于现存的模拟短波发射机,可利用模拟短波发射机的部分模块与该发射机基带调制系统融合完成短波广播的数字化改造,从而实现在一个发射机上实现数字短波广播与模拟短波广播的可选择性播出,从而减少模拟广播的数字化升级难度,在一台发射机上实现模拟与数字广播的可选择性播出,可以体现该改造发射机多场景应用优势。本发明的其他优点、目标和特征在某种程度上将在随后的说明书中进行阐述,并且在某种程度上,基于对下文的考察研究对本领域技术人员而言将是显而易见的,或者可以从本发明的实践中得到教导。本发明的目标和其他优点可以通过下面的说明书来实现和获得。

附图说明

[0039] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作优选的详细描述,其中:

[0040] 图1为多路OFDM调制模块框图;

- [0041] 图2为多通道信号上变频流程图；
 [0042] 图3为数字短波发射系统SoC整体结构；
 [0043] 图4为系统模块与数据流图；
 [0044] 图5为软件控制设计流程图；
 [0045] 图6为发射机模/数模式可选择播出整体硬件及控制结构；
 [0046] 图7为数字短波传输系统；
 [0047] 图8为FFT处理器结构框图；
 [0048] 图9为FFT模块接口图；
 [0049] 图10为测试数据的256点IFFT仿真结果。

具体实施方式

[0050] 以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。需要说明的是，以下实施例中所提供的图示仅以示意方式说明本发明的基本构想，在不冲突的情况下，以下实施例及实施例中的特征可以相互组合。

[0051] 其中，附图仅用于示例性说明，表示的仅是示意图，而非实物图，不能理解为对本发明的限制；为了更好地说明本发明的实施例，附图某些部件会有省略、放大或缩小，并不代表实际产品的尺寸；对本领域技术人员来说，附图中某些公知结构及其说明可能省略是可以理解的。

[0052] 本发明实施例的附图中相同或相似的标号对应相同或相似的部件；在本发明的描述中，需要理解的是，若有术语“上”、“下”、“左”、“右”、“前”、“后”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此附图中描述位置关系的用语仅用于示例性说明，不能理解为对本发明的限制，对于本领域的普通技术人员而言，可以根据具体情况理解上述术语的具体含义。

[0053] 1、多路数据并发技术方案

[0054] 多路OFDM调制器框图如图1所示，对于在经过IFFT变化后生成的多个基带OFDM信号，分别先预先通过多路DDS (Direct Digital Synthesis直接数字上变频) 调制至多个互有保护间隔的不同中心频点，这些信号在时域上的叠加将得到多路OFDM基带信号。以第1路信号为例，介绍OFDM信号的生成过程：首先将数据源通过信源信道编码后进行串并转换得到多路的码元数据，然后将多路的码元信号进行星座映射，上采样与低通滤波。然后对 X^0 进行多路快速傅里叶逆变换IFFT。

$$[0055] \quad X_n^0 = \frac{1}{\sqrt{N}} \sum_{k=0}^{N-1} X_k^0 \exp\left(\frac{j2\pi kn}{N}\right), n = 0, 1, \dots, N-1$$

[0056] 其中，N表示OFDM子载波个数， X_k^0 表示矢量 X^0 中的第k个分量， X_n^0 表示第0路数据信号的OFDM符号的第n个采样点。

[0057] 在通过DDS实现信号预先调制的信号处理过程中，将多路IFFT的计算结果分别与

DDS 产生的多路载波调制。其中 $Z_1(t), Z_2(t), \dots, Z_n(t)$ 分别对应着由DDS信号发生器产生的载波频率。其中 $Z_n(t)$ 可以被表示为： $Z_n(t) = \cos(2\pi(f_n * t + \theta_n))$ ，其中 f_n, θ_n 为DDS频率控制字决定。经过预先调制后的信号在时域进行幅度调整与求和，得到单路的多路复合时域信号 $S(t)$ 。其中多路复合信号的后续发射端电路如图2所示，对于经过频谱搬移后的复合的基带信号 $S(t)$ ，之后先把信号进行归一化处理，处理后的基带信号通过配置AD9957的寄存器实现中心频点的搬移。在该系统中，多路载波的频点可由控制模块灵活配置，发射信号的中心频点主要由DDS载频率控制器与上变频电路共同作用决定。对于在经过IFFT后的基带信号，经过多路DDS载波预调制后，生成的中心频点分别为 f_1, f_2, \dots, f_n 的多路频带信号。经过时域求和后的多路信号 $S(t)$ ，再经过AD9957中上变频的频率为 f_0 的载波，上变频后产生的多通道中心频点为 $f_1+f_0, f_2+f_0, \dots, f_n+f_0$ 。各个通道的载波相互独立，合理设定 f_n 的取值间隔以保证各通道的频谱分离而不重叠。带通滤波器用于滤除上变频电路产生的谐波，更好的保证多路信号的传输质量。最后，多路复合信号经过PA功率放大电路将信号发送出去。

[0058] 至此，可在一块单板上完成多路信号的发送，有利于增加系统的集成度，丰富发送的节目内容，增大数字短波广播在应急通信场景下的应用。

[0059] 2、数字短波发射机SoC系统架构设计

[0060] SoC有两个显著的特点：一是硬件规模庞大，通常基于IP设计模式；二是软件比重大，需要进行软硬件协同设计。由于SoC FPGA开发板的外设资源丰富、对外接口可灵活配置，极大提高了硬件系统的灵活性。

[0061] 传输帧数据(数字广播要发射的内容)通过以太网接口传递ARM硬核处理器，由嵌入式软件完成传输帧解析，整理出每个调制符号内待调制的数据；待调制数据通过总线送入COFDM编码器，依次完成RS/LDPC编码、卷积编码、时间/频率/比特交织、QAM调制、OFDM调制等运算，最后经成型滤波器(平方根升余弦滤波器)后，由上变频接口电路输出数字IQ信号；数字IQ信号经过上变频芯片转换成短波射频信号，该信号再经过滤波和放大，通过天线发射出去。该数字短波基带芯片架构如图3所示。

[0062] 该系统集成了从传输帧输入到数字I/Q信号输出的全部基带功能。总体上采用SoC构架，通过内嵌ARM处理器对所有模块进行协调控制。但与普通的SoC设计不同，本发明中的处理器只做少量的数据解析和配置(主要是为了方便对各种发射模式进行配置)，而占绝大部分基带运算量的COFDM编码则通过全硬件的ASIC方式设计。因为只有这样，才能最大程度的提高芯片集成度，减少SoC总线开销，降低芯片电路规模和硬件成本。

[0063] 本文设计的SoC硬件系统用到的板载外设资源包括：LED指示模块、用户按键模块、SPI接口和I/O接口。LED指示模块用于指示系统的工作状态，用户按钮模块用于中止系统运行，SPI接口和I/O接口用于连接上变频电路板。SoC FPGA芯片的FPGA部分集成有数字短波广播的OFDM基带处理IP核、PIO核等FPGA外设，硬核处理器系统通过ARM至FPGA桥完成对FPGA外设的控制。

[0064] 3、内部接口模块与顶层模块设计

[0065] 整个系统包括数据输入转换模块、FPGA部分、ARM硬核部分、以及AD9957部分。数据输入转换模块主要是将PC主机的数据串并转化后传输给SoC FPGA。在FPGA端，是基于vivado软件设计的IFFT运算，主要是实现OFDM调制。AD9957部分主要是实现信号的数字正交变频。控制流程如图4所示：首先ARM硬核读取数据输入模块的状态，当数据输入模块准备

开始传输数据到FPGA时,启动信号变换处理的开始信号,经过一系列的信号变换处理,最后串行输出为满足AD9957的时序信号。

[0066] 本发明中,AD9957是工作在QDUC模式下的。在该模式下的软件控制设计流程如图5所示,数据复合处理单元会将在Tx_enable置为有效后,第一个PDCLK有效沿时,读进来的数据默认为第一个I分量(I_0),PDCLK的下一个有效沿进来的数据默认为第一个Q分量(Q_0),如此交替的进行,所以在数据输入控制部分必须严格按照该模式下的时序,才能确保 I/Q分量的正确分离。

[0067] 4、一种数字与模拟广播可选择性播出技术方案

[0068] 该设计思想主要是对于模拟短波发射机的射频放大部分可以共用,可以用在数字短波发射系统中。所以主要是对模拟和数字短波输入信号的处理方式与流程不同,在实现数字短波发射机时先将基带调制信号分解成包络形式与相位信号形式,包络数值信号送到音频放大器里放大。相位信号则进行高功率放大,然后将两路信号即包络信号与相位信号送到混频电路中进行混频,实现数字短波信号的调制以及功率放大操作。这种信号处理与传输流程可以充分利用模拟短波发射机的现有电路结构,其中这个模数短波广播选择性播出的硬件电路结构如图6所示。

[0069] 5、数字短波发射系统

[0070] 在发射系统中,可以设计在PC端运行数据业务软件,一方面为用户提供了可视化界面的节目配置功能,另一方面通过信源编码、信道编码,按照国际通用协议形成数据传输帧后,把数据传送给发射机进行下一步处理。发射系统中应用了频带恢复(SBR)技术,可以在低比特率的情况下获得完全音频带宽的音频编码增强办法,可以和AAC、CELP和HVXC联合应用,构成压缩能力较强的信源编码方法。信道编码为源编码形成的数据增加保护数据,接收端根据保护数据发现或纠正传输中产生的错误。发射机端传输帧复用器将信道编码后的所有数据复用在一起,形成的数据流传输至COFDM调制器,通过COFDM调制形成真正的基带信号,然后通过上变频将基带信号通过RF(Radio Frequency,射频)调制器搬移到射频波段产生短波射频信号。对于发射机产生的上变频后的射频信号,通过选取合适的功率放大器,配置合适的放大功率,将发射机输出的射频信号功率放大后通过天线发射出去。数字短波传输系统如图7所示。

[0071] 6、COFDM核心FFT模块设计

[0072] 基于FPGA硬件实现OFDM调制电路。对于OFDM调制系统的实现可以直接按DFT变换进行计算,然而当序列长度N很大时,计算量非常大,所需的时间非常长,所以工程上多常用FFT来实现快速运算。作为OFDM实现的核心部分FFT运算,其架构如图8所示。

[0073] 数据流程为首先把输入数据存储到双口单元中,数据地址产生单元生成读数据地址、读使能信号,存储到双口存储器。然后,读取双口存储器中的原始数据进入蝶形运算单元。时序控制单元在进行蝶形运算的环节前产生存储单元的读数据地址及读使能信号,读取旋转因子的实部、虚部的值,同时输到蝶形运算单元。紧接着启动蝶算单元,经过个时钟周期时间,输出蝶算结果。蝶形运算的结果通过数据选择单元,将选出的数据回存到取数据的地址中,完成一次蝶形运算。下一次蝶形运算的数据同时从存储器中读取,保证蝶形运算结果连续输出。当完成最后一级运算,产生输出地址和输出使能信号,双口单元输出计算结果,等待来自时序控制单元的启动命令,从而准备对下一组数据进行处理。该电路模块接口

如图9所示。

[0074] 根据数字短波传输协议规范,本发明采用256点的IFFT运算来产生基带信号。其中CLK为整个运算模块的时钟,RST为整个系统的复位信号,START对应为整个模块开始IFFT运算的信号,ED为输入数据的使能端口,DIR为输入的待调制数据的实部信号,DII为输入的待调制数据的虚部信号,DOR为IFFT运算后的数据实部,DOI为IFFT运算后的数据虚部,RDY为信号数据输出有效的标志,FFT_RDY为下一个OFDM符号可以输入的标志,从而开启下一次IFFT运算。

[0075] 7、系统测试

[0076] 对于本发明的核心技术而言,基带信号调制占到了重要地位。整个基带信号调制模块选择硬件电路实现,高速实现IFFT运算。同时,在整个系统中把整个模块封装为带AXI接口的IP,挂在AXI总线上,然后配合其他外设,加上软件层面的编程控制,实现整个发射机系统的SoC架构。考虑到传输协议要求,本发明采用了256点的IFFT运算电路,实现OFDM多载波的调制,同时采用数字短波协议中的传输模式B,该模式在数据速率与抗干扰能力上都有不错的表现。

[0077] 基带信号调制模块测试结果如下:

[0078] 该基带信号调制电路共消耗3402个逻辑单元,5061个寄存器。该模块采用的是256点的基9的FFT算法,从输入到输出之间的运算时间为580个时钟延迟,同时还存在数据溢出的信号,方便设计调试。对该设计模块的功能验证采取了matlab软件仿真与vivado硬件电路仿真相结合的方式。图10是选取的测试数据在matlab软件下256点的ifft后得到的信号。

[0079] 看出信号的相对大小无误,符合设计原则及预期,该硬件电路实现了数字短波发射系统的编码OFDM基带信号的调制。

[0080] 最后说明的是,以上实施例仅用以说明本发明的技术方案而非限制,尽管参照较佳实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本技术方案的宗旨和范围,其均应涵盖在本发明的权利要求范围当中。

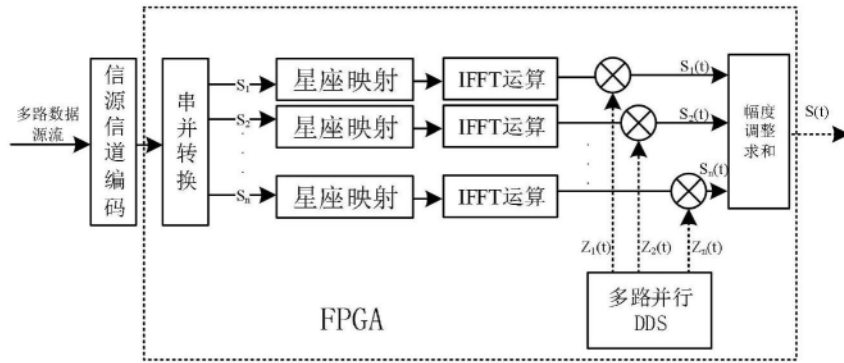


图1



图2

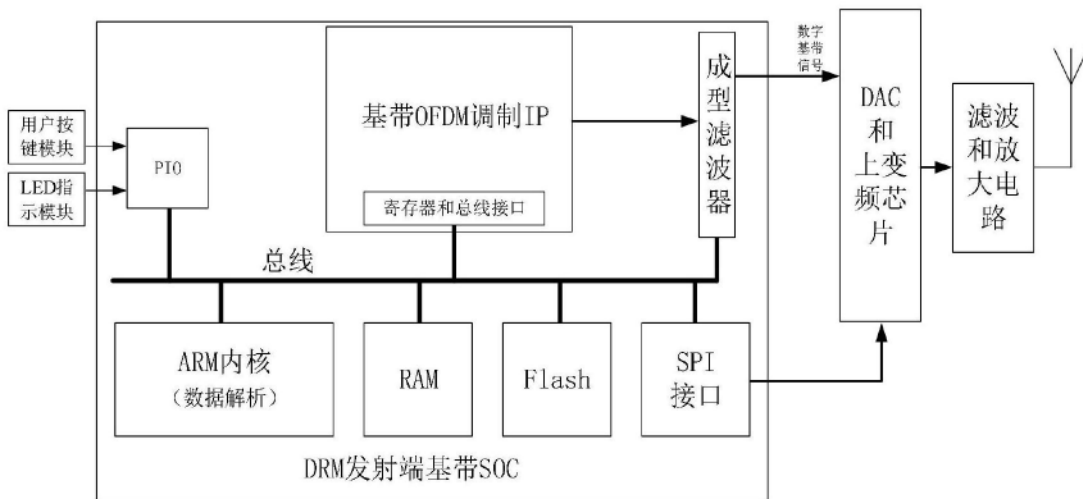


图3

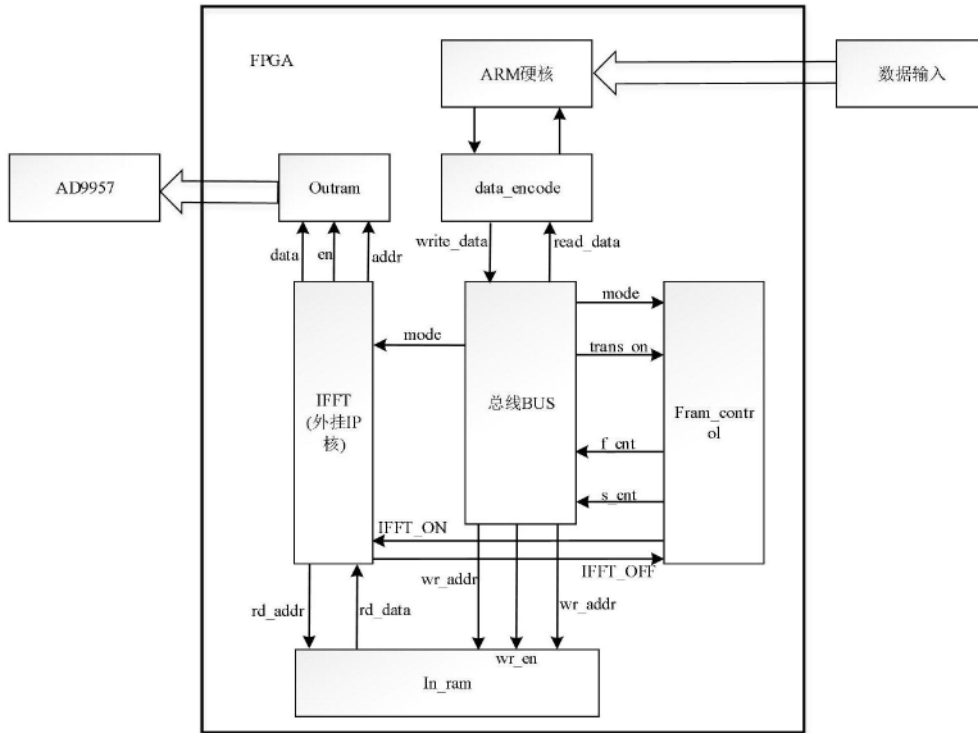


图4

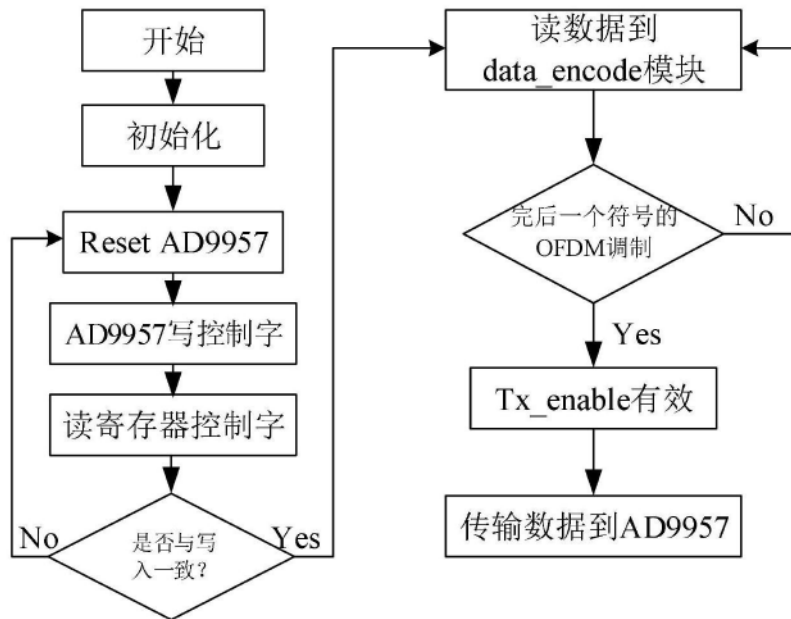


图5

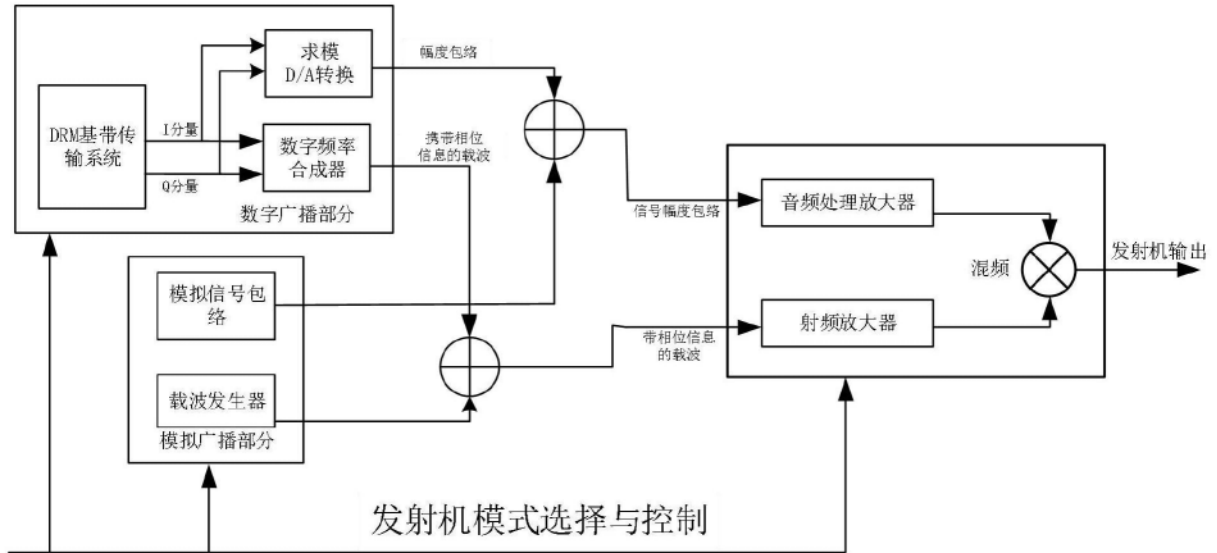


图6

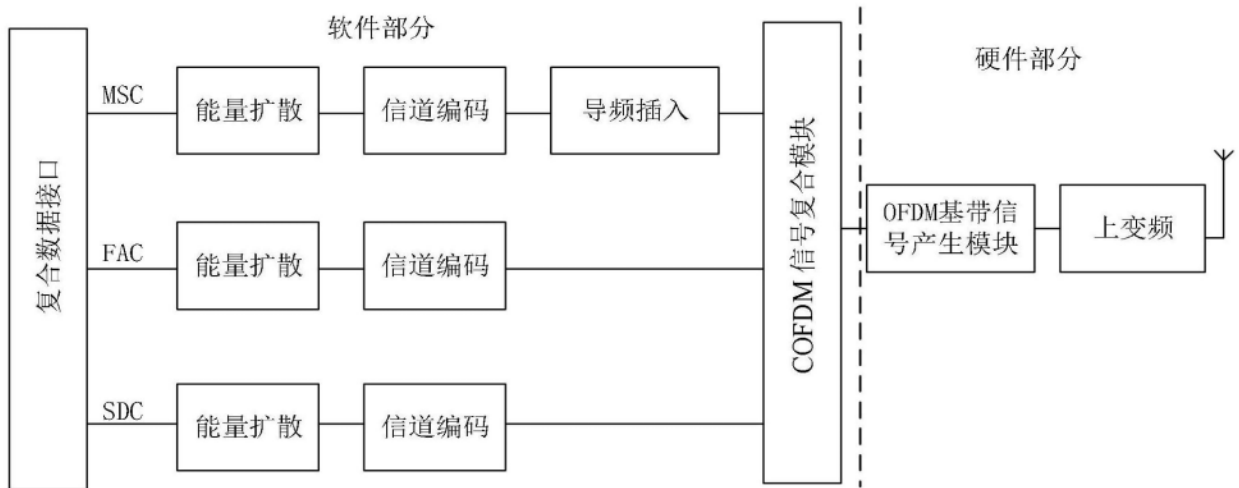


图7

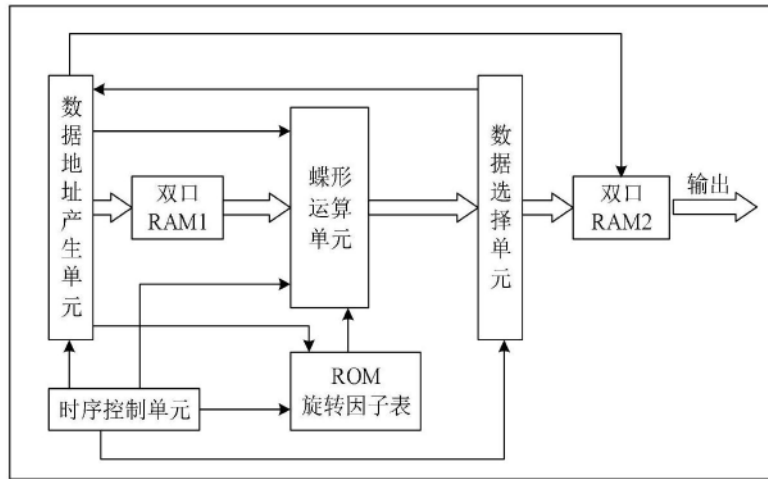


图8

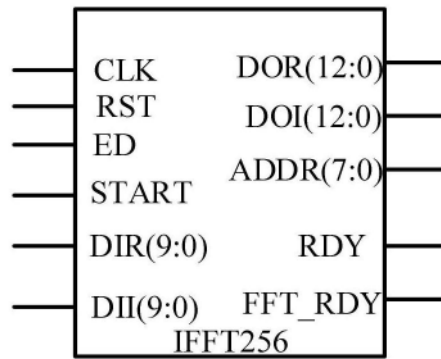


图9

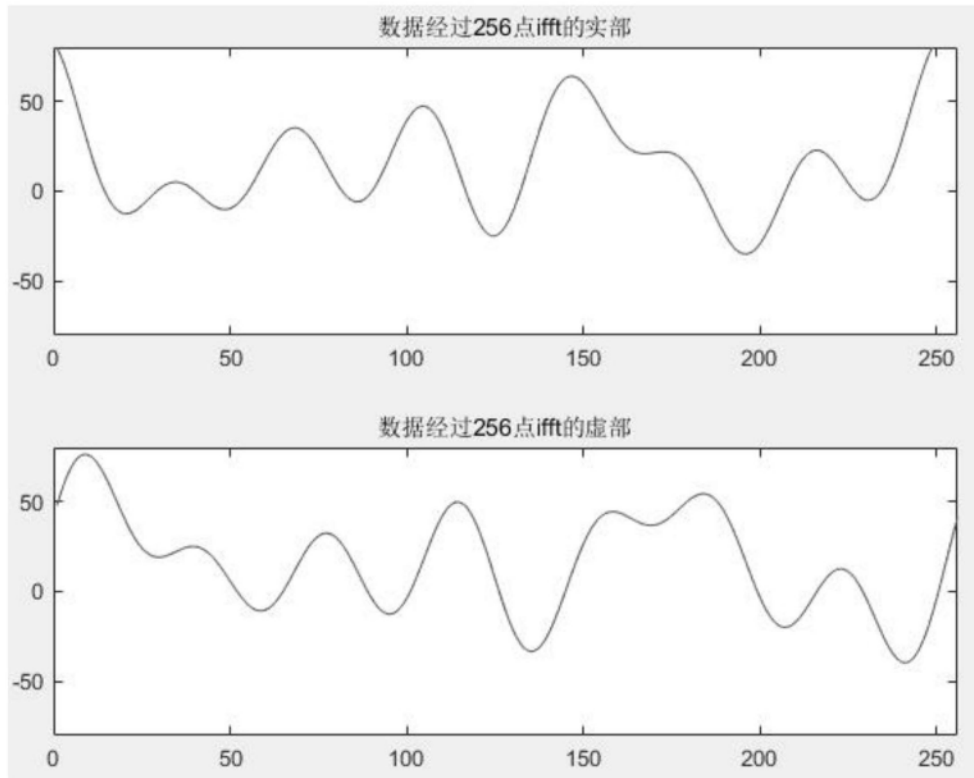


图10