

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
H01L 21/322

(11) 공개번호 특1998-033385  
(43) 공개일자 1998년07월25일

|            |   |
|------------|---|
| (21) 출원번호  | 특1997-057049  |
| (22) 출원일자  | 1997년10월31일   |
| (30) 우선권주장 | 8/740,580 1996년10월31일 미국(US)  |
| (71) 출원인   | 모토로라 인코포레이티드 빈센트 비. 인그라시아   |
| (72) 발명자   | 미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303<br>홍 스틸라 큐.<br>미국, 아리조나 85233, 길버트, 웨스트 웨리 드라이브 1432<br>웨터로쓰 토마스 에이<br>미국, 아리조나 85224, 캔들러, 노쓰 애쉬 드라이브 1061<br>월슨 시드 로버트<br>미국, 아리조나 85032, 피닉스, 노쓰 제43플레이스 14215 |
| (74) 대리인   | 이병호, 최달용  |

**심사청구 : 없음**

**(54) 측면 방향 게터링을 이용한 반도체 장치 제조 방법**

**요약**

반도체 구조(20)는 산화물층(14)상에 형성된 실리콘층(16)을 포함하고 있다. 게터링 싱크(31, 32)는 상기 실리콘층(16)에 형성되어 있다. 측면 방향 게터링은 반도체층(16)의 제 1 부분(26)으로부터 불순물을 효과적으로 제거하기 위해 수행된다. 이 때, 반도체층(16)에 절연된 게이트 반도체 장치(40)가 형성되며, 이 때 장치(40)의 채널 영역(55)은 반도체층(16)의 제1부분(26)에 형성된다. 상기 장치(40)의 게이트 절연층(42)은 측면 방향 게터링 프로세스 후에 제1부분(26)의 일부분에 형성되며, 이에 따라 게이트 절연층(42)의 완전성이 개선된다.

**대표도**

**도2**

**명세서**

**도면의 간단한 설명**

도 1 은 본 발명에 따른 반도체 장치를 제조하는데 사용되는 반도체 기판의 일부분의 확대된 단면도.

도 2 및 도 3 은 본 발명의 제1실시예에 따라 측면 방향 게터링 프로세스의 여러 스텝에서의 반도체 장치의 확대된 단면도.

도 4 는 도 3 의 반도체 구조를 이용하여 제조된 반도체 장치의 확대된 단면도.

도 5 내지 도 8 은 본 발명의 제 2 실시예에 따라 측면 방향 게터링 프로세스의 여러 스텝에서의 반도체 장치의 확대된 단면도.

\*도면의 주요 부분에 대한 부호의 설명\*

10 : 반도체 기판 14 : 절연체층

16 : 실리콘층 22 : 희생 절연층

24 : 마스크층 25 : 개구

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 전반적으로 반도체 장치 제조에 관한 것으로, 특히 반도체 장치 제조시의 불순물 게터링(gettering)에 관한 것이다.

반도체 장치의 성능은 이 반도체 장치가 위에 제조되어 있는 반도체 기판내의 불순물에 의해 영향을 받는다. 예컨대, 동, 니켈, 철, 크롬, 몰리브덴 등과 같은 금속 불순물이 존재하면, 에너지 밴드갭에 발생-재조합 센터가 도입되고, 상기 반도체 기판상에 형성되어 있는 산화물층의 완전성(integrity)이 저하되며, 이에 따라, 반도체 장치의 성능에 악영향이 미친다. 불순물 게터링은 반도체 장치가 제조되어 있는 반도체 기판의 한 영역내의 불순물을 감소시키기 위해 수행될 수 있다. 전통적으로, 불순물 게터링은 인트린직(intrinsic) 게터링 프로세스와 엑스트린직(extrinsic) 게터링 프로세스를 포함하고 있다.

인트린직 게터링 프로세스에서, 결정 결함이나 산소 침전과 같은 게터링 싱크는 상기 기판의 전면측으로부터 간격을 두고 상기 반도체 기판에 형성되어 있으며, 이 때 상기 간격은 상기 기판에 제조되어 있는 반도체 장치의 깊이보다 넓다. 상기 기판은 이 기판에서 불순물의 확산을 돕기 위해 가열된다. 불순물이 확산됨에 따라, 이 불순물은 상기 게터링 싱크에 의해 포집 또는 흡수된다. 엑스트린직 게터링 프로세스에서, 다결정 실리콘층과 같은 게터링 싱크는 상기 기판의 후면상에 형성되어 있다. 상기 반도체 기판이 반도체 기판의 불순물의 확산을 돕기 위해 가열된다. 상기 불순물이 확산됨에 따라, 이 불순물은 상기 후면상에 형성되어 있는 상기 게터링 싱크에 의해 포집 또는 흡수된다. 그러므로, 인트린직 프로세스 또는 엑스트린직 프로세스 후에, 상기 반도체 기판의 전면에 인접한 불순물의 농도는 감소된다.

하지만, 여기서 설명된 게터링 프로세스는 절연체상 반도체 기판에서 특정 불순물을 감소시키는 데에는 비효과적이다. 절연체상 반도체 기판상에 제조되어 있는 반도체 장치는 일반적으로 상기 기판의 전면에서부터 매몰 절연체층까지 뻗어 있다. 따라서, 인트린직 또는 엑스트린직 게터링 싱크는 상기 기판의 어떤 불순물에 대한 확산 장벽인 상기 매몰 절연체층의 아래에 형성된다. 상기 기판의 온도가 대략 섭씨 1000도(°C)에 도달하는 종래 제조 프로세스에서, 철, 크롬, 몰리브덴 등과 같은 일부 불순물의 확산은 확산 장벽을 극복하기에는 충분히 높지 않으며, 따라서 상기 매몰 절연체층의 아래의 게터링 싱크에 도달한다. 이들 불순물은 상기 기판의 액티브 영역에 남아 있으며, 따라서 내부에 제조되어 있는 반도체 장치의 성능에 영향을 미칠 수 있다.

### **발명이 이루고자 하는 기술적 과제**

따라서, 절연체상 반도체 장치를 제조하는 방법을 가지고 있으면 이점이 있다. 상기 방법은 반도체 장치가 형성되어 있는 절연체상 반도체 기판의 영역으로부터 불순물을 효과적으로 제거할 수 있으면 바람직하다. 또한, 상기 방법이 절연 게이트 반도체 장치의 게이트 산화물의 완전성을 개선할 수 있으면 바람직하다.

### **발명의 구성 및 작용**

전반적으로, 본 발명은 반도체 기판의 불순물을 측면 방향 게터링하는 방법을 제공한다. 측면 방향 게터링 프로세스는 예컨대 절연 게이트 전계 효과 트랜지스터, 절연 게이트 바이폴라 트랜지스터, 바이폴라 트랜지스터, 커패시터, 저항기 등과 같은 반도체 장치를 제조하는 제조 프로세스의 일부분이다. 벌크 반도체와 절연체상 반도체 장치 제조에 불순물 게터링을 응용할 수 있지만, 본 발명의 측면 방향 게터링 프로세스는 절연체상 반도체 장치의 제조에 특히 유익하다. 본 발명에 따라 절연체상 반도체 장치를 제조하면, 국부적인 게터링 싱크가 상기 절연체상 반도체 장치가 형성되어 있는 상기 반도체층에 형성된다. 상기 반도체층의 불순물은 상기 게터링 싱크에 도달하기 위해 절연체상 반도체 장치의 매몰 절연체층을 통해 확산될 필요가 없다. 그러므로, 상기 게터링 프로세스는 절연체상 반도체 장치가 형성되어 있는 영역의 불순물을 게터링하는데 효과적이다. 본 발명에 따라 절연 게이트 반도체 장치를 제조할 때, 상기 측면 방향 게터링 프로세스는 상기 게이트 절연층의 형성 전에 수행된다. 따라서, 상기 게이트 절연층의 완전성은 종래 프로세스에 비해 개선된다.

도 1은 본 발명에 따른 반도체 장치를 제조하는데 사용되는 반도체 기판(10)의 일부분의 확대된 단면도이다. 예컨대, 반도체 기판(10)은 절연체상 실리콘(SOI)기판이다. SOI 기판(10)은 위에 형성되어 있는 절연체층(14)을 가지고 있는 기판층(12)을 포함하고 있다. 절연체층(14)은 표면(15)을 가지고 있다. 실리콘층(16)은 절연체층(14)상에 형성되어 있다. 따라서, 표면(15)은 실리콘층(16)과 절연체층(14)간의 인터페이스라고 한다. 실리콘층(16)은 인터페이스(15)에 대향되어 있는 주요면(18)을 가지고 있다. 예컨대, 절연체층(14)은 실리콘 산화물층이며, 그리고 매몰 산화물층이로도 한다. SOI 기판(10)은 산소 주입 또는 직접적인 웨이퍼 본딩 및 씨닝(thinning)과 같이 종래에 잘 알려진 프로세스를 사용함으로써 형성될 수 있다.

도 2는 본 발명의 제 1 실시예에 따라 측면 방향 게터링 프로세스에서의 초기 스텝의 반도체 구조(20)의 확대된 단면도이다. 구조(20)는 도 1의 SOI 기판(10)을 사용하여 제조된다.

절연층(22)은 실리콘층(16)의 주요면(18)상에 형성되어 있다. 예컨대, 절연층(22)은 산화물층이며, 그리고 희생 절연층 또는 희생 산화물층이라고도 한다. 반도체층상에 절연층을 형성하는 기술은 종래에 잘 알려져 있다. 예컨대, 포토레지스트층과 같은 마스킹층(24)은 희생 절연층(22)상에 형성되어 있다. 마스킹층(24)은 개구(25)를 가지도록 패터닝되며, 이에 따라 희생 절연층(22)의 부분들이 노출된다. 예컨대, 마스킹층(24)은 당업자에게 잘 알려진 포토리소그래피 기술을 이용하여 패터닝된다. 마스킹층(24)은 실리콘층(16)의 부분(26)상에 배치되어 있고 실리콘층(16)의 부분(27, 28)상에는 배치되어 있지 않다. 후속되는 프로세스 스텝에서, 게터링 싱크가 부분(27, 28)에 형성되고, 부분(26)의 불순물은 부분(27, 28)의 게터링 싱크에 게터링된다. 도 2에 도시되어 있는 바와 같이, 부분(26, 27, 28)은 실리콘층(16)의 주요면(18)에 인접해 있다. 또한, 부분(26)은 주요면(18)에 평행한 방향에서 부분(27, 28)으로부터 측면 방향으로 변위된다.

희생 절연층(22)은 후속되는 이온 주입 프로세스 동안에 실리콘층(16)의 주요면(18)을 보호하는 역할을 한다. 본 발명에 따라 희생 절연층(22)을 형성하는 것은 선택적임을 이해해야 한다. 다른 실시예에서, 마스킹층(24)은 실리콘층(16)의 주요면(18)에 직접 형성되어 있다.

실리콘 이온은 마스킹층(24)의 개구(25)를 통해 그리고 희생 절연층(22)을 통해 실리콘층(16)의 부분(27,

28)에 선택적으로 주입된다. 주입된 이온은 실리콘층(16)의 부분(27, 28)을 크게 손상시키거나 비결정화한다. 실리콘 이온 주입의 도우즈 및 에너지는 이온 주입 프로파일을 제어하기 위해 조절된다. 바람직하게, 이온 주입 프로파일의 피크는 실리콘층(16)에 떨어지고, 상기 주입된 이온은 주요면(18)에서부터 인터페이스(15)까지 뻗어 있는 부분(27, 28)을 크게 손상시키거나 실질적으로 비결정화하기에 충분하다. 예컨대, 실리콘층(16)이 대략 100 나노미터(nm)의 두께를 가지고 있고, 희생 절연층(22)이 대략 150 nm의 두께를 가지고 있으면, 실리콘 이온 주입은 대략  $5 \times 10^{14}$  ions/cm<sup>2</sup> 에서 대략  $2 \times 10^{16}$  ions/cm<sup>2</sup> 범위의 도우즈와, 대략 100 킬로 일렉트론 볼트(keV)에서 대략 170 keV 범위의 에너지를 가지고 있다.

상기 주입 이온 프로세스에서 사용되는 이온은 실리콘 이온인 것에 제한되지 않음을 이해해야 한다. 예컨대, 이온 주입에 적합한 다른 이온으로는 게르마늄, 탄소, 주석, 납, 질소, 불소, 수소, 헬륨, 네온, 아르곤, 크립톤, 크세논 등으로부터 선택된 화학 원소의 이온을 들 수 있다. 본 발명에 따라, 주입된 이온은 실리콘층(16)의 전기적 특성에 크게 영향을 미치지 않는 것이 바람직하다.

이제, 도 3 을 참조하면, 마스크층(24)과 희생 절연층(22)(도 2 에 도시되어 있음)은 종래에 잘 알려져 있는 기술을 이용하여 제거된다. 반도체 구조(20)는 예컨대, 어닐링 프로세스에서 예컨대 노와 같은 상승된 온도 환경에 배치되어 있다. 상승된 온도에서, 재결정화는 부분(27, 28)에서 일어난다. 재결정화의 속도는 반도체 구조(20)의 온도에 따라 달라진다. 예컨대, 반도체 구조(20)의 온도는 어닐링 프로세스 동안에 대략 섭씨 500도(°C)와 대략 1000°C 사이의 온도로 유지된다. 상기 재결정화 또는 결정 재성장 프로세스는 부분(26)과 부분(27, 28)사이의 경계에서 생긴다. 상기 주입된 이온은 각각 부분(27, 28)내의 결정 결함 영역(31, 32)을 형성하는 실리콘 원자를 변위시킨다. 결정 결함 영역(31, 32)은 실리콘층(16)의 게터링 싱크의 역할을 한다.

게터링 싱크(31, 32)는 부분(27, 28)에의 이온 주입 및 부분(27, 28)에서의 실리콘 재결정화를 통한 형성에 한정되지 않는다. 게터링 싱크(31, 32)는 실리콘층(16)에서의 국부화된 결함 또는 국부화된 비-단일 결정 영역을 생성하는 어떤 프로세스에 의해 형성할 수 있다. 예컨대, 게터링 싱크(31, 32)는 스퍼터링 프로세스에 의해 형성될 수 있다.

상기 상승 온도는 또한 실리콘층(16)의 불순물의 확산을 증가시킬 수 있다. 환언하면, 상기 상승 온도는 실리콘층(16)의 불순물의 확산을 돕는다. 도 3 에는 실리콘층(16)의 대표적인 두 불순물 원자로서의 불순물 원자(37, 38)가 도시되어 있다. 불순물 원자(37, 38)는 동, 니켈, 철, 크롬, 몰리브덴 등의 불순물 원자를 포함하고 있을 수 있는 실리콘층(16)에 존재할 수 있는 임의 종류의 불순물 원자를 나타낸다. 확산 프로세스에서, 부분(26)의 불순물은 부분(27, 28)으로 확산되며, 이때, 이들 불순물은 게터링 싱크(31, 32)에 의해 흡수 또는 포집된다. 그러므로, 상기 불순물 확산 프로세스는 실리콘층(16)의 부분(26)의 불순물 농도를 감소시킨다. 불순물 원자(37, 38)와 같은 불순물 원자는 실질적으로 실리콘층(16)의 주요면에 평행한 측면 방향으로 확산되므로, 상기 게터링 프로세스는 측면 방향 게터링 프로세스라고 한다. 대다수의 불순물 원자는 실질적으로 측면 방향으로 확산될 수 있지만, 일부 불순물 원자는 약간 경사진 방향으로 확산될 수 있음을 당업자는 알 수 있다. 예컨대, 불순물 원자는 주요면(18)에 인접한 부분(26)의 일부분으로부터 인터페이스(15)에 인접한 게터링 싱크(31)의 일부분으로 경사진 방향으로 확산될 수 있다.

바람직하게, 상기 측면 방향 게터링 프로세스는 부분(26)에 형성된 상기 장치의 성능에 큰 영향을 미치지 않도록 실리콘층(16)의 부분(26)의 불순물 농도가 충분히 낮아질 때까지 계속된다. 환언하면, 상기 측면 방향 게터링 프로세스는 실리콘층(16)의 부분(26)에 실질적으로 불순물이 없을 때까지 계속되면 바람직하다. 상기 온도가 증가함에 따라, 상기 불순물 원자의 확산이 증가되며, 따라서 게터링 프로세스에 필요한 시간은 감소된다. 예컨대, 대략 5마이크로미터( $\mu\text{m}$ )의 치수를 가지고 있는 반도체 장치를 제조하기 위해 구조(20)를 사용하고 어닐링 온도가 대략 900°C이면, 상기 게터링 프로세스는 바람직하게는 대략 1 시간 동안 지속된다.

마스크층(24)을 제거하는 스텝, 희생 절연층(22)을 제거하는 스텝, 게터링 싱크(31, 32)를 형성하는 스텝, 게터링 싱크(31, 32)에 불순물을 게터링하는 스텝은 도 3 을 참조하여 이전에 설명한 순서와 동일한 순서로 수행되는 것에 한정되지 않음을 이해해야 한다. 본 발명의 다른 실시예에서, 희생 절연층(22)을 제거하는 스텝은 결정 결함 영역(31, 32)을 형성하는 스텝 후에 또는 불순물 게터링 스텝 후에 수행된다. 마스크층(24)을 제거하는 스텝, 희생 절연층(22)을 제거하는 스텝, 게터링 싱크(31, 32)를 형성하는 스텝, 게터링 싱크(31, 32)에 불순물을 게터링하는 스텝은 서로 연속적으로 수행되는 것에 한정되지 않음을 이해해야 한다. 예컨대, 채널 도펀트 주입 스텝은 마스크층(24)을 제거하는 스텝 후에 그리고 희생 절연층(22)을 제거하는 스텝 전에 수행될 수 있다.

도 4 는 도 3 의 반도체 구조(20)를 사용하여 제조된 반도체 장치(40)의 확대된 단면도이다. 예컨대, 반도체 장치(40)는 SOI 기판(10) 상에 형성된 n 채널 절연 게이트 전계 효과 트랜지스터(FET)이다.

FET(40)를 형성하기 위해, 예컨대 붕소와 같은 p형 전도성의 도펀트가 실리콘층(16)의 부분(26)에 주입된다. 주입된 붕소 이온의 에너지와 도우즈는 부분(26)의 실리콘 재료가 대략  $1 \times 10^{15}$  atoms/cm<sup>3</sup>에서 대략  $6 \times 10^{18}$  atoms/cm<sup>3</sup>의 범위의 도펀트 농도를 가지도록 조절된다. 예컨대, n형 전도성의 다결정 실리콘층(44)과 같은 전도층이 절연층(42)상에 형성되어 있다. 절연층(42)은 실리콘층(16)의 주요면(18)의 일부 분상에 형성되어 있다. 절연층(42)과 다결정 실리콘층(44)은 FET(40)의 게이트 구조체(45)를 형성하고 있다. 예컨대, 절연층(42)은 산화물층이고 그리고 게이트 절연층 또는 게이트 산화물층이라고도 한다. 게이트 구조체(45)는 다결정 실리콘층(44)과 절연층(42)에 의해 형성되어 있는 것에 한정되지 않는다. 예컨대, 본 발명의 다른 실시예에서, 게이트 구조체(45)는 게이트 절연층(42)상에 형성된 금속층을 포함하고 있다. 예컨대, 산화물 스페이서(47, 48)와 같은 절연 구조체는 게이트 구조체(45)에 인접해서 형성된다. 예컨대, 비소와 같은 n형 전도성의 도펀트는 FET(40)의 소오스 영역(53)과 드레인 영역(54)을 각각 형성하기 위해 산화물 스페이서(47, 48)에 인접한 실리콘층(16)에 주입된다. 주입된 비소 이온의 에너지와 도우즈는 소오스 영역(53)과 드레인 영역(54)의 실리콘 재료가 예컨대 대략  $1 \times 10^{18}$  atoms/cm<sup>3</sup>에서 대략  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 범위의 도펀트 농도를 가지도록 조절된다. 게이트 구조체(45)의 아래의 영역

은 FET(40)의 채널 영역(55)의 역할을 한다. FET(40)는 또한 소오스 영역(53)에 전기적으로 접속되어 있는 소오스 전극(63), 드레인 영역(54)에 전기적으로 접속되어 있는 드레인 전극(64), 및 게이트 구조(45)의 다결정 실리콘층(44)에 전기적으로 접속되어 있는 게이트 전극(65)을 포함하고 있다. 예컨대, 소오스 전극(63), 드레인 전극(64), 및 게이트 전극(65)은 실리사이드 구조이다.

도 4 에는 일부는 부분(26)에 존재하고 일부는 부분(27)에 존재하는 소오스 영역(53)이 도시되어 있다. 도 4 에는 또한 일부는 부분(26)에 존재하고 일부는 부분(28)에 존재하는 드레인 영역(54)이 도시되어 있다. 이들은 본 발명을 제한하는 것으로서 의도되지 않았다. 본 발명에 따라, FET(40)의 채널 영역(55)은 실리콘층(16)의 부분(26)내에 위치되던 바람직하다. 또한, 소오스 영역(53)과 채널 영역(55)간의 경계 및 드레인 영역(54)과 채널 영역(55)간의 경계는 부분(26)에 존재하면 바람직하다. 그러므로, FET(40)의 채널 영역(55)에는 도 2 및 도 3 을 참조하여 이전에 설명한 게터링 프로세스 후에는 실질적으로 불순물이 없다. 따라서, 소오스 영역(53)의 일부는 부분(26)에 존재하면 바람직하고, 드레인 영역(54)의 일부는 부분(26)에 존재하면 바람직하다.

본 발명에 따라, FET(40)의 게이트 절연층(42)은 실리콘층(16)의 부분(26)의 불순물 농도를 감소시키는 측면 방향 게터링 프로세스 후에 형성된다. 본 발명의 이 독특한 특징은 게이트 절연층(42)이 형성될 때, 실리콘층(16)의 부분(26)이 실리콘층(16)의 부분(26)에 실질적으로 불순물이 없도록 이를 보장해 준다. 그러므로, 게이트 절연층(42)의 완전성은 종래 프로세스에 비해 효과적으로 개선된다. 도 2 및 도 3 을 참조하여 설명된 측면 방향 게터링 프로세스에서의 어닐링 프로세스와 게이트 절연층(42)을 형성하는 프로세스는 하나의 조합된 프로세스 스텝에서 수행될 수 있다. 상기 조합된 프로세스 스텝에서, 구조(20)는 노와 같은 상응된 온도 환경에 배치된다. 재결정화, 불순물 확산 및 게터링은 상기 상승된 온도에서 발생된다. 부분(26)의 불순물 농도를 충분히 감소시키기 위해 게터링 프로세스에 바람직하게 충분한 시간 기간 후에, 게이트 절연층(42)을 성장시키기 위해, 산소가 상기 노에 공급된다.

n 채널 절연 게이트 FET를 형성하는 프로세스에 대해 여기에서 설명하였지만, 이는 본 발명을 제한하는 것으로서 의도되지 않았다. 또한, 본 발명은 p 채널 절연 게이트 FET, 절연 게이트 바이폴라 트랜지스터, 바이폴라 트랜지스터, 커패시터, 저항기 등을 제조하는데 응용할 수 있다. FET를 제조할 때, 상기 FET의 채널 영역, 소오스-채널 접합, 및 채널-드레인 접합은 측면 방향 게터링 프로세스 후에 불순물이 실질적으로 없는 영역에 형성되면 바람직하다. 바이폴라 트랜지스터를 제조할 때, 이 바이폴라 트랜지스터의 베이스 영역, 약간 도핑된 컬렉터 영역, 이미터-베이스 접합, 및 베이스-컬렉터 접합은 측면 방향 게터링 프로세스 후에 실질적으로 불순물이 없는 영역에 형성되면 바람직하다. 절연 게이트 반도체 장치를 제조할 때, 상기 게터링 프로세스는 상기 게이트 절연층을 형성하기 전에 수행되면 바람직하다.

도 5 는 본 발명의 제 2 실시예에 따른 측면 방향 게터링 프로세스의 초기 단계에서의 반도체 구조(70)의 확대된 단면도이다. 또한, 구조(70)는 도 1 의 SOI 기판(10)을 사용하여 제조된다.

절연층(72)이 실리콘층(16)의 주요면(18) 상에 형성되어 있다. 예컨대, 절연층(72)은 산화물층이고 그리고 패드 산화물층이라고도 한다. 반도체층상에 절연층을 형성하는 기술은 잘 알려져 있다. 질화물로 된 층(73)은 패드 산화물층(72)상에 형성되어 있다. 예컨대, 포토레지스트층과 같은 마스크층(74)은 질화물층(73)상에 형성되어 있다. 마스크층(74)은 질화물층(73)의 부분들을 노출시키기 위해 패터닝된다. 예컨대, 마스크층(74)은 당업자에게 잘 알려져 있는 포토리소그래피 기술을 이용하여 패터닝된다. 마스크층(74)은 실리콘층(16)의 부분(76)의 위에 배치되어 있지만, 실리콘층(16)의 부분(77, 78)에 형성되고, 부분(76)의 불순물은 부분(77, 78)상에는 배치되어 있지 않다. 후속되는 프로세스 스텝에서, 게터링 싱크는 부분(77, 78)의 게터링 싱크에 게터링된다. 도 5 에 도시되어 있는 바와 같이, 부분(76)은 주요면(18)에 평행한 방향에서 부분(77, 78)으로부터 측면 방향으로 변위된다.

패드 산화물층(72)은 질화물층(73)의 형성에 의해 생긴 실리콘층(16)의 주요면(18)의 응력을 감소시키는 역할을 한다. 패드 산화물층(72)을 형성하는 것은 본 발명에 따라 선택적임을 이해해야 한다. 다른 실시예에서, 질화물층(73)은 실리콘층(16)의 주요면(18)에 직접 형성된다.

마스크층(74)에 의해 보호되지 않은 질화물층(73)의 부분들은 바람직하게는 질화물보다는 산화물에 높은 에칭 선택성을 가지고 있는 에칭 프로세스로 에칭된다. 예컨대, 질화물층(73)은 에천트 가스로서 불소 함유 가스를 사용하여 반응성 이온 에칭 프로세스에서 에칭된다.

실리콘 이온은 마스크층(74)과 질화물층(73)에 의해 보호되지 않은 실리콘층(16)의 부분(77, 78)에 선택적으로 주입된다. 상기 주입된 이온은 실리콘층(16)의 부분(77, 78)을 크게 손상 또는 비결정화한다. 실리콘 이온 주입의 도우즈 및 에너지는 이온 주입 프로파일을 제어하기 위해 조절된다. 바람직하게, 이온 주입 프로파일의 피크는 실리콘층(16)에 떨어지고, 그리고 상기 주입된 이온은 주요면(18)에서부터 인터페이스(15)까지 뿔어 있는 부분(77, 78)을 실질적으로 비결정화하기에 충분하다. 도 2 를 참조하여 설명한 이온 주입 프로세스와 마찬가지로 이온 주입 프로세스에 사용된 이온은 실리콘 이온에 한정되지 않음을 이해해야 한다.

이제, 도 6 을 참조하면, 마스크층(74)(도 5 에 도시되어 있음)은 종래에 잘 알려진 기술을 이용하여 제거된다. 반도체 구조(70)는 부분(77, 78)에 게터링 싱크(81, 82)를 각각 형성하기 위해, 그리고 불순물 게터링을 수행하기 위해, 상승된 온도 환경에 배치된다. 불순물 원자(87, 88)는 실리콘층(16)의 부분(76)에서 대표적인 두 불순물 원자로서 도 6 에 도시되어 있다. 게터링 싱크(81, 82)를 형성하는 프로세스, 및 부분(76)에서 불순물을 게터링하는 프로세스는 도 3 을 참조하여 설명한 프로세스와 유사하다.

게터링 싱크(81, 82)는 이온 주입을 통해 형성되는 것에 한정되지 않음을 이해해야 한다. 게터링 싱크(81, 82)는 실리콘층(16)에 국부화된 결함 또는 국부화된 비-단일 결정 영역을 생성하는 임의 프로세스에 의해 형성될 수 있다. 다른 실시예에서, 부분(77, 78)의 일부는 게터링 싱크의 역할을 하는 스택킹 폴트(stacking fault)를 형성하기 위해 산화된다.

이제, 도 7 을 참조하면, 질화물(73)(도 6에 도시되어 있음)에 의해 보호되지 않은 패드 산화물층(72)의 부분들은 바람직하게는 산화물보다는 질화물에 보다 높은 에칭 선택성을 가지고 있는 에칭 프로세스로

에칭된다. 예컨대, 패드 산화물층(72)은 에천트로서 버퍼된 불화수소 산을 이용하는 웨트(wet) 에칭 프로세스로 에칭된다. 상기 에칭 프로세스는 부분(77, 78)(도 6 에 도시되어 있음)의 위에 배치되어 있는 주요면(18)의 부분들을 노출시킨다. 질화물층(73)과 패드 산화물층(72)에 의해 보호되지 않은 실리콘에 비해 질화물과 산화물에 매우 선택적인 에칭 프로세스를 통해 제거된다. 예컨대, 에천트로서 염소 함유 가스를 이용하는 반응 이온 에칭 프로세스는 실리콘층(16)의 부분(77, 78)(도 6 에 도시되어 있음)에서 실리콘을 에칭하기 위해 수행된다. 상기 에칭 프로세스는 실리콘층(16)의 부분(77, 78)(도 6 에 도시되어 있음)이 존재했던 영역에 트렌치(trench)(92)를 형성한다. 도 7 에는 기판(10)의 일부분이 도시되어 있으므로, 트렌치(92)의 부분들만이 도 7 에 도시되어 있다.

이산화 실리콘과 같은 절연 재료는 잘 알려진 증착 프로세스를 이용하여 도 7 의 구조(70) 상에 증착된다. 트렌치(92)를 충전하고 질화물층(73)을 덮고 있는 증착 산화물(도시되지 않음)은 잘 알려진 화학 가공 폴리싱(CMP) 프로세스를 통해 질화물층(73)에 평탄화된다. 평탄화 후에, 질화물층(73), 패드 산화물층(72), 및 증착 산화물의 부분들(도시되어 있음)은 잘 알려진 에칭 프로세스를 이용하여 제거된다. 에칭 프로세스 후에 남아 있는 증착 산화물은 도 8 에 도시된 반도체 기판(70)의 필드 산화물 영역(93, 94)을 형성하고 있다. 필드 산화물 영역(93, 94)은 실리콘층(16)의 다른 부분(도시되지 않음)으로부터 부분(76)을 전기적으로 절연시킨다. 그러므로, 필드 산화물 영역(93, 94)은 격리 구조의 역할을 한다.

이 때, 도 8 의 반도체 구조(70)는 실리콘층(16)의 부분(76)의 반도체 장치를 제조하는데 사용된다. 구조(70)를 사용하여 제조될 수 있는 반도체 장치로는 절연 게이트 전계 효과 트랜지스터, 절연 게이트 바이폴라 트랜지스터, 바이폴라 트랜지스터, 커패시터, 저항기 등을 들 수 있다. 도 6 을 참조하여 설명한 측면 방향 게터링 프로세스는 부분(76)의 불순물 농도를 효과적으로 감소시키므로, 도 8 의 구조(70)를 사용하여 제조된 장치는 실질적으로 불순물이 없는 영역에 형성된다. 그러므로, 상기 장치의 성능이 향상된다. 특히, 도 8 의 구조(70)의 절연 게이트 반도체 장치를 형성할 때, 상기 장치의 게이트 절연의 완전성이 종래 프로세스에 비해 개선된다.

### **발명의 효과**

지금까지, 반도체 장치를 제조하는 방법이 제공되었음을 알 수 있다. 이 방법은 반도체 장치가 형성되어 있는 반도체 기판의 영역으로부터 불순물을 효과적으로 제거하는 측면 방향 게터링 프로세스를 포함하고 있다. 본 발명의 측면 방향 게터링 프로세스는 절연체상 반도체 기판의 불순물을 게터링하는데에 특히 효과적이다. 본 발명에 따라 절연 게이트 반도체 장치를 제조할 때, 측면 방향 게터링 프로세스가 게이트 절연층의 형성 전에 수행된다. 그러므로, 게이트 절연층의 완전성이 효과적으로 개선된다.

지금까지 본 발명의 특정 실시예를 도시 및 설명하였지만, 당업자에게는 다른 수정에 및 개선예가 가능해진다. 본 발명은 도시된 특정 형태에 한정되지 않고, 특허청구의 범위는 본 발명의 진정한 취지 및 범위에 속하는 본 발명의 모든 수정예를 포함하도록 의도되었음을 알 수 있다. 예컨대, 절연체상 실리콘 기판은 사파이어 기판 등의 위에 있는 실리콘일 수도 있다.

### **(57) 청구의 범위**

#### **청구항 1**

반도체 장치(40)를 제조하는 방법에 있어서,  
반도체 기판(10)을 제공하는 단계와;

상기 반도체 기판(10)의 제1부분(27, 28)에 게터링 싱크(31, 32)를 형성하는 단계로서, 상기 제 1 부분(27, 28)이 상기 반도체 기판(10)의 주요면(18)에 인접해 있는 단계와;

상기 반도체 기판(10)의 제2부분(26)의 불순물 농도를 감소시키기 위해 상기 게터링 싱크(31, 32)에 상기 반도체 기판(10)의 불순물을 측면 방향으로 게터링하는 단계로서, 상기 제 2 부분(26)이 상기 반도체 기판(10)의 주요면(18)에 평행한 방향에서 상기 제1부분(27, 28)으로부터 측면 방향으로 변위되는 단계와;

불순물을 측면 방향으로 게터링하는 상기 단계 후에 상기 반도체 기판(10)의 제2부분(26)에 반도체 장치(40)를 형성하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

#### **청구항 2**

제1항에 있어서, 게터링 싱크(31, 32)를 형성하는 상기 단계는 상기 반도체 기판(10)의 제1부분(27, 28)에 이온을 주입하는 단계와;

상기 반도체 기판(10)의 제1부분(27, 28)에 상기 게터링 싱크(31, 32)를 형성하기 위해, 상기 반도체 기판(10)의 제1부분(27, 28)을 재결정화하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

#### **청구항 3**

절연 게이트 반도체 장치(40)를 제조하는 방법에 있어서,

주요면(18)을 가지고 있는 반도체 기판(10)을 제공하는 단계와;

상기 반도체 기판(10)의 제1부분(27, 28)에 게터링 싱크(31, 32)를 형성하는 단계로서, 상기 제1부분(27, 28)이 상기 주요면(18)에 인접해 있는 단계와;

상기 반도체 기판(10)의 제2부분(26)의 불순물 농도를 감소시키기 위해 상기 반도체 기판의 제1부분(27, 28)의 상기 게터링 싱크(31, 32)에 상기 반도체 기판(10)의 불순물을 측면 방향으로 게터링하는 단계로서, 상기 제2부분(26)이 상기 반도체 기판(10)의 주요면(18)에 평행한 방향에서 상기 제1부분(27,

28)으로부터 측면 방향으로 변위되는 단계와;

불순물을 측면 방향으로 게터링하는 상기 단계 후에 상기 반도체 기판(10)의 제2부분(26)의 일부분의 위에 배치되어 있는 주요면(18)상에 게이트 절연층(42)을 형성하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

#### 청구항 4

절연체상 반도체 장치(40)를 제조하는 방법에 있어서,

절연체층(14) 상에 설치된 반도체층(16)으로 이루어진 절연체상 반도체 기판(10)을 제공하는 단계로서, 상기 반도체층(16)이 이 반도체층(16)과 상기 절연체층(14) 사이에 있는 인터페이스(15)에 대향되어 있는 주요면(18)을 가지고 있는 단계와;

상기 반도체층(16)의 제1부분(27, 28)에 게터링 싱크(31, 32)를 형성하는 단계로서, 상기 제1부분(27, 28)이 상기 주요면(18)에서부터 상기 인터페이스(15)까지 뻗어 있는 단계와;

상기 반도체층(16)에서 불순물의 확산을 증가시키기 위해 상기 절연체상 반도체 기판(10)을 가열하는 단계와;

상기 반도체층(16)의 제2부분(26)의 불순물 농도를 감소시키기 위해, 상기 게터링 싱크(31, 32)에서 불순물을 포집하는 단계로서, 상기 제2부분(26)이 상기 주요면(18)에서부터 상기 인터페이스(15)까지 뻗어 있고 그리고 상기 반도체층(16)의 주요면(18)에 평행한 방향에서 상기 제1부분(27, 28)으로부터 측면 방향으로 변위되는 단계와;

불순물을 포집하는 상기 단계 후에 상기 반도체층(16)에 절연체상 반도체 장치(40)를 형성하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

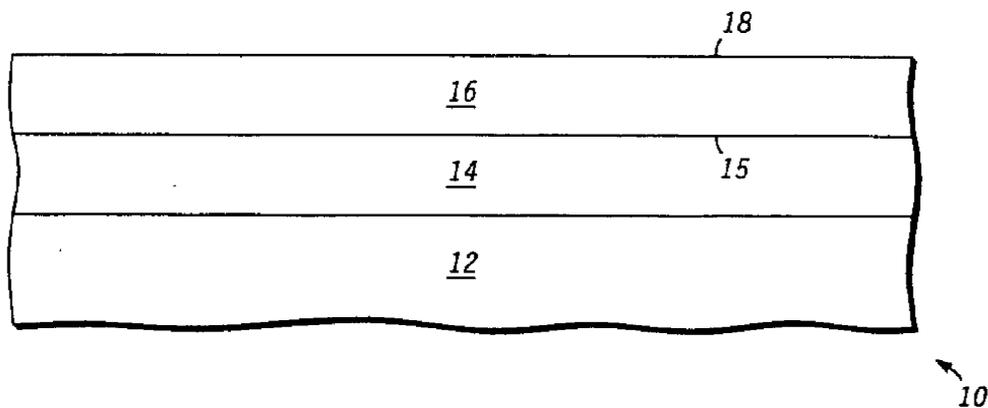
#### 청구항 5

제3항에 있어서, 불순물을 포집하는 상기 단계 후에 그리고 절연체상 반도체 장치를 형성하는 상기 단계 전에 트렌치를 형성하기 위해 상기 반도체층의 상기 제1부분을 제거하는 단계와;

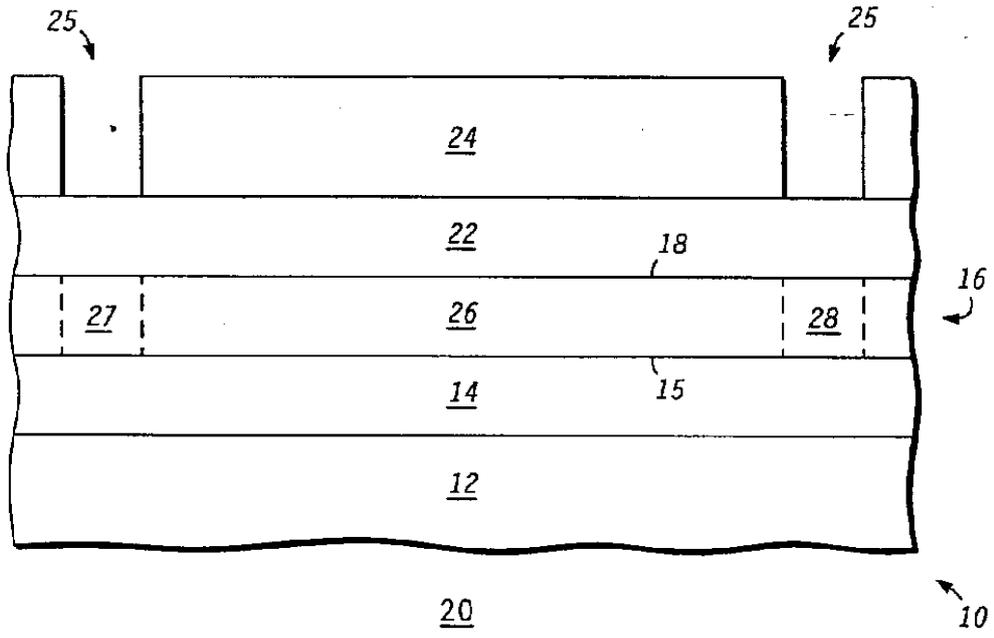
절연 재료로 상기 트렌치를 충전하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

#### 도면

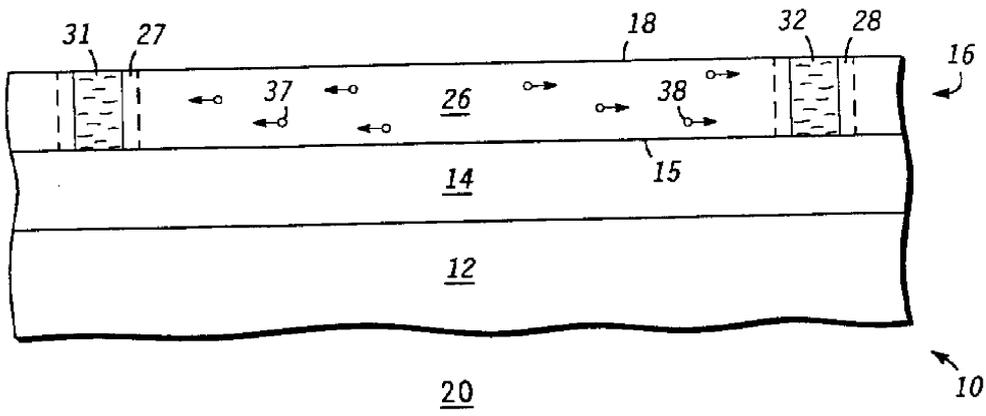
##### 도면1



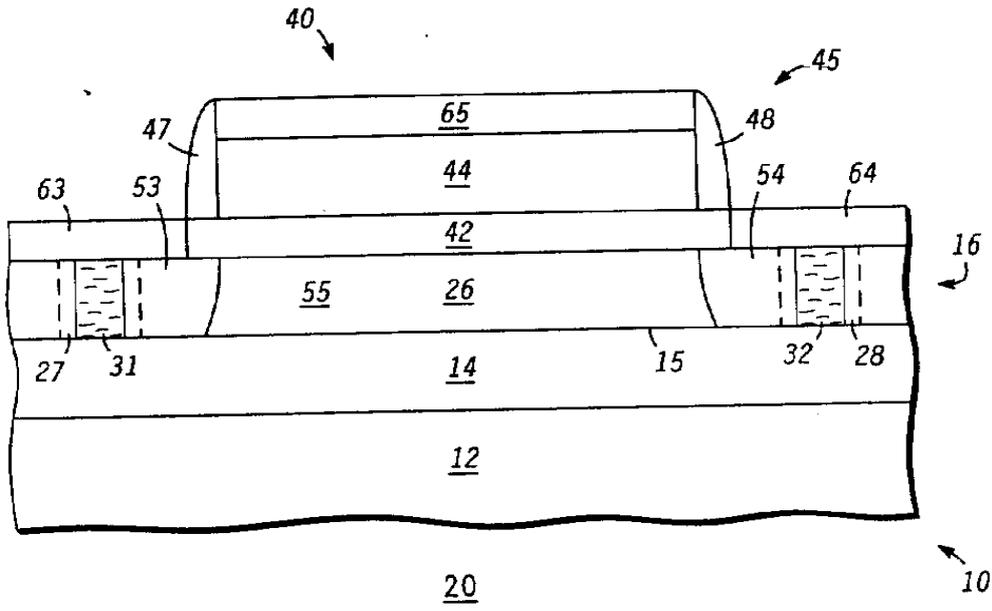
도면2



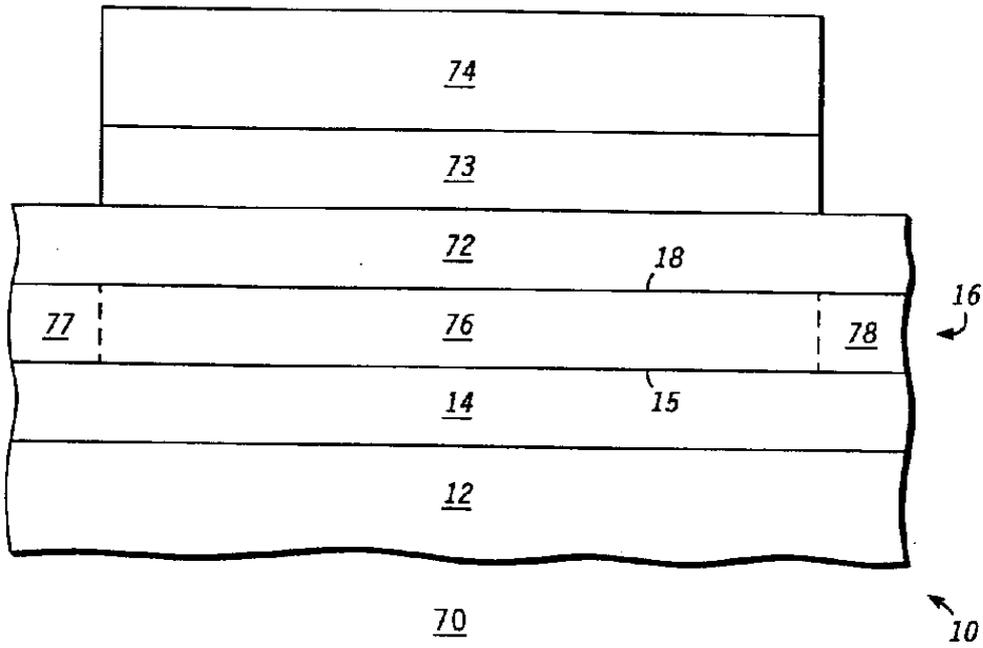
도면3



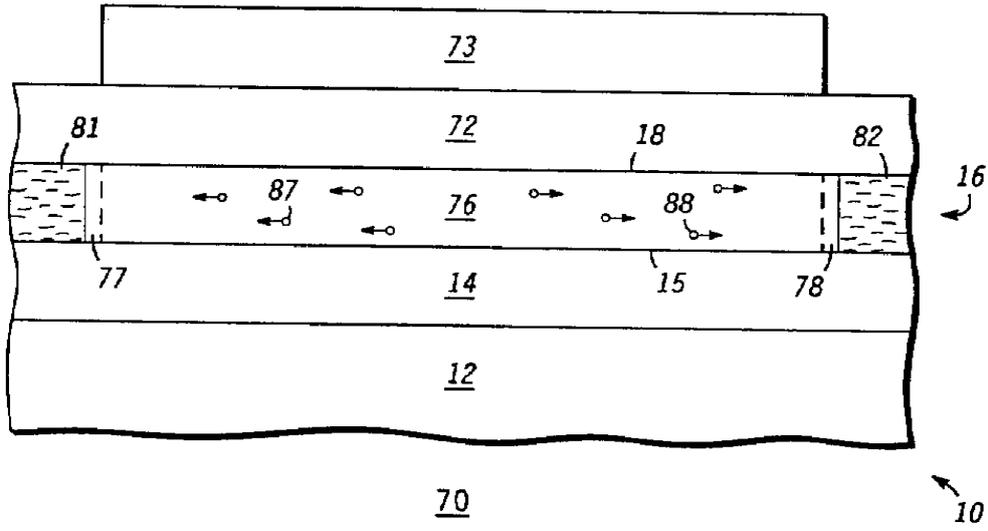
도면4



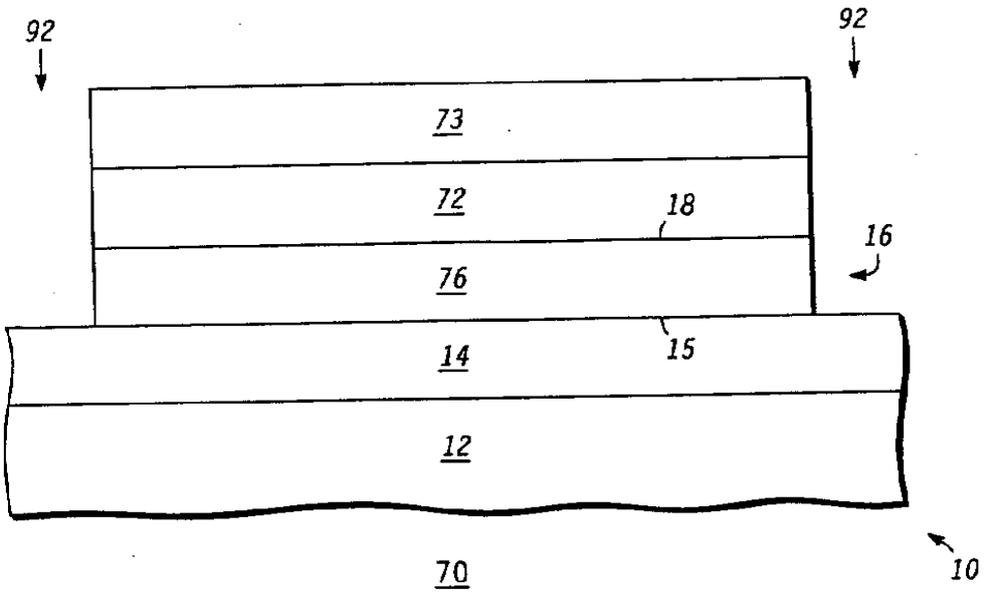
도면5



도면6



도면7



도면8

