



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년10월24일  
 (11) 등록번호 10-1076537  
 (24) 등록일자 2011년10월18일

(51) Int. Cl.  
*H01L 23/12* (2006.01)  
 (21) 출원번호 10-2006-7012034  
 (22) 출원일자(국제출원일자) 2004년12월16일  
 심사청구일자 2009년12월15일  
 (85) 번역문제출일자 2006년06월16일  
 (65) 공개번호 10-2007-0088258  
 (43) 공개일자 2007년08월29일  
 (86) 국제출원번호 PCT/US2004/042413  
 (87) 국제공개번호 WO 2005/059967  
 국제공개일자 2005년06월30일  
 (30) 우선권주장  
 60/530,423 2003년12월17일 미국(US)  
 (56) 선행기술조사문헌  
 US20010015485 A1  
 US06414381 B1  
 전체 청구항 수 : 총 8 항

(73) 특허권자  
 스태츠 칩팩, 엘티디.  
 싱가포르, 569059, 테크포인트 #05-17/20, 65 양  
 모 키오 스트리트 10  
 (72) 발명자  
 카네조스, 마르코스  
 미국, 캘리포니아 94301, 팔로 알토, 리튼 애비뉴  
 535  
 (74) 대리인  
 박윤원, 강명구

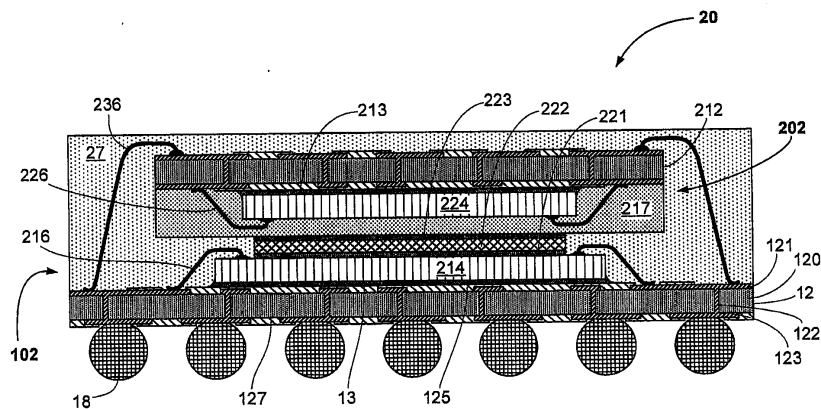
심사관 : 구분경

**(54) 다이 위에 적층된 역전된 패키지를 구비한 멀티 칩 패키지 모듈**

**(57) 요약**

본 발명에 따른 멀티-다이를 구비한 모듈은, 제 1 기판 위의 제 1 다이와, 제 1 다이 위에 적층된 역전된 제 2 패키지(가령, LGA 패키지)를 포함한다. 이때, 필요에 따라, 제 2 패키지와 제 1 다이 사이에 스탠드오프를 위한 설비가 (가령, 스페이서에 의해) 구성된다. 또한, 이 모듈들을 제작하기 위한 방법은, 제 1 패키지 기판의 상향 사이트에 부착된 제 1 다이를 구비한 제 1 패키지를 제공하는 단계와, 제 1 패키지 위의 다이 위에 역전된 제 2 패키지를 적층하는 단계를 포함한다. 이때, 필요에 따라, 제 1 패키지 기판을 제 1 다이에 연결하는 와이어 본드들과, 제 2 패키지의 하향 사이트 간의 임팩트에 의한 손상을 방지하기 위해, 제 2 패키지와 제 1 패키지 다이 사이에 스탠드오프가 제공된다. 또한, 본 발명의 모듈을 포함하는 컴퓨터, 소비자용 전자 제품, 이동 통신 장치 등등과 같은 장치들이 제공된다.

**대표도 - 도2**



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

제 1 기관과,

상기 제 1 기관에 부착되어 상기 제 1 기관에 와이어본딩되는 제 1 다이와,

상기 제 1 다이 위에 고정되는 스페이서와,

상기 스페이서 위에 고정되는 역전된 상부 패키지로서, z-인터커넥트 와이어 본딩을 위한 와이어 본드 위치를 마련하도록 제 1 플라즈마 세척이 수행되고, z-인터커넥트 와이어 본딩이 역전된 상부 패키지 및 제 1 기관 사이에서 수행되며, 몰딩의 양호한 접착을 위한 표면을 마련하도록 제 2 플라즈마 세척이 수행되는, 상기 역전된 상부 패키지와,

상기 모듈 상에 공급되어 경화되는 상기 몰딩과,

상기 제 1 다이에 부착되는 솔더볼

을 포함하는 다이 위에 적층되는 역전된 패키지를 갖는 멀티-칩 패키지 모듈.

**청구항 10**

제 9 항에 있어서, 상기 제 1 기관이 BGA 기관을 포함하는 것을 특징으로 하는 멀티-칩 패키지 모듈.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

제 9 항에 있어서, 와이어 본드들이, 역전된 상부 패키지의 상향 사이트 상의 z-인터커넥트 와이어 본드 패드들을, 상기 제 1 다이 상의 패드들과 연결하는 것을 특징으로 하는 멀티-칩 패키지 모듈.

**청구항 15**

제 9 항에 있어서, 와이어 본드들이, 역전된 상부 패키지의 상향 사이트 상의 와이어 본드 패드들을, 상기 제 1 기관의 상향 사이트 상의 z-인터커넥트 와이어 본드 패드들과 연결하는 것을 특징으로 하는 멀티-칩 패키지 모듈.

**청구항 16**

제 9 항에 있어서, 와이어 본드들이, 역전된 상부 패키지의 상향 사이트 상의 와이어 본드 패드들을, 제 1 기관의 상향 사이트 상의 z-인터커넥트 와이어 본드 패드들과 연결하며,

와이어 본드들이, 역전된 상부 패키지의 상향 사이트 상의 z-인터커넥트 와이어 본드 패드들을, 상기 제 1 다이 상의 패드들과 연결하는 것을 특징으로 하는 멀티-칩 패키지 모듈.

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

- 청구항 27  
삭제
- 청구항 28  
삭제
- 청구항 29  
삭제
- 청구항 30  
삭제
- 청구항 31  
삭제
- 청구항 32  
삭제
- 청구항 33  
삭제
- 청구항 34  
삭제
- 청구항 35  
삭제
- 청구항 36  
삭제
- 청구항 37  
삭제
- 청구항 38  
삭제
- 청구항 39  
삭제
- 청구항 40  
삭제
- 청구항 41  
삭제
- 청구항 42  
삭제

**청구항 43**

삭제

**청구항 44**

삭제

**청구항 45**

삭제

**청구항 46**

삭제

**청구항 47**

다이 위에 적층되는 역전된 패키지를 구비한 멀티-칩 패키지 모듈들을 제작하는 방법에 있어서, 상기 방법은,

- 제 1 기판에 제 1 다이를 부착하는 단계,
- 상기 제 1 다이를 상기 제 1 기판에 와이어 본딩하는 단계,
- 제 1 다이 위에 스페이서를 고정하는 단계,
- 상기 스페이서 위에 역전된 상부 패키지를 고정하는 단계,
- z-인터커넥트 와이어 본딩을 위한 와이어 본드 위치들을 마련하도록 제 1 플라즈마 세척을 수행하는 단계,
- 역전된 상부 패키지와 제 1 기판 사이에서 z-인터커넥트 와이어 본딩을 수행하는 단계,
- 몰딩의 양호한 접착을 위한 표면을 마련하도록 제 2 플라즈마 세척을 수행하는 단계,
- 상기 모듈 상에 몰딩을 공급 및 경화시키는 단계, 그리고
- 상기 제 1 다이에 솔더 볼들을 부착하는 단계

를 포함하는 것을 특징으로 하는 멀티-칩 패키지 모듈 제작 방법.

**청구항 48**

제 47 항에 있어서, z-인터커넥트 와이어 본딩 수행 이후,

- 제 2 패키지의 상향 사이트에 접착제를 도포하는 단계,
- 상기 접착제 위에 열 스프레더를 배치하는 단계, 그리고
- 상기 접착제를 경화하는 단계

를 추가로 포함하는 것을 특징으로 하는 멀티-칩 패키지 모듈 제작 방법.

**청구항 49**

제 47 항에 있어서, z-인터커넥트 와이어 본딩 수행 이후,

- 열 스프레더를 몰드 캐버티 내에 배치하는 단계,
- 상기 몰드 캐버티 내의 열 스프레더 위에, 제 1 다이 위에 고정된, 조립된 역전 패키지를 배치하는 단계,
- 몰딩 화합물을 캐버티에 공급하는 단계, 그리고
- 몰딩 화합물을 경화하는 단계

를 추가로 포함하는 것을 특징으로 하는 멀티-칩 패키지 모듈 제작 방법.

**청구항 50**

삭제

**청구항 51**

삭제

**청구항 52**

삭제

**명세서**

**기술분야**

[0001] 본 발명은 반도체 칩 패키징 분야에 관한 발명이다.

**배경기술**

[0002] 이동 전화, 휴대용 컴퓨터, 그리고 그의 다른 다양한 소비자용 전자제품들같은 휴대용 전자 제품들은 제한된 풋프린트 및 최소 두께 및 중량을 가지면서도 최소의 비용으로 높은 반도체 기능 및 성능을 필요로한다. 이는 개별 반도체 칩에 대한 집적도를 증가시키도록 산업계를 유도하고 있다.

[0003] 보다 최근에는 z-축으로 집적을 구현하기 시작하였다. 즉, 칩을 적층함으로써, 한 패키지에 다섯개까지의 칩들을 적층시킨 스택들이 사용되고 있다. 이는 5x5 mm ~ 40x40mm 범위에서 원-칩 패키지의 풋프린트를 가진 치밀한 칩 구조를 제공하며, 기술이 진보함에 따라 계속적으로 감소하는 두께를 가진다. 가령, 2.3mm~0.5mm의 두께를 가진다. 적층된 다이 패키지의 패키징 비용은 단일 칩 패키지에 대한 패키징 비용보다 조금 클 뿐이며, 그 생산성이 매우 높아서 개별 패키지에서 칩들을 패키징함에 비해 경쟁력있는 최종 비용을 보장한다.

[0004] 적층되는 다이 패키지에서 적층될 수 있는 칩들의 수에 대한 주요한 제한사항은, 적층-다이 패키지의 낮은 최종 테스트 양품률에 있다. 일부 패키지의 경우 칩들 중 한개 이상에 불가피하게 결함이 나타난다. 따라서, 개별 다이 테스트 양품률의 결과인 최종 패키지 테스트 양품률은 항상 100%보다 상당히 낮을 것이다. 한 패키지의 한 다이가 설계 복잡도나 기술 때문에 낮은 양품률을 가질 경우, 최종 패키지 양품률은 단 두개의 다이가 각 패키지에 적층됨에도 불구하고 매우 낮을 수 있다.

[0005] 특정 소자에 사용하기 위해 제공된 다양한 다이들의 크기는 폭넓게 변할 수 있고, 이는 적층된 다이 패키지의 구성에 문제점을 제시한다. 예를 들어, 종래의 적층 다이 패키지에서, 상부 다이는 메모리 다이이고 하부 다이는 디지털 신호 프로세서(DSP)일 수 있다. 제작자가 선호하는 메모리 다이는 선호 DSP 다이보다 클 수 있다. 또는, 패키지에 인접하게 적층된 다이들이 모두 메모리 다이일 수 있고, 상부 다이는 하부 다이와 같은 크기이거나 더 클 수 있다. DSP의 양품률은 일반적으로 낮다. 그리고 적층 다이 패키지의 하부 다이가 DSP일 경우, 기판에 배치된 후까지 DSP를 테스트하는 것이 실제적으로 불가능할 수 있다. DSP가 와이어 본딩될 경우, 기판 위의 다이를 테스트하는 것이 실제적으로 불가능할 수 있다. 왜냐하면, 테스트 중의 처리는 노출된 와이어에 손상을 입힐 수 있기 때문이다. 종래의 적층 다이 패키지에서, 상부 다이는 하부 다이가 테스트되기 전에 하부 다이 위에 적층되어야 하며, 하부 다이가 공정의 해당 시점에서 수용불가능하다고 드러날 경우, 적층 패키지는 폐기되어야만 하며, 이에 따라, 스페이서와 상부 다이의 폐기, 그리고 이들을 적층하기 위한 공정 단계들의 폐기가 유발된다.

[0006] 적층 다이 패키지에서의 또다른 제한사항은 패키지의 낮은 전력 소산 능력에 있다. 한 다이로부터 다른 다이로 열이 전달되며, 패키지로부터 열을 소산시키기 위한 유일한 주요 경로가 솔더 볼을 통해 마더보드까지이다. 패키지의 상부를 통해 주변 대기로 열을 전도하는 것이 매우 제한된다. 왜냐하면, 몰딩 화합물이 열을 잘 전도시키지 않기 때문이다.

[0007] 도 1은 스페이서를 사이에 두고 두개의 다이를 적층시킨 종래의 적층 다이 패키지의 구조를 도시하는 단면도이다. 적층 다이 패키지(10)는 한개 이상의 금속층을 가진 기판(12)에 부착되는 제 1 다이(14)와, 제 1 다이(14) 위에 적층되는 제 2 다이(24)를 포함한다. 이때, 스택의 제 1, 2 다이는 스페이서(22)에 의해 이격된다.

[0008] 다양한 기판 종류 중 임의의 것이 사용될 수 있다. 가령, 2-6개의 금속층을 가진 래미네이트, 4-8개의 금속층을 가진 빌드-업 기판, 1-2개의 금속층을 가진 가요성 폴리이미드 테이프, 또는 세라믹 다층 기판 등이 사용될 수 있다. 도 1에서 제시된 기판(12)은 유전층(120)의 양면에 두개의 금속층(121, 123)을 가지며, 각각의 금속층은

패턴처리되어 적절한 회로를 제공하게 되고, 바이어(122)를 이용하여 유전층을 통해 연결된다.

[0009] 제 1 다이(14)는 다이 부착 에폭시라 불리는 접착제(13)를 이용하여 기관의 표면에 종래 방식대로 부착되며, 도 1의 구조에서, 다이가 부착되는 기관의 표면은 상부 표면이라 불릴 수 있으며, 이 표면 위의 금속층은 상부 금속층이라 불릴 수 있다. 그렇지만 다이 부착 표면이 어떤 특정 방향성을 가져야 하는 것은 아니다. 스페이서(22)는 접착제(21)에 의해 제 1 다이(14)의 상향(액티브) 표면에 고정되고, 제 2 다이(24)는 접착제(23)에 의해 스페이서의 상향 표면에 고정된다.

[0010] 도 1의 적층 다이 패키지에서, 다이들은 기관의 상부 금속층 위의 와이어 본드 위치에 와이어본딩되어, 전기적 연결을 구성한다. 와이어 본드(16)들은 제 1 다이(14)를 기관에 연결하고, 와이어 본드(26)들은 제 2 다이(24)를 기관에 연결한다. 다이(14, 24)와 와이어 본드(16, 26)는 몰딩 화합물(17)로 캡슐화되며(통상적으로 어레이 몰딩 및 소 싱글레이션(saw singulation)에 의해 캡슐화되어, 표준 "칩 스케일 패키지"를 구성), 이 몰딩 화합물(17)은 주변 환경 및 기계적 응력으로부터 소자들을 보호하고, 처리 조작을 촉진시킨다. 또한, 식별용 마킹을 위한 표면을 제공한다. 솔더 볼(18)들이 기관의 하부 금속층 위 본딩 패드로 리플로(reflow)되어, 컴퓨터같은 최종 제품의 마더보드(도시되지 않음)에 상호연결을 제공한다. 솔더 마스크(125, 127)들은 금속층(121, 123) 위에서 패턴처리되어, 전기적 연결을 위한 본딩 위치에서 하부 금속을 노출시킨다. 가령, 와이어 본드(16, 26)와 솔더 볼(18)들을 본딩하기 위한 와이어 본드 위치 및 본딩 패드들을 노출시킨다.

[0011] 잘 알려진 바와 같이, 와이어 본드(16)는 특징적인 "루프 높이(loop height)"를 가진다. 이 루프 높이는 와이어 본딩 프로세스의 매개변수이며, 제 2 다이와의 임팩트에 의한 와이어 본드의 손상을 방지하기 위해 제 2 다이 및 제 1 다이 사이에 충분한 간격이 제공되어야 한다. 따라서, 제 1 다이(14) 위에 제 2 다이(24)를 지지하기 위해 스페이서(22)가 촉반이 형태로 제공된다. 스페이서는 그 둘레에서 와이어 본드에 접촉하지 않을 만큼 충분히 좁게 만들어지고, 와이어 루프 위에 제 2 다이를 유지하기에 충분한 간격을 제공할만큼 두껍게 만들어진다. 즉, 스페이서 자체는 와이어와 접촉하지 않으며, 스페이서는 제 1 다이와 제 2 다이 사이에 충분한 거리를 제공하여, 제 2 다이의 하향면이 와이어 본드(16)를 손상시키지 않게 된다.

[0012] 도 1의 적층 다이 패키지는 당해 산업 분야에서 잘 구축되어 있다. 이러한 패키지는 이 패키지에 포함되는 최대 다이보다 큰 1.7mm 정도의 풋프린트를 가지며, 이 패키지는 0.8~1.4 mm 만큼이나 작은 두께 프로파일로 구성될 수 있다. 이 패키지는 개별 패키징된 다이들에 비해 저렴한 비용을 가질 수 있다.

[0013] 여러 요인들에 의한 이러한 적층 다이 패키지의 두께에 대한 기여도가 아래의 표에서 2-다이 적층 다이 패키지 구성에서 예를 들어 설명되고 있다. 다이 두께에 대한 "CT"같은 약자가 도 1에 참고로 제시된다.

[0014]

	크기	전체 패키지 높이 "OT" (Max)			
		1.4mm	1.2mm	1.0mm	0.8mm
몰드 캡	다이 두께 "CT" (Max)	0.150	0.132	0.087	
	스페이서 다이 두께 "SPT" (Max)	0.125	0.125	0.087	
	루프 높이 "LH" (Max)	0.115	0.089	0.075	
	몰드 높이 "MH" (Nom)	0.070	0.650	0.500	0.370
기관	기관 두께 "ST" (Nom)	0.260	0.210	0.190	0.170
볼	볼 직경 "BD" (Nom)	0.400	0.350	0.350	0.300
	(옵션) "BD" (Min)	0.450		0.300	0.350
	봉괴 높이 "CH" (Min)	0.250	0.250	0.150	0.150
	(옵션) "CH" (Min)	0.300			0.150

[0015] 이러한 구조의 주요한 제한요소는 패키지의 최종 테스트 양품률이 낮다는 것이다. 특히, 한개 이상의 다이의 양품률이 낮을 경우 전체 패키지의 양품률이 낮다는 것이다. 예를 들어, 메모리 다이가 프로세스 다이 위에 적층될 수 있다. 메모리는 일반적으로 "인펀트 모탈리티(infant mortality)"를 제거하기 위해 "번-인(burn-in)" 테스트를 필요로한다. 프로세서는 일반적으로 복잡한 설계에 해당하며, 프로세스 다이의 양품률은 일반적으로 99%보다 작다. 패키지의 최종 테스트 양품률은 개별 다이의 양품률의 곱이다. "KGD"(Known Good Die)를 획득함으로써 최종 양품률을 증가시키는 것이 원칙적으로 가능하다. 그러나, KGD는 비용이 비싸고 가용성이 떨어지며, KGD 메모리의 경우 특히 비싸다.

[0016] 앞서 언급한 바와 같이 "더미(dummy)" 다이를 스페이서로 이용하는 것은, 스페이서와 다이 사이에 접촉층을 도

포하는 단계를 필요로하며, 그 사이에 스페이서가 개입된다. 실제로 더미 다이가 얼마나 얇게 만들어질 수 있느냐 하는 점에 제한이 있으며, 이는 스페이서 다이 두께에 하한을 제시한다. 따라서, 적층 다이 패키지에서 인접 다이들 간에 간격을 제공하기 위해 다양한 접근법들이 제시되고 있다. 일부 접근법에서는 인접 다이들 간에 두꺼운 접착층을 제공함으로써 간격을 제공한다. 적층 프로세스 중 접착제가 붕괴되는 정도까지, 스탠드오프의 제거가 어려울 수 있고, 인접 다이들의 평면들이 평행하지 않을 수 있다. 이러한 접근법에서, 스페이서 접착제는, 다이들 간에 스탠드오프를 제공하고 다이 틸트를 방지하기에 적합한 크기를 가지는 입자들로 채워진다. 다양한 스페이서 접착제들에 관하여, 미국 특허 6,472,758 호와 미국 특허 6,340,846 호를 참고할 수 있다.

[0017] z-축으로의 집적에 대한 또다른 접근법은 다이 패키지들을 적층시켜 멀티-패키지 모듈을 제작하는 것이다. 적층 패키지들은 적층-다이 패키지에 비해 수많은 장점들을 제공할 수 있다.

[0018] 예를 들어, 적층 패키지 모듈의 각 패키지는 패키지들이 적층되기 전에 전기적으로 테스트될 수 있고, 만족스런 성능을 보이지 않을 경우 거절될 수 있다. 그 결과, 최종 적층된 멀티-패키지 모듈의 양품률이 최대화될 수 있다. "네이키드(naked)" 다이가 테스트될 수 있지만, 이 패키지에서 테스트가 보다 용이하게 실행될 수 있고, 특히 다이 상의 패드 피치가 매우 작을 경우 쉽게 실행될 수 있다.

**발명의 상세한 설명**

[0019] 본 발명은 하부 패키지와, 하부 패키지 위의 다이 위에 적층된 역전된 상부 패키지를 포함하는 멀티-칩 모듈(MCM)을 지향한다. 적층 다이 패키지에서처럼 하부 다이 위에 상부 다이를 적층시키는 것보다, 하부 다이 위에 역전된 상부 패키지를 적층하는 것이 일반적이다(가령, 랜드 그리드 어레이 패키지의 경우에 해당). 이때, 상부 패키지와 하부 다이 사이에 스탠드 오프가 필요에 따라 제공될 수 있다. 스탠드오프나 스페이서는 하부 다이로부터 상부 패키지를 물리적으로 이격시킨다. 그 결과, 하부 다이가 하부 기판에 와이어 본딩될 수 있고, 상부 패키지 기판과 하부 패키지 기판(또는 하부 다이) 간의 와이어 본딩에 의해 z-인터커넥트가 구현될 수 있다. 본 발명에 따른 MCM은 인접 다이들 간의 간격을 제공하는, 다이 스택에 사용되는 기존 제작 인프라스트럭처를 이용하여 구성될 수 있다.

[0020] 발명의 한 태양에 따르면, 랜드 그리드 어레이(LGA) 패키지같은 패키지가 역전되어 볼 그리드 어레이(BGA) 패키지 위에 적층된다. BGA 패키지는 기판 위에 장착되는 한개 이상의 다이를 포함한다. 하부 패키지 다이가 하부 기판에 와이어 본드에 의해 연결될 때, 다이의 상향(액티브) 사이트에 스페이서가 고정될 수 있다. 역전된 패키지는 스페이서의 상향 사이트에 고정된다. MCM에서, 역전된 패키지와 BGA 패키지 간의 z-상호연결은 와이어 본드를 기반으로 한다. 즉, 와이어 본드들이 역전된 상부(LGA) 패키지의 상향 사이트 상의 와이어 본드 패드들을, 하부(BGA) 패키지 기판의 상향 사이트의 z-상호연결 와이어 본드 패드와 연결하거나, 하부 패키지 다이의 패드와, 하부 패키지 기판의 패드에 모두 연결한다. 일반적으로, 본 발명은 BGA 패키지 상의 다이에 적층되는 역전된 LGA 패키지를 가진, 이러한 적층 패키지들의 다양한 구성들과, 와이어-본딩에 기초한 z-상호연결에 의해 다양한 패키지들을 적층하고 상호연결하는 방법을 특징으로 한다.

[0021] 본 발명의 다양한 태양에서, 상부 패키지 다이와 상부 패키지 기판의 연결은 플립 칩이나 와이어 본드 인터커넥트에 의해 구현될 수 있다. 역전된 상부 패키지는 다양한 LGA 패키지들 중 임의의 패키지를 포함할 수 있다. 가령, 래미네이트형 또는 빌드업 기판-기반의 LGA, 테이프-기반 LGA, 또는 다양한 "QFN" 패키지나 범프 칩 캐리어(BCC) 패키지 중 임의의 패키지를 포함할 수 있다. 역전된 패키지는 한개의 다이를 포함할 수도 있고, 두개 이상의 다이를 포함할 수도 있다. 또한, 역전된 패키지에 두개 이상의 다이가 포함되는 경우에, 다이는 역전된 패키지 기판 위에 사이트 바이 사이트 방식으로 배열되거나 적층될 수 있다. 하부 패키지는 한개의 다이를 포함할 수도 있고 두개 이상의 다이를 포함할 수도 있다. 두개 이상의 다이가 하부 패키지에 포함되는 경우에, 다이는 역전된 패키지 기판 위에 사이트 바이 사이트 방식으로 배열되거나 적층될 수 있고, 하부 패키지가 적층 다이 패키지인 경우에, 역전된 패키지는 적층 다이들 중 가장 위의 다이에 장착된다. 패키지 스택은 BGA나 LGA의 상부나 하부에 본딩되는 플립 칩 다이를 가진 한개 이상의 패키지들을 포함할 수 있다. 패키지 스택은 상부 패키지 위에 열 스프레더(heat spreader)에 의해 구현되는 열 개선 특징부들을 포함할 수 있다. z-인터커넥트 패드들이 패키지들의 주변부에서 본딩할 수 있도록 만들어질 경우, 스택은 임의의 기판, 래미네이트, 빌드업 또는 가요성, 또는 세라믹을 포함할 수 있다.

[0022] 한가지 일반적 태양에서, 본 발명은 제 1(하부) 및 제 2(상부) 패키지들을 적층시킨 멀티-칩 모듈을 특징으로 하는 데, 이때, 각각의 패키지는 기판에 부착되는 다이를 포함하고, 상부 패키지는 역전되며, 상부 패키지는 상부 패키지와 하부 패키지 다이 사이에 간격을 제공하도록 하부 패키지 상의 다이 위에 적층된다. 상부 패키지가 하부 다이 위에 적층되기 전에 하부 패키지 상의 와이어 본드와 다이들이 캡슐화되지 않기 때문에, 하부 패키지



기관에 하부 다이를 연결하는 와이어 본드들에 대한 손상을 방지하기 위해 간격이 제공된다. 따라서, 이 간격의 두께는 와이어 본드들은 루프 높이에 따라 결정된다.

- [0023] 본 발명은 작은 프로파일과 작은 풋프린트를 가진 멀티-칩 패키지 모듈을 제작하는 데 있어, 훌륭한 제작 편의성, 높은 설계 유연성, 그리고 저렴한 비용을 제공한다.
- [0024] 와이어 본드 z-인터커넥트는 당해 산업분야에서 잘 정립되어 있다. 이는 가장 저렴한 인터커넥트 기술이고 별 큰 수정없이 본 발명의 적층 멀티칩 모듈에 직접적으로 적용할 수 있다. 이는 와이어 길이에 의해 브리지될 수 있는 LGA에 대한 BGA의 상대적 크기에 대한 설계 유연성을 제공한다. 가용한 기술 및 장비를 이용할 때, 와이어 본드의 와이어는 0.5~5mm 수준일 수 있다. z-인터커넥트 패드들의 배열은 BGA나 LGA 기관 설계(또는 둘 모두)를 통해 구현될 수 있다. 더우기, 본 발명에 따른 와이어 본드를 이용할 때, 당해 분야에서 현재 사용되고 있는 "순서없는 본딩(out of sequence bonding)"을 이용함으로써, 서로 위에 정확하게 정렬되지 않는 패드들 간에 z-인터커넥트가 형성될 수 있다. 와이어 본딩 피치는 당해 분야에서 현재 50 마이크론이 가장 정밀한 가용 기술이며, 25마이크론까지 가능하다. 이는 플립 칩(200 마이크론 수준)이나 솔더 볼(500 마이크론 수준)같은 그외 다른 인터커넥트에 비해 정밀한 편이다. 따라서, 동일한 가용 공간 내에서 패키지들 간에 더 많은 인터커넥트(z-인터커넥트)들을 제공할 수 있다.
- [0025] 와이어 본딩 머신을 이용한 와이어 본딩은 패드들을 상호연결함에 있어 설계 유연성을 제공한다. 왜냐하면, 이러한 연결이 와이어 본드에 프로그래밍되어 있기 때문이다. 이에 따라, 기관들을 서로 일치시키도록 그리고 솔더 볼과 연결시키도록 기관을 하드 툴링(hard tooling)할 필요가 없다. 상대적인 BGA 및 LGA 패키지 크기들이 변화할 때, 와이어 본딩은 프로그램 변화에 의해 차이를 수용하도록 재설정될 수 있다. 상부 패키지가 하부보다 작아야 하는 경우에, 와이어 본딩은 최대 9mm까지 크기 차이를 수용할 수 있다. 이에 따라, 칩 크기를 수용하는 데 필요한 최소 패키지의 이용이 가능하며, 따라서, MCM의 총 비용이 최적화된다.
- [0026] 와이어 본딩은 "순서없이(out of sequence)" 패드들을 상호연결할 수 있다. 즉, 패드들이 서로 너무 멀리 떨어져 있지 않는 한, 패키지에서 서로 위에 정확하게 서로 위에 놓이지 않고 요망 순서로 배치되지 않는 패드들을 상호연결할 수 있다. 필요할 경우, 패드들은 와이어 본딩을 위해 충분히 가까운 위치로 적절하게 루팅될 수 있다. 이러한 유연성에 따라, 인터커넥트 패드들의 요망 순서나 위치를 가지지 않는 패키지들을 적층시킬 수 있다. 칩 기술이 진보함에 따라, 칩 크기는 축소되고 있으며, 더 많은 연결부와 여러 종류의 순서를 가진 연결부들을 구비한 설계 변형들이 발전하고 있다. 와이어 본딩에 의해 제시되는 본딩 유연성에 의해, 사용자는 동일한 패키지 크기를 유지하면서 기관 설계를 변형할 수 있다. 이에 따라, 새 제품에 대해 중요한 비용 및 시간이 절감된다.
- [0027] 칩 스케일 패키지들을 포함한 BGA와 LGA들은 당해 산업 분야의 표준에 해당하며, 최저 비용과 폭넓은 가용성을 제공한다. 이는 적층될 패키지들을 선택함에 있어 상당한 유연성을 제공하며, 따라서, 본 발명에 따른 MCM에 집적될 수 있는 기능들의 종류 측면에서도 상당한 유연성을 제공한다.
- [0028] 전형적인 LGA 두께는 0.8mm이다. 전형적인 다이 두께는 0.09mm~0.15 mm이며, 전형적인 실리콘 스페이서("더이" 다이 스페이서) 두께는 0.09~0.125mm이다. 본 발명에 따라 하부 다이 위에 스페이서를 적층하고 스페이서 위에 역전된 LGA 를 적층하는 것은, 10~50 마이크론의 최종 두께를 가지는 접착제를 이용하여 완성될 수 있다.
- [0029] 또는, 하부 패키지 다이와 상부 패키지 사이에 접착 및 간격을 제공하기 위해 "충진형" 스페이서 접착제가 사용될 수 있다. 이러한 접착제 스페이서는 상부 패키지와 하부 다이 간에 더 가까운 간격을 제공할 수 있고, 이 간격은 하부 패키지 다이를 하부 패키지 기관에 연결하는 와이어 본드들의 루프 높이에 접근한다. 이 구조는 낮은 프로파일의 MCM을 제공할 수 있다. 본 발명에 따른 MCM의 풋프린트는 스택의 최대 칩 크기에 의해 결정된다. BGA나 LGA의 전형적인 최소 풋프린트는 다이 크기보다 1.7mm 크다. 와이어 본드 z-인터커넥트의 경우 일반적으로 상부 LGA가 하부 BGA보다 최소한 0.1~0.8mm 작아서, 기관 금속 예지에 대한 쇼트없이 와이어를 수용할 수 있어야 한다. 상부 패키지가 하부 패키지보다 훨씬 작아야 하는 경우, 와이어 본딩은 최대 9mm까지 크기 차이를 수용할 수 있다. 이에 따라, 칩 크기를 수용하는 데 필요한 패키지의 크기가 최소화되며, 따라서, MCM의 총 비용을 최적화시킬 수 있다. 본 발명에 따른 적층 패키지 MCM의 풋프린트 및 두께 모두, 대부분의 응용분야에서 수용되는 범위 내에 있다.
- [0030] 대안으로, 상부 패키지가 하부 패키지 다이보다 훨씬 작을 경우, 그래서 하부 패키지 다이의 상향 (액티브) 사이트의 패드들이 역전 상부 패키지 기관의 가장자리 너머로 뺏어나갈 경우, 상부 패키지와 하부 다이 간의 z-인터커넥트는 이 다이 상의 패드와, 상부 패키지 기관의 상향 사이트 상의 z-인터커넥트 패드로부터 직접 와이어 본딩에 의해 구현될 수 있다.

- [0031] 일부 실시예에서, 멀티-칩 모듈은 역전 LGA 패키지 위에 장착된 추가 패키지를 포함할 수 있다. 이러한 일부 실시예에서, 추가 패키지는 LGA 패키지이고, 일부 실시예에서 추가 LGA 패키지는 역전 LGA 패키지 기판에 와이어 본딩되고 하부 패키지 기판에 와이어 본딩된다. 일부 실시예에서, MCM은 역전 LGA 패키지 위에 장착되는 한개 이상의 추가 다이를 포함할 수 있다. 이러한 일부 실시예에서, 추가 다이는 상부 패키지 기판에, 또는 하부 패키지 기판에 와이어 본딩될 수 있다.
- [0032] 한가지 태양에 따르면, 적층된 제 1, 2 패키지들을 포함하는 멀티-칩 패키지 모듈에 있어서, 제 1 패키지는 기판에 부착된 다이를 가진 BGA 패키지이고, 제 2 패키지는 기판에 부착된 다이를 포함하며, 상기 제 2 패키지는 역전되어, 다이가 부착되는 기판 표면이 하향을 향하고, 역전된 패키지는 제 1 패키지 다이 위에 고정되면서, 제 1 패키지 다이와 역전된 제 2 패키지 사이에 간격에 대한 설비가 제공되는 것을 특징으로 하는 멀티-칩 모듈이 제공된다. 일부 실시예에서, 상기 제 2 패키지가 LGA 패키지이고, 일부 실시예에서, 상기 제 2 패키지는 소-싱글레이션 패키지(saw-singulated package)이며, 칩 스케일 패키지일 수도 있다. 일부 실시예에서, 상기 제 2 패키지가 테이프-기판 패키지 기판을 가지며, 일부 실시예에서, 상기 제 2 패키지가 범프 칩 캐리어 패키지이다.
- [0033] 일부 실시예에서는 제 2 패키지에 열 스프레더가 제공되며, 열 스프레더의 상향 표면은 MCM의 가장 윗 표면에서 주변 대기에 노출된다. 일부 실시예에서, 열 스프레더는 가장 위의 LGA 패키지의 상향 표면에 고정될 수 있고, 또는, 추가 다이가 제 2 패키지에 제공되는 경우, 열 스프레더가 가장 위의 다이의 상향 표면에 고정될 수 있다. 역전된 제 2 패키지가 모듈의 가장 위 패키지일 경우, 열 스프레더는 역전된 제 2 패키지의 상향 사이트에 고정될 수 있다. 또다른 실시예에서, 열 스프레더는 가장 위 패키지나 다이에 고정되지 않고 MCM의 가장 위 표면에서 몰딩된다. 이러한 실시예에서, 열 스프레더는 MCM의 가장 윗 표면에서 주변 대기에 노출된다. 열 소산은 모듈 캡슐화를 위해 전기절연성이면서 열전도성인 몰딩을 이용함으로써 추가적으로 개선될 수 있다.
- [0034] 발명의 또다른 태양에 따르면, 멀티-칩 패키지 모듈을 제작하는 방법이 제공되는 데, 이 방법은,
- [0035] - 제 1 패키지 기판의 상향 사이트에 부착되는 제 1 다이를 가진 제 1 패키지를 제공하는 단계, 그리고
- [0036] - 상기 제 1 패키지 상의 다이 위에 역전된 제 2 패키지를 적층하는 단계
- [0037] 를 포함하며, 이때, 제 2 패키지의 하향 사이트와, 제 1 다이를 제 1 패키지 기판에 연결하는 와이어 본드들 간에 임팩트에 의한 손상을 방지하기 위해 제 2 패키지와 제 1 패키지 다이 간에 스탠드오프(standoff)를 제공한다.
- [0038] 본 발명에 따르면, 역전된 상부 패키지는 어레이 몰딩 및 소-싱글레이팅(saw-singulation)된 패키지일 수 있다. 또는, 캐버티-몰딩(cavity-molding) 및 펀치-싱글레이팅(punch-singulation)된 패키지일 수 있다. 하부 패키지는 하부 패키지 다이 위에 상부 패키지를 적층하기 전에 몰딩되지 않는다. 본 발명에 따른 패키지 모듈은 적층 이후 몰딩되며, 이에 따라 MCM이 어레이 몰딩 및 소-싱글레이팅될 수 있다. 또는 캐버티-몰딩 및 펀치-싱글레이팅될 수 있다.
- [0039] 본 발명은 최소 풋프린트를 가진 얇은 패키지에 두개 이상의 칩을 가진 모듈들을 제공한다. 본 발명에 따른 모듈들은 1.2~1.4 mm의 두께 프로파일들을 가질 수 있고, 그외 다른 표준 프로파일들을 수용할 수도 있다.
- [0040] 표준 패키지들은 하부 및 상부 패키지 모두에 사용될 수 있다. 상부 패키지는 가령, 캐버티-몰딩 및 펀치-싱글레이팅된 LGA 패키지로 조립될 수도 있고, 래미네이트 기판을 가진 표준 소-싱글레이팅된 LGA 패키지로 조립될 수도 있다. 또는, QFN 패키지로, 또는 테이프-기판-기판 LGA 패키지로, 또는 범프 칩 캐리어(BCC) 패키지로 조립될 수 있다.
- [0041] 본 발명은 "멀티 칩 패키지(MCP)", 시스템 인 패키지(SiP)", "멀티 패키지 모듈(MPM)" 등으로 다양하게 알려진 멀티 다이 모듈들을 이용하는 장치에 특히 유용하게 사용된다. 본 발명에 따른 멀티 칩 패키지 모듈은 컴퓨터, 통신, 소비자용 및 산업용 전자 기기의 구성에 사용될 수 있다. 본 발명은 특히 휴대용 전자 기기에 유용하다.

**실시예**

- [0058] 도 1은 종래의 적층 다이 패키징과 관련하여 앞서 설명한 바 있다.
- [0059] 도 2는 본 발명의 한 태양에 따른 칩 스케일 패키지(CSP) 모듈(20)을 도시한다. 이 모듈(20)은 두개의 다이(214, 224)를 포함하며, 하부 패키지(102)의 다이(214) 위에 몰딩된 역전 LGA 패키지(202)가 적층된다. 하부 다이(214)는 종래의 적층 다이 패키지에서 하부 다이처럼 기판(12)에 장착되며, 실제로, 하부 다이와 그 기판은

몰딩없이 종래의 적층 다이 패키지의 경우에서와 같이 제공될 수 있다. 즉, 본원에서 제시되는 예에서, 하부 다이(214)는 두개 내지 네개의 패턴처리된 금속층들을 가진 BGA 기판(12)의 상향 사이트에 다이 부착 에폭시(13)를 이용하여 액티브 사이트를 상향으로 하여 장착된다. 또한 다이는 BGA 기판의 상부 금속층 상의 와이어 본드 위치에 와이어 본딩된다. 솔더 볼(18)들이 하부 기판의 하향 사이트에 장착되어, 마더보드같은 하부 회로와의 제 2 레벨 인터커넥트를 형성한다. 따라서, 하부 다이와, 하부 다이가 장착되는 하부 기판은 (몰딩없는) 표준 BGA 패키지를 구성할 수 있다. 이러한 멀티 패키지는 한개의 스트립이나 한개의 어레이로 제작될 수 있다.

[0060] 도 2를 참고할 때, 본 실시예에서, 하부 패키지는 한개 이상의 금속층을 가진 하부 패키지 기판에 부착되는 다이를 포함한다. 다양한 기판 종류 중 임의의 것이 사용될 수 있다. 가령, 2-6개의 금속층을 가진 래미네이트, 4-8개의 금속층을 가진 빌드-업 기판, 1-2개의 금속층을 가진 가요성 폴리이미드 테이프, 또는 세라믹 다층 기판 등이 사용될 수 있다. 도 2에서 제시된 하부 패키지 기판은 두개의 금속층(121, 123)을 가지며, 각각의 금속층은 패턴처리되어 적절한 회로를 제공하게 되고, 바이어(122)를 이용하여 유전층(120)을 통해 연결된다. 이 다이는 다이 부착 에폭시라 불리는 접착제(13)를 이용하여 기판의 표면에 종래 방식으로 부착되고, 도 2의 구성에서, 다이가 부착되는 기판의 표면은 상부 표면이라 불릴 수 있고, 상기 표면의 금속층은 상부 금속층이라 불릴 수 있다. 하지만, MCM과, 다이 부착 표면이 특정 방향을 가질 필요는 없다.

[0061] 도 2의 하부 BGA 패키지에서, 다이(214)는 기판의 상부 금속층(121) 상의 와이어 본드 위치에 와이어 본딩(와이어(216))되어, 전기적 연결을 구축한다. 다이에 대한 연결은 기판의 상부 금속층의 패드들을 구비한 패키지의 주변부에서 노출되며, 도 3A 및 도 3B를 참고하여 아래에서 보다 상세하게 설명되는 바와 같이 와이어 본드와 연결하기 위해 준비된다. 이 패드들의 물리적 위치 및 순서는 위에 배치된 LGA의 대등한 패드들 아래에 놓이도록 배열된다. 솔더 볼(18)들은 기판(12)의 하부 금속층(123) 상의 본딩 패드에게로 리플로되어, 컴퓨터같은 최종 제품의 마더보드 등의 하부 회로에 대한 인터커넥트를 제공한다. 솔더 마스크(125, 127)들은 금속층(121, 123) 위에서 패턴처리되어, 와이어 본드 및 솔더 볼들을 본딩하기 위한 와이어 본드 위치 및 본딩 패드들에 해당하는 전기적 연결을 위한 본딩 위치에서 하부 금속을 노출시킨다.

[0062] 하부 다이(214)의 상향 (액티브) 표면에 접착제(221)를 이용하여 스페이서(222)가 고정된다. 스페이서는 고체 조각일 수 있다. 가령, 글래스나 더미 실리콘 타입일 수 있다. 또는 스페이서 접착제에 의해 간격이 제공될 수 있다. 종래의 적층 다이 패키지에서처럼, 스페이서는 하부 패키지 와이어 본드(216)의 루프 높이를 수용하기에 충분한 스텐드오프를 제공할만큼 두꺼워야 한다. 또한 더미 다이같은 고체 스페이서가 사용될 경우, 스페이서의 풋프린트는 다이 패드들 위치나 그 근처에서 와이어 본드들과 접촉하지 않도록 충분히 작아야 한다.

[0063] 스페이서가 더미 다이같은 고체 조각일 경우, 스페이서는 다이의 회로에 손상을 입히지 않을 테플론 입자같은 소프트 필터를 가진 종류의 다이 부착 접착제를 이용하여 다이의 상향 표면에 고정된다.

[0064] 본 발명에 따른 모듈에 그외 다른 스페이서 구조가 사용될 수 있다. 스페이서가 고체 조각일 경우, 접착제 중 한가지 또는 두가지 모두가 접합 필름으로 제공될 수 있다. 필름 접착제를 가진 스페이서 구조와, 이를 이용하여 소자 스택들을 구성하는 방법은 미국특허출원 10/959,713 호, 10/976,601 호, 10/959,659 호에 소개되어 있다. 스페이서가 스페이서 접착제인 경우엔 다양한 접착제 스페이서 구조들 중 하나가 사용될 수 있으며, 이에 관하여는 미국특허출원 10/966,572 호, 10/966,574 호, 10/969,116 호, 10/969,303 호에서 개시되어 있다. 상술한 미국특허출원의 내용들이 본원에서 참고로 인용된다.

[0065] 역전 LGA 패키지(202)는 다이 부착 접착제(213)를 이용하여 기판(212)에 장착되는 다이(224)를 포함한다. 다이(224)는 와이어 본드(226)에 의해 기판(212)에 전기적으로 연결되며, 다이와 와이어 본드, 그리고 기판의 다이 부착 사이트는 몰딩 화합물이나 인캡슐란트로 캡슐화되거나 몰딩된다(217). 역전된 패키지(202)는 와이어 본드(236)에 의해 하부 패키지(102)에 전기적으로 상호연결(z-인터커넥트)되며, 상부 패키지(202), 하부 다이(214)와 스페이서(222), 와이어(236, 216), 그리고 기판(12)의 다이 부착 표면이 인캡슐란트(27)로 캡슐화된다.

[0066] 도 2의 적층 패키지 실시예에서, 각 패키지 기판들의 z-인터커넥트 패드들은 패키지 기판들의 가장자리 근처의 상향 금속층들에 배열된다. z-인터커넥트 패드들의 위치 및 순서는, 패키지들이 적층될 때 상부 패키지 기판의 z-인터커넥트 패드들이 하부 패키지의 대응하는 z-인터커넥트 패드 위에 놓이도록 배열된다. 상부 패키지의 기판 풋프린트가 가 하부 패키지의 기판 풋프린트보다 작은 것이 편리하다. 이에 따라, 기판의 금속층들의 예지에 대한 전기적 쇼트없이 와이어 본드들에 대한 틈새를 제공할 수 있다.

[0067] 상부 및 하부 기판들 상의 z-인터커넥트 패드들의 배열은 도 3A 및 도 3B의 평면도를 예로 하여 제시된다.

[0068] 도 3A는 하부 기판(312)의 상향 사이트에 다이 부착 접착제(313)를 이용하여 고정되는 하부 다이(314)를 도시한

다. 기관(312)의 둘레에 배열되는 z-인터커넥트 본드 패드(322)는 상부 패키지의 풋프린트(302) 너머 가장자리에서 노출(적어도 일부분이 노출(323))되어, 하부 기관과 상부 기관 간의 z-인터커넥트를 위한 본드 위치들을 제공한다. 하부 기관의 z-인터커넥트 본드 패드(322)들은 트레이스(327)들을 이용하여 본드 핑거(328)들에 연결되고, 이들은 하부 기관의 패턴처리된 금속층과, 하부 다이(314)의 액티브 사이드 상의 노출된 본드 패드(336)들의 와이어 본드(316)들에 의해 연결하기 위한 와이어 본드 위치들을 제공하기 위해 부분적으로 노출된다. 하부 기관의 상향 사이드의 z-인터커넥트 본드 패드들은 바이어를 이용하여 기관 유전층을 통해 기관의 패턴처리된 한개 이상의 다른 층들에게 연결된다.

[0069] 도 2를 다시 참고할 때, 본 예의 상부 패키지는 몰딩된 LGA(Land Grid Array) 패키지이다. 상부 LGA 패키지는 역전되어, 패키지의 상부 표면을 형성하는 몰딩(217) 표면이, 모듈의 하향을 향하고, LGA 패키지의 하부 표면을 구성하는 다이 부착 표면 반대 편에 놓인 LGA 패키지 기관의 표면이 모듈의 상향을 향한다. 상술한 바와 같이, 상부 패키지는 "양품(good)"으로 판정되어, 다이 부착 접착제같은 접착제(223)를 이용하여 스페이서의 상부 표면에 고정된다.

[0070] 도 2에 도시되는 실시예에서, 상부 패키지는 LGA 패키지이다. 이 LGA 패키지는 소 싱글레이션(saw singulated) LGA 패키지일 있고, 칩 스케일 패키지일 수 있다. 하지만 상부 패키지는 (역전된 패키지의 상향을 향하는) 기관의 하부 표면의 본딩 패드들에 어떤 솔더 볼들도 장착하지 않는다. 특히, 본 예에서, 상부 패키지는 한개 이상의 금속층을 가진 상부 패키지 기관에 부착되는 다이를 포함한다. 임의의 기관 종류가 사용될 수 있다. 도 2에 도시되는 상부 패키지 기관(212)은 두개의 금속층을 가지며, 각각의 금속층은 적절한 회로를 제공하도록 패턴처리되고 바이어에 의해 연결된다. 다이는 다이 부착 에폭시라 불리는 접착제(213)를 이용하여 기관의 표면에 종래 방식대로 부착된다. 다이는 패키지 기관의 상부 표면에 부착되는 데, 이 패키지가 특정 방향을 가질 필요는 없다. 본 발명에 따르면, 상부 패키지가 역전된다. 즉, 상부 패키지가 뒤집어져 부착된다. 상부 패키지가 모듈에서 역전되기 때문에, LGA 기관의 상부 표면 또는 상부 사이드라 불리는, 제 1 다이가 부착되는 상부 LGA의 표면이 역전된 LGA의 "하향 표면"으로 언급된다. 그리고 그 반대 표면, 즉, 하부 표면이나 하부 사이드라 불리는 표면은 "상향 표면"이라고 본원에서 언급된다.

[0071] 도 2의 구조에서, 다이가 부착되는 상부 패키지 기관의 표면은, 하부 패키지를 향하며, 따라서, 다이가 고정되는 상부 패키지의 상부 표면은 상부 패키지 기관의 하향 표면으로 불릴 것이다. 하지만 모듈이 특정 방향을 가질 필요는 없다. 즉, 상부 패키지가 본 발명에 따른 모듈에서 역전되면, 상부 금속층을 가진 상부 패키지 기관의 표면은 "하향을 향한다"고 언급되며, 하부 금속층을 가진 상부 패키지 기관의 표면은 "상향을 향한다"고 언급된다.

[0072] 도 2에 도시되는 상부 LGA 패키지에서, 다이(224)는 상부 패키지 기관(212)의 상부 금속층의 와이어 본드 위치에 와이어 본딩(와이어(226))된다. 다이 및 와이어 본드들은 처리 조작을 촉진시키기 위해 기계적 응력으로부터, 그리고 주변 환경으로부터 보호되도록 몰딩 화합물(217)로 캡슐화되며, 상부 패키지 상부 표면을 가진다. 상부 패키지는 역전되어, 몰딩의 표면이 하향을 향하게 되고, 하부 다이의 스페이서(222) 위에 적층되어, 접착제(223)를 이용하여 그 위치에 고정된다. 상부 패키지 기관(212)의 금속층 위에서 솔더 마스크들이 패턴처리되어, 와이어 본드들을 본딩하기 위한 와이어 본드 위치들처럼, 전기적 연결을 위한 본딩 위치에서 하부 금속을 노출시킨다.

[0073] 본 발명에 따르면 상부 패키지(그리고 상부 다이)가 테스트될 수 있기 때문에, 하부 패키지에 높은 예상 양품률을 가진 다이를 배치하고 낮은 예상 양품률을 가진 다이를 상부 패키지에 장착하는 것이 선호될 수 있다. 이러한 방식으로, 거절된 상부 패키지들은 스택 조립 이전에 폐기될 수 있고, 따라서, 완성된 패키지들의 전체 양품률은 낮은 예상 양품률의 다이 양품률에 의해서가 아니라, 높은 예상 양품률의 다이 양품률에 의해 영향받을 것이다. 그러나, 조립자가 하부 패키지에 낮은 양품률 다이를 구성하는 것을 선호할 수도 있다. 예를 들어, DSP 위에 메모리 다이를 구성하고자 할 수 있다. 이러한 경우에, 조립자는 하부 다이에 대한 예상된 양품률 위험도를 수용하지만, 본 발명에 따라, 조립자는 상부 다이의 양품률 위험도를 수용할 필요가 없다. 왜냐하면, 상부 다이는 스택 형성 이전에 패키지별로 테스트될 수 있기 때문이다.

[0074] 도 3B는 역전된 상부 LGA 기관(342)의 상향 사이드를 개략적으로 도시한다. 상부 LGA 기관은 랜드나 볼 패드(344)를 가지는 표준 LGA 기관으로 구성될 수 있다. 이는 솔더 볼 조인트들을 통해 프로덕트 보드에 LGA를 상호 연결시키는 표준 CSP에 사용될 수 있고, 또는, 랜드나 볼 패드(344)들이 솔더 마스크에 의해 덮힐 수 있다. 노출될 경우, 이 랜드들은 패키징된 다이를 테스트하기 위한 테스트 액세스 포인트로 기능한다. 기관은 z-인터커넥트를 구축하기 위해 하부 패키지 기관에 LGA를 와이어 본딩시키는 데 사용되는, 둘레에 배열되는 본드 핑거

(346)들의 추가적 특징부들을 가진다. z-인터커넥트 와이어 본딩은 전체 패키지 구조에 대한 두께 제한에 따라, 순방향 본딩일 수도 있고 역방향 본딩일 수도 있다. 도 2의 예에서처럼 순방향 본딩은 100~300 마이크론의 큰 루프 높이를 제공하며, 역방향 본딩은 75~100 마이크론의 낮은 루프 높이를 제공할 수 있으며, 얇은 패키지 모듈에 사용될 수 있다.

[0075] 상부 다이 패키지와 하부 다이 간의 z-인터커넥트는 상부 패키지 기관의 상향 금속층(즉, 하부 금속층) 상의 트레이스들을, 하부 패키지 기관의 상부 금속층 상의 트레이스들과 연결시키는 와이어 본드들을 이용하여 구현된다. 한 단부에서, 각각의 와이어 본드는 역전된 하부 패키지 기관(도 3A의 312)의 상부 금속층의 패드(도 3A의 323)들의 상향 표면에 전기적으로 연결되고, 다른 한 단부에서, 각각의 와이어 본드는 역전된 상부 패키지 기관(도 3B의 342)의 상향(즉, 하부) 금속층의 패드(도 3B의 346)의 표면에 연결된다. 와이어 본드들은 당 분야에 잘 알려진 임의의 와이어 본딩 기술을 이용하여 형성될 수 있고, 그 예가 미국특허 5,226,582 호에 개시되어 있다. 패키지간 z-인터커넥트 와이어 본드들은, 상부 기관의 상부 금속층 상의 패드의 상부 표면 상에 비드(bead)나 범프(bump)를 형성함으로써, 그리고 하향으로 와이어를 압출하여 이를 하부 기관의 상부 금속층의 패드에 퓨징(fusing)함으로써, 구현되는 것처럼 도 2에서 예를 들어 도시된다. 와이어 본드들은 하부 기관의 상부 금속층 상의 패드의 상부 표면에 비드나 범프를 형성함으로써, 그리고 와이어를 상향으로 압출하고 이를 상부 기관의 상부 금속층 상의 패드에 퓨징함으로써 역방향으로 구현될 수 있다. 패키지간 z-인터커넥트를 위한 와이어 본딩 기법의 선택은, 적층된 기관들의 가장자리의 기하학적 배열과, 이 기관들의 본딩 표면들의 기하학적 배열에 따라 결정될 것이다.

[0076] 상부 LGA 패키지는 어레이 몰딩 및 소 싱글레이션(saw singulation)될 수 있다(도 2에서와 같이 예지에 수직 벽들을 제시). 또는 캐버티 몰딩 후 펀치 싱글레이션(punch singulation)될 수 있다. 어느 경우에도, 상부 패키지는 다이가 부착되는 표면 반대편의 기관 표면 위(즉, 역전된 상부 패키지 기관의 "하부" 사이드 상의) 패키지 둘레에 위치하는, 다이에 (즉, 바이어를 통해 기관의 다이 부착 사이트에) 연결된 본드 패드들을 가진다.

[0077] 본 발명에 따른 구조에 의해, 모듈에 조립하기 전에 상부 LGA 패키지의 사전 테스트를 행할 수 있어, 조립 이전에 불량 패키지들을 걸러낼 수 있고, 따라서 높은 최종 모듈 테스트 양품률을 보장할 수 있다.

[0078] z-인터커넥트 와이어 본드들이 형성되면, 모듈 캡슐(도 2의 (27))이 형성되어, z-인터커넥트 와이어 본드들을 덮고 보호하며, 완성된 모듈에 대한 기계적 일체성을 제공한다. 따라서, 모듈은 모듈 몰딩 내에 몰딩된 상부 패키지를 포함한다. 도 2에 일례로 제시되는 바와 같이, 모듈 그 자체가 소-싱글레이션될 수 있다. 대안으로, 모듈은 소-싱글레이션보다는 개별적으로 캐버티 몰딩(cavity molded)될 수 있다.

[0079] 솔더 볼(18)들이 그후 표준 재료 및 프로세스를 이용하여 모듈의 하부에 부착된다. 솔더 볼 부착은 모듈의 싱글레이션 이전에, 표준 CSP 제작에 사용되는 것과 같은, 또는 유사한 틀을 이용하여 전체 스트립이나 어레이에 대해 수행될 수 있다. 그후 모듈은 표준 기술을 이용하여 스트립이나 모듈로부터 싱글레이션되어, 표준 CSP 포맷을 가진 모듈들을 형성한다.

[0080] 이 구조는 완전하게 패키징되고 테스트된 다이를 또다른 다이에 표준 CSP 포맷으로 적층시킬 수 있다. 한개 이상의 다이를 지닌 상부 LGA는 MCM에서 적층 이전에 "양품(good)"으로 판정받을 수 있다. "양품"으로 판정받지 못한 LGA는 적층 이전에 폐기되며, 따라서, 양품 물질들의 버려짐을 최소화시키고, 양품이 아닌 물질들에 대한 소모적인 처리 단계들을 방지할 수 있다.

[0081] 모듈로부터의 개선된 열 소산을 위해, 상부 패키지 위에 열 스프레더가 제공될 수 있다. 상부 열 스프레더는 열 전도 물질로 형성되며, 그 상부 표면의 중앙 영역은 MCM으로부터 효과적인 열 전달을 위해 MCM의 상부 표면에서 대기 환경에 노출된다. 상부 열 스프레더는 알루미늄이나 구리같은 금속 시트일 수도 있고, 또는 알루미늄 나이트라이드같은 임의의 열전도성 물질일 수 있다. 열 스프레더는 모듈을 커버할 수 있는 크기 및 형태를 가진다. 열 스프레더는 금속 함량을 증가시키기 위해 상부 패키지 위의 중앙 영역에서 더 두꺼울 수 있고, 주변부에서 더 얇을 수 있다. 따라서, z-인터커넥트 와이어 본드들과 간섭하지 않을 수 있다. 중앙 영역에서 더 두껍게 만들어질 경우, 열 스프레더는 상부 패키지의 상향 표면에 고정될 수 있다. 이러한 실시예에서, 열 전도성 접착제(전기절연성)가 선호된다. 또는, 와이어 본드 위치 내측의 패키지 상향 표면 위에 스페이서가 위치할 수 있고, 열 스프레더는 스페이서의 상부 표면에 고정될 수 있다. 이에 대한 대안으로, 열 스프레더가 몰딩될 수 있는데, 이에 따라, 접착제없이 앞서와 유사한 구조를 도출할 수 있다. 즉, 열 스프레더가 MCM 인캡슐란트에 들어가, 몰딩 물질 경화 프로세스 중 모듈의 상부 표면에 고정될 수 있다. 열 소산은 열-전도성(전기절연성) 몰딩을 이용하여 추가적으로 개선될 수 있다.

- [0082] 예를 들어, 두꺼운 중앙 영역을 가진 상부 열 스프레더가 상부 패키지의 상향 표면에 고정될 수 있다(도 4의 (40) 참조). 모듈의 구조는 도 2의 구조와 일반적으로 유사하다. 도 4의 상부 열 스프레더는 열전도성 물질의 평탄한 조각이며, 그 평탄한 상부 표면(401)의 중앙 영역은 모듈로부터 효율적 열 교환을 위해 주변 대기에 노출된다. 상부 열 스프레더는 상부 패키지(202)의 상향 표면 상의 와이어 본드 위치들 내측에 두꺼운 중앙 부분(402)을 가지며, 이 두꺼운 부분(402)은 접착제(403)를 이용하여 상부 패키지의 상향 사이트에 고정된다. 얇은 주변 부분(404)은 모듈의 가장자리로 뺄어나갈 수 있어서, 열 스프레더의 상부 표면(401)이 모듈의 모든 상부 표면을 구성하게 된다. 열 스프레더의 두께는 일부 실시예에서 0.2~0.6 mm 범위이며, 통상적으로 0.4 mm이다. 상부 열 스프레더는 예를 들어 금속으로 만들어질 수 있다. 가령, 구리나 알루미늄으로 만들어질 수 있다. 상부 열 스프레더가 구리로 만들어질 경우, 하부 표면은 아래 부착 물질에 대한 접착성 개선을 위해 블랙 옥사이드(black oxide)를 가지도록 열처리되는 것이 바람직하다. 노출된 상부 표면은 블랙 옥사이드를 형성하도록 처리될 수 있다. 또는, 마테 니켈(matte nickel)(plate) 표면이 제공될 수 있다. 부가적으로, 접착제(403)는 열전도성 접착제일 수 있다. 가령, 열전도성 에폭시일 수 있다. 이에 따라, 개선된 열 소산을 제공할 수 있다. 그리고 상부 패키지 기판이 상향 사이트에 노출된 전기적 특징부들을 가지는 실시예에서, 접착제는 전기절연성일 수 있다. 일반적으로, 상부 열 스프레더는 몰딩 물질이 MCM 캡슐화(MCM 몰딩)를 위해 주입되기 전에 상부 패키지에 고정된다. 상부 열 스프레더의 둘레는 MCM 몰딩 물질(427)로 캡슐화될 수 있다. MCM 몰딩(427)은 부가적으로 열전도성 물질(전기절연성)일 수 있다.
- [0083] 도 4의 실시예에서, 계단형 오목 특징부(405)가 열 스프레더의 주변부에 제공되어, 몰딩 화합물로부터 디래미네이션(delamination)(즉, 얇은 판상화)을 줄이면서 이 구조의 기계적 일체성을 개선시킬 수 있고, 또한, 열 스프레더의 상부에서 "몰드 플래시(mold flash)"를 제거할 수 있다. 몰드 플래시는 몰딩 프로세스 중 몰드 캐버티에서 열 스프레더 위의 몰딩 화합물의 흐름에 의해 야기된다. 몰딩 화합물의 필러(filler)는 열 스프레더의 계단형 특징부 상에 누적되고, 열 스프레더 상부에 대한 에폭시 흐름을 방지하는 댐(dam)을 형성한다. 몰드 플래시는 열 전도에 방해가 되며, 수용불가능하다. 본 예에서 제시되는 바와 같이 열 스프레더는 LGA 위에서 두껍고 와이어 본드 위에서 얇은 추가적인 특징부를 가진다. 이에 따라, 얇은 접착제를 이용하여 상부 패키지 위에 열 스프레더를 부착할 수 있다. 얇은 접착제는 금속에 비해 열 전도성이 낮아 열 소산을 증가시키기 때문에 얇은 접착제가 바람직하다.
- [0084] 열 스프레더는 다양한 두께를 제공하도록 열 스프레더 물질의 시트를 부분적으로 에칭함으로써, 그리고 에지를 형성하도록 완전히 에칭을 행함으로써 구현될 수 있다. 열 스프레더 물질의 스트립이나 시트의 어레이로 다수의 열 스프레더가 제작될 수 있고, 개별 열 스프레더들이 이후 분리될 수 있다.
- [0085] 추가적인 대안으로서, 도 2에서와 같은 MCM에는, 도 5의 (50)같은 상부 패키지 몰딩의 상부 표면에 부착되지 않은 평탄한 열 스프레더가 제공될 수 있다. 이러한 실시예에서, 도 4의 실시예에서처럼, 상부 열 스프레더는 금속 시트(가령, 구리나 알루미늄)같은 열 전도성 물질의 평탄한 조각일 수 있고, 평탄한 열 스프레더의 상부 표면(501)의 중앙 영역은 MCM으로부터의 효율적인 열 교환을 위해 주변 대기에 노출된다. 여기서, 열 스프레더는 상부 패키지(202) 상의 와이어 본드 위치들 내측에 더 두꺼운 중앙 부분(502)을 가질 수 있고(도 5), 가지지 않을 수도 있다. 대안으로, 간단한 평탄한 열 스프레더의 하부 표면과, 상부 패키지의 상부 표면 간의 공간은 MCM 몰딩의 박막층에 의해 충전될 수 있고, 이렇게 간단한 평탄한 열 스프레더는 몰딩 물질 경화 프로세스 중 MCM 인캡슐런트에 고정될 수 있다. 부착되지 않은 열 스프레더가 두꺼운 중앙 부분(502)을 가질 경우, 얇은 주변 부분(504)은 모듈의 가장자리로 뺄어갈 수 있고, 따라서, 열 스프레더의 상부 표면(501)이 모듈의 모든 상부 표면을 덮게 된다. 부착되지 않은 열 스프레더의 주변부는, 중앙이 두껍든, 간단한 평탄한 구조를 가지는 지 간에, MCM 몰딩 물질(527)로 캡슐화될 수 있다(도 4의 평탄한 열 스프레더 참조), 주변부에 계단형 오목 특징부(505)가 제공될 수 있어서, 몰딩 화합물(527)로부터 디래미네이션(delamination)(즉, 얇은 판상화)을 줄이면서 구조의 기계적 일체성을 향상시킬 수 있다.
- [0086] 열 스프레더를 구비한 MCM 구조는 상당한 열 개선을 제공할 수 있고, 모듈에 대한 전기적 차폐 기능을 제공할 수 있다. 이는 RF 및 디지털 칩을 조합하는 MCM의 경우에 중요하다.
- [0087] 본 발명에 따르면, 상부 패키지는 적층형 다이 패키지일 수 있고, 도 6의 (60)을 참조할 수 있다. 이 모듈의 구성은 도 2의 구성과 유사하다. 특히, 모듈(60)은 세계의 다이(214, 614, 624)를 포함하며, 적층된 다이(614, 624)들을 가진 역전된 LGA 패키지(602)는 하부 패키지(102)의 다이(214) 상에 적층된다. 하부 다이(214)는 도 2를 참고하여 앞서 설명한 방식과 같은 방식으로 기판(12)에 장착된다. 도 2의 실시예에서처럼, 하부 다이와 그 기판은 종래의 패키지에서처럼 제공될 수 있으나 몰딩이 없다. 즉, 여기서 제시되는 예에서, 하부 다이(214)는 BGA 기판(12)의 상향 사이트에 다이 부착 에폭시(13)를 이용하여 액티브 사이드를 상향으로 하여 장착된다. 또

한, 이 다이는 BGA 기관의 상부 금속층 상의 와이어 본드 위치들에 와이어 본딩된다. 솔더 볼(18)들은 하부 기관의 하향 사이트에 장착되어, 마더보드같은 하부 회로에 대한 제 2 레벨 인터커넥트를 제공한다. 따라서, 하부 다이와, 하부 다이가 장착되는 하부 기관은 표준 BGA 패키지를 구성할 수 있다. 이러한 다수의 패키지들은 한개의 스트립이나 어레이로 제작될 수 있다.

- [0088] 도 2의 실시예에서처럼, 모듈(60)에서, 스페이서(222)가 하부 다이(214)의 상향 (액티브) 표면에 접촉제(221)를 이용하여 고정된다. 스페이서는 고체 조각일 수 있고, 글래스나 더미 실리콘 칩일 수 있다. 스페이서 접촉제에 의해 간격이 제공될 수도 있다. 종래의 적층 다이 패키지에서처럼, 스페이서는 하부 패키지 와이어 본드(216)의 루프 높이를 수용하기에 충분한 스탠드오프를 제공하도록 충분히 두꺼워야 한다. 더미 다이같은 솔리드 스페이서가 사용된 경우에는, 스페이서의 풋프린트가 다이 패드 위치나 그 근처에서 와이어 본드와 접촉하지 않도록 충분히 작아야 한다.
- [0089] 역전된 LGA 패키지(602)는 적층된 제 1 다이(614)와 제 2 다이(624)를 포함하며, 이들은 스페이서(622)에 의해 서로 이격된다. 적층된 다이 패키지(602)는 종래의 적층 다이 패키지처럼 제공될 수 있다(도 1 참조). 도 6에서, 제 1 다이(614)는 다이 부착 접촉제(613)를 이용하여 기관(612)에 장착되고, 다이(614)는 와이어 본드(626)에 의해 기관(612)에 전기적으로 연결된다.
- [0090] 다양한 기관 종류 중 임의의 것이 사용될 수 있다. 가령, 2-6개의 금속층을 가진 래미네이트, 4-8개의 금속층을 가진 빌드-업 기관, 1-2개의 금속층을 가진 가요성 폴리이미드 테이프, 또는 세라믹 다층 기관 등이 사용될 수 있다. 도 6에서 제시된 기관(612)은 유전층의 양면에 두개의 금속층을 가지며, 각각의 금속층은 패터닝되어 적절한 회로를 제공하게 되고, 바이어를 이용하여 유전층을 통해 연결된다.
- [0091] 제 1 다이(614)는 다이 부착 에폭시라 불리는 접촉제(213)(도 6)를 이용하여 기관의 표면에 종래 방식대로 부착되며, 도 6의 구조에서, 다이가 접합되는 기관의 표면은 상부 표면이라 불릴 수 있으며, 이 표면 위의 금속층은 상부 금속층이라 불릴 수 있다. 그렇지만 다이 부착 표면이 어떤 특정 방향성을 가져야 하는 것은 아니다. 특히, 이 모듈에서, 적층 다이 패키지(602)는 역전되어, 기관(612)의 다이 부착 표면이 하향을 향한다. 스페이서(622)는 접촉제(621)에 의해 제 1 다이(614)의 액티브 표면에 고정되고, 제 2 다이(624)는 접촉제(623)에 의해 스페이서(622)의 반대쪽 표면에 고정된다.
- [0092] 도 6의 적층 다이 패키지(602)에서, 다이들은 기관의 상부(즉, 모듈이 역전되었을 때 하향을 향하는) 금속층 위의 와이어 본드 위치에 와이어본딩되어, 전기적 연결을 구성한다. 와이어 본드(626)들은 제 1 다이(614)를 기관에 연결하고, 와이어 본드(646)들은 제 2 다이(624)를 기관에 연결한다. 다이(614, 624)와 와이어 본드(626, 646)는 몰딩 화합물(617)로 몰딩되며(통상적으로 어레이 몰딩 및 소 싱귤레이션(saw singulation)에 의해 몰딩되어, 표준 "칩 스케일 패키지"를 구성), 이 몰딩 화합물(617)은 주변 환경 및 기계적 응력으로부터 소자들을 보호하고, 처리 조작을 촉진시킨다. 또한, 식별용 마킹을 위한 표면을 제공한다.
- [0093] 잘 알려진 바와 같이, 적층 다이 패키지(602)의 와이어 본드(626)는 특징적인 "루프 높이(loop height)"를 가진다. 이 루프 높이는 와이어 본딩 프로세스의 매개변수이며, 제 2 다이와의 임팩트에 의한 와이어 본드의 손상을 방지하기 위해 제 2 다이(624) 및 제 1 다이(614) 사이에 충분한 간격이 제공되어야 한다. 따라서, 제 1 다이(614) 위에 제 2 다이(624)를 지지하기 위해 스페이서(622)가 촉반이 형태로 제공된다. 스페이서는 그 둘레에서 와이어 본드에 접촉하지 않을 만큼 충분히 좁게 만들어지고, 와이어 루프 위에 제 2 다이를 유지하기에 충분한 간격을 제공할만큼 두껍게 만들어진다. 즉, 스페이서 자체는 와이어와 접촉하지 않으며, 스페이서는 제 1 다이와 제 2 다이 사이에 충분한 거리를 제공하여, 제 2 다이의 하향면이 와이어 본드(626)를 손상시키지 않게 된다.
- [0094] 역전된 패키지(602)는 와이어 본드(636)에 의해 하부 기관(102)에 전기적으로 상호연결된다(z-인터커넥트). 상부 패키지(602), 하부 다이(214) 및 스페이서(222), 와이어(236, 216), 그리고 기관(12)의 다이 부착 표면이 모듈 인캡슐런트(627)로 캡슐화된다.
- [0095] 스페이서(222, 622)들 중 한개 또는 두개 모두가 더미 실리콘 다이나 글래스같은 고체 물질일 수 있다. 또는, 한개 또는 두개 모두가 접촉형 스페이서일 수 있다(도 2에 관한 설명 참조).
- [0096] 솔더 볼(18)들이 BGA 하부 패키지 기관의 하부 금속층 위 본딩 패드로 리플로(reflow)되어, 컴퓨터나 이동 통신 기기같은 최종 제품의 마더보드(도시되지 않음)에 상호연결을 제공한다. 솔더 마스크(125, 127)들은 금속층(121, 123) 위에서 패터닝되어, 전기적 연결을 위한 본딩 위치에서 하부 금속을 노출시킨다. 가령, 와이어 본드(636, 216)와 솔더 볼(18)들을 본딩하기 위한 와이어 본드 위치 및 본딩 패드들을 노출시킨다.

- [0097] 발명의 일부 실시예에서, 추가 다이가 제 2 역전 패키지 위에 적층될 수 있다. 도 7 및 도 8을 참조할 수 있다.
- [0098] 도 7은 본 발명의 한 태양에 따른 멀티-칩 모듈(MCM)(70)을 도시한다. 이 경우에 역전된 LGA 패키지(202)가 스페이서에 의해 이격되는, BGA 패키지(102)의 다이(214) 위에 적층된다. 또한, 추가적인 다이(724)가 LGA 패키지 기판(212)에 장착되고 그 상향 사이트에 와이어 본딩된다. 도 7의 실시예의 일부 특징들은 도 2의 특징들에 대응한다. 추가 다이(724)는 접착제(713)를 이용하여 기판(212) 표면에 고정되고, 와이어 본드(726)에 의해 기판(212)의 상향 사이트 상의 트레이스에 전기적으로 연결된다. 노출된 하부 패키지 기판(12)의 상향 사이트와 그 위에 장착된 모듈의 부분들은, 몰딩(727)에 의해 캡슐화된다. 두개 이상의 이러한 추가 다이가 제 2 역전 패키지 위에 적층될 수 있고, 인접한 다이들은 스페이서에 의해 이격된다.
- [0099] 도 8은 본 발명의 한 태양에 따른 멀티-칩 모듈(MCM)(80)을 도시한다. 이 경우에 역전된 LGA 패키지(202)가 스페이서에 의해 이격되는, BGA 패키지(102)의 다이(214) 위에 적층된다. 또한, 추가적인 다이(824)가 LGA 패키지 기판(212)의 상향 사이트에 플립 칩 방식으로 장착된다. 도 8의 실시예의 일부 특징들은 도 2의 특징들에 대응한다. 추가 다이(824)는 범프(가령, 골드 범프)나 볼(가령, 솔더 볼(826))을 이용하여 기판(212)의 상향 사이트 상의 트레이스에 상호연결된다. 기판(212)의 상향 사이트와 다이(824)의 하향 (액티브) 사이트 간에 공간을 언더필(underfill)(813)이 채워, 플립 칩 부착을 강화시키고 범프나 볼, 기판 표면, 그리고 다이의 전자적 특징부들을 보호한다. 노출된 하부 패키지 기판(12)의 상향 사이트와 그 위에 장착된 모듈의 부분들은 몰딩(827)에 의해 캡슐화된다.
- [0100] 발명의 일부 실시예에서, 추가 다이가 제 2 (상부) 역전 패키지 위에 적층될 수 있다(도 9 및 도 10 참조).
- [0101] 도 9는 본 발명의 한 태양에 따른 멀티-칩 모듈(MCM)(90)을 도시한다. 이 경우에 역전된 LGA 패키지(202)가 스페이서에 의해 이격되는, BGA 패키지(102)의 다이(214) 위에 적층된다. 또한, 추가적인 역전 LGA 패키지(902)가 LGA 패키지 기판(212)의 상향 사이트에 역전되어 장착된다. 도 9의 실시예의 일부 특징들은 도 2의 특징들에 대응한다. 본 예의 추가 패키지(902)는 LGA 패키지이다. 이는 접착제를 이용하여 기판(912)에 장착되는 다이(924)를 포함하고, 다이(924)는 와이어 본드에 의해 기판(912)에 전기적으로 연결된다. 다이(924)와, 기판(912)의 하향 (상부) 표면, 그리고 와이어 본드들은 몰딩(927)으로 캡슐화된다. 추가 LGA 패키지(902)는 와이어 본드(936)에 의해 제 2 (상부) 패키지(202) 기판(212)에 전기적으로 상호연결(z-인터커넥트)된다. 또는, 추가 LGA 패키지(902)가 제 2 패키지 기판과 제 1 패키지 기판에 모두 전기적으로 연결될 수 있다.
- [0102] 도 10은 본 발명의 한 태양에 따른 멀티-칩 모듈(MCM)(100)을 도시한다. 이 경우에 역전된 LGA 패키지(202)가 스페이서에 의해 이격되는, BGA 패키지(102)의 다이(214) 위에 적층된다. 또한, 추가적인 BGA 패키지(1002)가 LGA 패키지 기판(212)의 상향 사이트에 장착된다. 도 10의 실시예의 일부 특징들은 도 2 및 도 9의 특징들에 대응한다. 추가 패키지(1002)는 BGA 패키지이다. BGA 패키지(1002)는 접착제를 이용하여 기판(1012)에 장착되는 다이(1014)를 포함한다. 다이(1014)는 기판(1012)의 하부 사이트 상의 패터너리된 금속층의 볼 패드에게로 리플로되는 솔더 볼(1018)들에 의해 기판(1012)에 전기적으로 연결되며, 다이(1014)와, 이를 기판(1012)에 연결하는 와이어 본드들은 몰딩(1017)으로 캡슐화된다. 추가 BGA 패키지(1002)는 와이어 본드(1036)에 의해 제 1 (하부) 패키지(102) 기판(12)에 전기적으로 상호연결(z-인터커넥트)된다.
- [0103] 본 발명에 따른 멀티-칩 모듈에서 다양한 위치에 다양한 조립으로 다양한 반도체 칩들이 사용될 수 있다. 예를 들어 도 2를 참조할 때, 본 발명에 따른 MCM의 일례의 실시예에서, 하부 패키지는 프로세서일 수 있는 단일 다이(214)를 가질 수 있다. 이 프로세서는 ASIC, DSP, GPU(그래픽 프로세서), CPU 등일 수 있다. 이러한 모듈에서, 상부 패키지는 플래시 메모리 다이(NOR, NAND 타입 등), SRAM, SDRAM, MRAM, DRAM, DDRAM 다이 등등을 구성하는 한개 이상의 다이(224)를 포함하는 메모리 패키지일 수 있다. 또는, 상부 패키지가 한 종류의 이상의 메모리 다이(614, 624)들의 조합을 포함하는 적층 다이 메모리 패키지일 수 있다.
- [0104] 또는 도 2와 도 12의 예를 참고할 때, 본 발명에 따른 일례의 실시예에서, 모듈은 메모리 모듈일 수도 있다. 이러한 경우에, 하부 패키지는 DRAM 다이같은 메모리 다이인 단일 다이(214)를 가질 수도 있고, 또는, 한개 이상의 메모리 종류를 포함할 수 있는 다이(214, 1214)의 스택일 수도 있다. 이러한 실시예에서, 역전된 상부 패키지는 한개 이상의 메모리 종류의 한개 이상의 다이(도 2의 224, 도 6의 614, 624)를 가질 수 있고, 통상적으로 상부 패키지는 플래시 메모리 패키지이거나, 플래시와 그외 다른 메모리 종류의 조합을 구성한 패키지이다. 본 발명에 따르면, 여러 다른 메모리 종류들이 여러 다른 공급자에 의해 제공되는 것이 일반적이며, 여러 다른 테스트 방법 및 기준을 이용하여 테스트되기 때문에, 뎀프 종류들을 조합할 때 장점이 실현된다. 하부 패키지 다이가 DRAM 다이인 경우, 그래서 "잘 알려진 양품 다이(known good die)"로 제공될 경우, 그 성능 매개변수는 다이가 기판에 장착될 때 변화하며, 이러한 다이를 포함하는 하부 패키지는 다른 메모리 다이와 함께 DRAM 다이를



가진 멀티칩 모듈에 사용되기 전에 다시 테스트되어야 한다. 이러한 테스트는 본 발명에 따라 촉진된다.

- [0105] 도 8의 예의 모듈에서, 하부 패키지 다이(214)는 프로세서(가령, CPU, DSP, GPU)일 수 있고, 역전된 패키지 다이(224)와 추가 다이(824)는 메모리 다이일 수 있으며, 다이(224, 824) 중 하나는 초고속 메모리 소자(가령, DDR, DRAM 다이)일 수 있고, 나머지는 비휘발성 메모리 소자(가령, 플래시 메모리 다이)일 수 있다.
- [0106] 도 9의 예의 모듈에서, 추가 패키지(902)는 BCC나 QFN, 또는 테이프-기판에 기반한 LGA 패키지일 수 있다. 이 모두는 일반적으로 "LGA" 패키지라 불린다. 하지만, 종래의 LGA 패키지는 상호연결 패드의 주변 어레이와 함께 영역 어레이를 포함하는 것이 일반적이다(도 3B 참조). 종래의 BCC나 QFN 패키지들은 상호연결을 위해 주변 패드들만을 가질 수 있다.
- [0107] 도 10의 모듈들의 장점은 추가 BGA 패키지(1002)가 종래의 BGA 패키지(가령, 기성 BGA 메모리 패키지) 일 수 있다는 점이다. 이는 특정 최종 애플리케이션이 요구하는 바에 따라 본 발명에 따른 모듈에 용이하고 유연하게 적용될 수 있다.
- [0108] 발명의 일부 실시예에서, 제 2 (상부) 역전 패키지 위에 적층되는 추가 구성은 광센서 다이(가령, 이미징 다이)일 수 있다(도 11 참조).
- [0109] 도 11은 본 발명에 따른 멀티칩 모듈(110)의 한 예를 도시한다. 이 경우에는 역전된 LGA 패키지(202)가, 스페이서에 의해 이격되는, BGA 패키지(102)의 다이(214) 위에 적층되며(도 2 참조), CMOS 센서 다이같은 추가 다이(1184)가 LGA 패키지 기판(212)의 상향 사이트에 장착된다. 도 11의 실시예의 일부 특징들은 도 2의 특징들에 대응한다. 추가 다이(1124)는 접착제(1113)를 이용하여 기판(2120)의 상향 사이트에 장착된다. 다이(1124)는 와이어 본드(1126)에 의해 기판(212)에 전기적으로 연결된다. 와이어 본드(1126)와 다이(1124)의 가장자리 부분, 역전된 패키지(202)와 다이(214)의 노출된 부분, 다이(214)와 패키지(202) 간의 스페이서, 그리고 다이(214)와 기판(212)간의 와이어 본드, 그리고 z-인터커넥트 와이어 본드(236)를 몰딩(1127)이 캡슐화한다. 추가 다이(1124)의 액티브 표면의 감광 영역(1128)은 몰딩(1127)으로 덮이지 않는다. 퀴츠나 글래스, 또는 투명 폴리머같은 투명 윈도우(1180)가 다이(1124)의 덮이지 않은 감광 영역(1128)에 놓여, 다이의 감광 영역 위의 공간(1184)을 덮는다. 이 공간은 건식 공기, 또는 질소같은 기체나 기체 혼합물로 충전될 수 있다. 렌즈같은 광학 소자가 광이나 이미지를 윈도우(1124)와 공간(1184)을 통해 다이(1124)의 감광 영역(1128)에 전달하도록 제공될 수 있다. 이러한 패키지(110)에서, 역전된 패키지(202)는 가령, 메모리 패키지일 수 있고, 하부 다이(214)는 GPU같은 프로세서일 수 있다. 이러한 실시예에서, 모듈(110)은 이동 통신 장치같은 휴대용 기기에 사용하기에 적합한 카메라의 코어를 구성한다.
- [0110] 발명의 다른 실시예에서, 하부 패키지는 도 12에 도시되는 바와 같이 서로의 위치 적층되는 두개 이상의 다이를 포함할 수 있다. 도 12에서, 다이(214)는 기판(12)에 장착되며, 와이어 본드(216)에 의해 기판(12)의 트레이스에 상호연결된다. 제 2 다이(1214)가 다이(214) 위에 적층되어, 와이어 본드(1216)에 의해 기판(12)에 상호연결된다. 다이(1214, 214) 사이에 스페이서(1222)가 삽입되어, 와이어(216)의 루프 높이를 위한 틈새를 제공한다. 스페이서(1222)는 접착제(1221)에 의해 다이(214)의 상향 표면에 고정되며, 다이(1214)는 접착제(1223)에 의해 스페이서(1222)의 상향 표면에 고정된다. 역전된 패키지(202)가 다이(1214) 위에 장착되어, 스페이서(222)에 의해 이격된다. 스페이서(222)는 접착제(221)에 의해 다이(1214)의 상향 표면에 고정된다. 역전된 패키지(202)는 기판(12)에 와이어 본드(1236)에 의해 상호연결되며, 이 모듈은 몰딩(1227)으로 캡슐화된다.
- [0111] 도 13은 도 2에서와 같은 모듈을 제작하기 위한 본 발명에 따른 조립 프로세스의 단계들을 도시하는 순서도이다. 하부 다이는 하부 기판에 부착되고 와이어 본딩된다(단계 1301, 1302, 1303, 1304). 스페이서가 하부 다이 위에 고정된다(단계 1305, 1306). 역전된 상부 패키지가 스페이서 위에 고정된다(단계 1307, 1308). 플라즈마 세척 단계(1309)가 수행되어, z-인터커넥트 와이어 본딩(1310)을 위한 와이어 본드 위치들을 만들고, 이어서, 추가적인 플라즈마 세척(1321)에 의해, 몰딩의 양호한 접촉을 위한 모든 표면들을 만든다. 그후 몰딩이 도입되어 경화된다(단계 1322, 1323). 솔더 볼들이 부착되고(단계 1324), 모듈들이 스트립으로부터 잘려나간다(singulation)(단계 1325)
- [0112] 도 14는 도 4에서와 같은 모듈을 제작하기 위한 본 발명에 따른 조립 프로세스의 단계들을 도시하는 순서도이다. 이 모듈은 상부 패키지의 상향 사이트에 열 스프레더가 고정되어 있다. 단계 1301~1310까지의 z-상호연결 완료 이전의 프로세스는 도 13의 프로세스와 유사하다. 여기서, z-상호연결 이후, 상부 LGA 패키지의 상향 사이트에 접착제가 도포되고, 접착제 위에 열 스프레더가 배치된다(단계 1411). 그후 접착제가 경화된다(단계 1412). 그후 추가적인 플라즈마 세척(1421)이 진행되어, 모든 표면들이 몰딩과 양호하게 접촉할 수 있게 한

다. 몰딩이 도입되고 경화된다(단계 1422, 1423). 그후 솔더 볼들이 부착되고(단계 1424), 모듈들이 스트립으로부터 잘려나간다(단계 1425).

- [0113] 도 15는 도 5에서와 같은 모듈을 제작하기 위한 본 발명에 따른 조립 프로세스의 단계들을 도시하는 순서도이다. 이 경우에 상부 패키지 위의 몰딩에는 열 스프레더가 포함되어 있다. 단계 1301~1310에 해당하는 z-상호연결 완성까지의 프로세스는 도 13이나 도 14의 프로세스와 유사하다. 여기서, z-상호연결 이후, 열 스프레더가 몰드 캐버티 내로 제공된다(단계 1511). 캐버티 내 열 스프레더 위에 스택이 배치되고, 그후 몰딩이 도입되고 경화된다(단계 1522, 1523). 그후 솔더 볼들이 부착되고(단계 1524), 모듈들이 스트립으로부터 잘려나간다(단계 1525).
- [0114] 이 방법들은 기구축되어 있는 제작 인프라스트럭처를 활용할 수 있고, 새로운 방법 및 틀을 필요로하는 다른 스택 패키지 구조에 비해 저렴한 제작 비용을 제공할 수 있다.
- [0115] 본 발명에 따라 제작된 모듈들은 유사한 적층 다이 패키지들에 비해 저렴한 비용을 가질 수 있다. 조립 이전에 상부 패키지의 상부 다이가 테스트될 수 있기 때문이며, 차후 처리를 위해 "양품"으로 판정받은 패키지들만이 선택될 수 있기 때문이다. 재료 및 프로세스 폐기물이 이에 따라 감소한다.
- [0116] 또한, 본 발명에 따른 모듈들은 유사한 적층 다이 패키지에 비해 신뢰성이 높다. 왜냐하면, 본 발명에 사용된 상부 패키지들이 다른 적층 다이 패키지에서보다 엄격한 신뢰성 테스트를 받을 수 있기 때문이다. 특히, 상부 패키지가 메모리 다이를 포함할 때 메모리 "번-인(burn-in)" 테스트가 수행될 수 있다.
- [0117] 또한, 순수 다이(bare die)에 비해 패키징된 다이들이 여러 다른 공급자로부터 용이하게 공급될 수 있다. "KGD"(Known Good Die)는 비싸고 확보가 어렵다.
- [0118] 본 발명의 모듈에서 z-인터커넥트를 위해 와이어 본딩을 이용함으로써, 적층 패키지들 간에 다른 z-인터커넥트를 이용하는 적층 패키지 기술에 비해 추가적인 장점들이 제공된다. 와이어 본딩은 당해 산업 분야에서 잘 정립된 기술이고 가장 저렴한 구조를 제공한다. 와이어 본딩 프로세스가 프로그래밍가능하기 때문에, 와이어 본딩 프로세스는 설계 변화에 대해 높은 유연성을 보인다. 또한 저비용의 기판 및 조립 틀링을 제공한다. 현재 50 마이크론 피치에 해당하는 와이어 본딩의 정밀한 피치 속성으로 인해, LGA 및 CSP 기판 간에 높은 숫자의 인터커넥트를 제공할 수 있다. 이 기능은 고성능 및 설계 유연성으로 변환되는 경우가 잦다.
- [0119] 스페이서는 설계에 추가적인 유연성을 제공한다. 스페이서 기술은 작은 다이 위에 조립될 훨씬 큰 LGA를 가능하게 하며, 이는 하부 다이가 메모리인 경우에 특히 유용하다. 고주파수로 동작하는 대형 I/O 소자를 구비한 프로세서가 하부 다이일 경우, 다이는 일반적으로 더 작으며, 짧은 와이어 길이를 보장하도록 하부에 위치하여야 한다. 이는 낮은 인덕턴스를 위해 매우 바람직하며, 이에 따라, 높은 전기적 성능을 구현한다.
- [0120] 그외 다른 실시예들도 다음의 청구범위 내에 포함된다. 가령, 멀티칩 모듈의 패키지들 중 한개 이상인, "블루투스" 패키지라 불리는 단거리 라디오 패키지일 수 있다. 이 경우에, 블루투스 패키지는 한개 이상의 RF 칩과 한개 이상의 패시브 소자들을 포함할 수 있어서, 멀티-칩 모듈에서 다양한 소자들의 기능을 위한 단거리 무선 상호연결을 제공할 수 있다.

**도면의 간단한 설명**

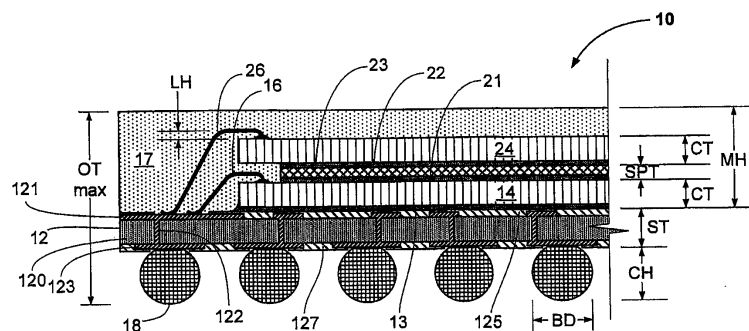
- [0042] 도 1은 종래의 적층 다이 패키지의 일부분을 도시하는 개략적 단면도.
- [0043] 도 2는 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 패키지 다이 상의 스페이서 위에 적층된 역전 LGA 패키지를 포함하는 본 발명에 따른 멀티-칩 패키지(MCM)의 개략적 단면도.
- [0044] 도 3A는 본 발명의 한 실시예에 따른 멀티-칩 패키지의 하부 패키지의 상향 사이드를 도시하는 개략적 평면도.
- [0045] 도 3B는 발명의 한 실시예에 따른 멀티-칩 패키지에서 상부 패키지의 하향 사이드를 도시하는 개략적 평면도.
- [0046] 도 4는 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 기판과, 하부 패키지 다이 상의 스페이서 위에 적층된 역전 LGA 패키지, 그리고 상부 패키지의 상향 사이트에 고정되는 열 스프레더를 포함하는, 본 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0047] 도 5는 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 패키지 다이 상의 스페이서 위에 적층된 역전 LGA 패키지, 그리고 상부 패키지 위에 모듈로 몰딩된 열 스프레더를 포함하는 본 발명의 한 실시예

에 따른 멀티-칩 패키지의 개략적 단면도.

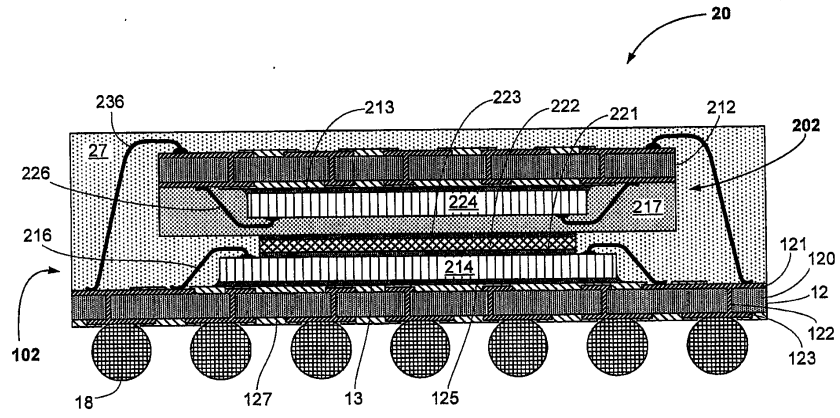
- [0048] 도 6은 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 패키지 다이 상의 스페이서 위에 적층된 역전 LGA 2-다이 적층 다이 패키지를 포함하는, 본 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0049] 도 7은 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 패키지 다이 상의 스페이서 위에 적층된 역전 LGA 패키지, 그리고 LGA 패키지와 하부 BGA 패키지 기판에 와이어 본딩됨으로서 연결되는, 역전된 LGA 패키지 상에 장착된 다이를 포함하는, 본 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0050] 도 8은 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 패키지 다이 상의 스페이서 위에 적층된 역전 LGA 패키지, 그리고 역전 LGA 패키지 상에 장착된 플립 칩 다이를 포함하는 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0051] 도 9는 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 다이 상의 스페이서 위에 적층된 제 1 역전 LGA 패키지, 그리고 제 1 역전 LGA 패키지와 하부 BGA 패키지 기판에 와이어 본딩됨으로서 연결되는, 제 1 역전 LGA 패키지 상에 장착된 추가적인 역전 LGA 패키지를 포함하는, 본 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0052] 도 10은 와이어 본딩된 다이 위에 스페이서를 구비한 하부 BGA 패키지와, 하부 패키지 다이 상의 스페이서 위에 적층된 제 1 역전 LGA 패키지, 그리고 하부 BGA 패키지 기판에 와이어 본딩됨으로서 연결되는, 제 1 역전 LGA 패키지 상에 장착된 추가적인 BGA 패키지를 포함하는, 본 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0053] 도 11은 역전 LGA 패키지가 BGA 패키지의 다이 위에 적층되는 본 발명에 따른 멀티-칩 모듈의 개략적 단면도.
- [0054] 도 12는 하부 2-다이 적층 다이 BGA 패키지와, 하부 패키지 다이 위에 적층되는 제 1 역전 LGA 패키지를 포함하는 발명의 한 실시예에 따른 멀티-칩 패키지의 개략적 단면도.
- [0055] 도 13은 발명의 한 실시예에 따른 멀티-칩 패키지 모듈을 제작하기 위한 공정 단계들의 순서도.
- [0056] 도 14는 발명의 또한가지 실시예에 따른 멀티-칩 패키지 모듈을 제작하기 위한 공정 단계들의 순서도.
- [0057] 도 15는 발명의 또한하나의 실시예에 따른 멀티-칩 패키지 모듈을 제작하기 위한 공정 단계들의 순서도.

**도면**

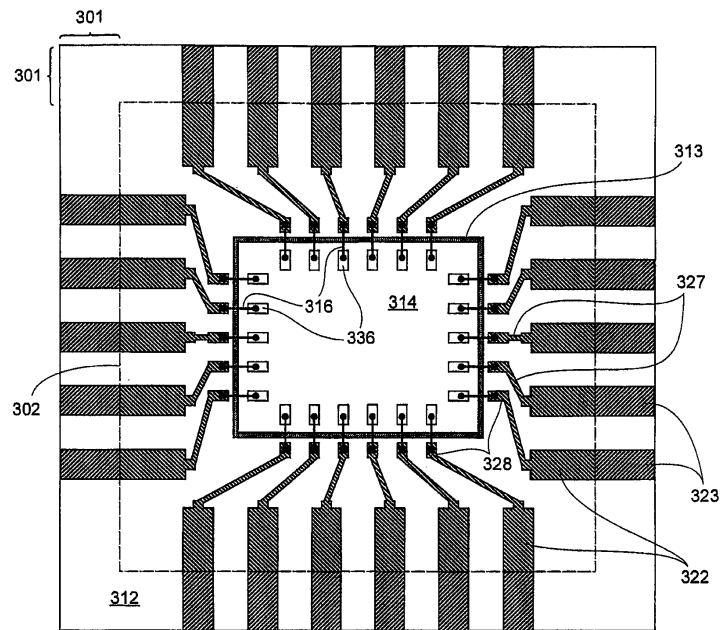
**도면1**



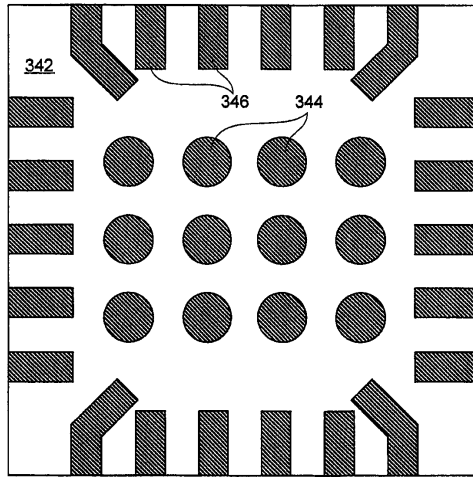
도면2



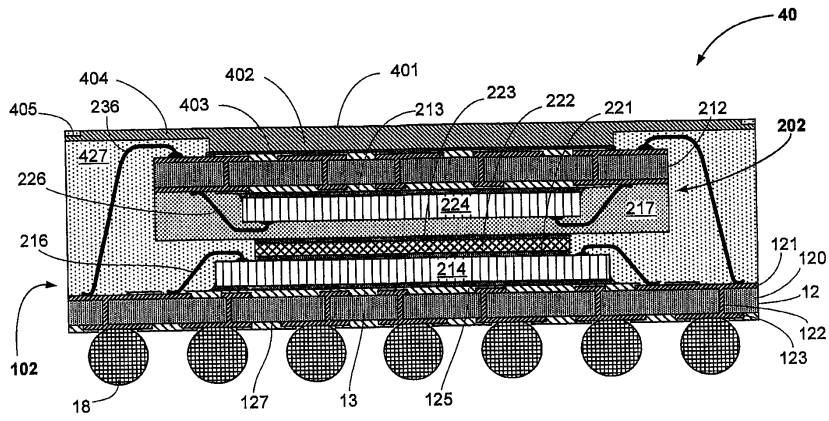
도면3a



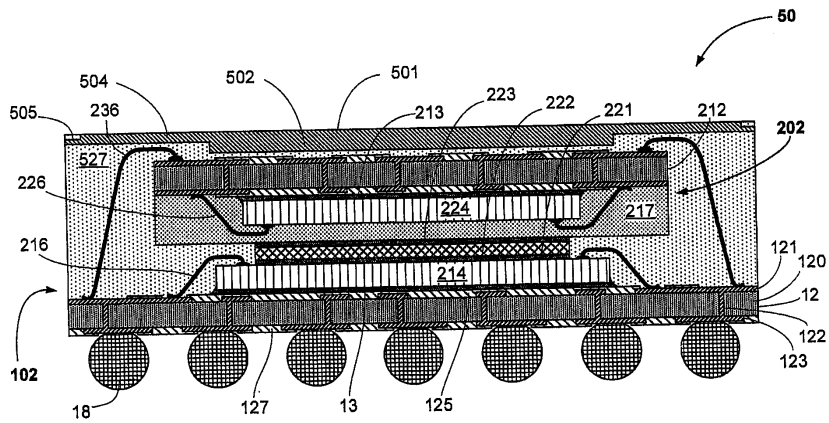
도면3b



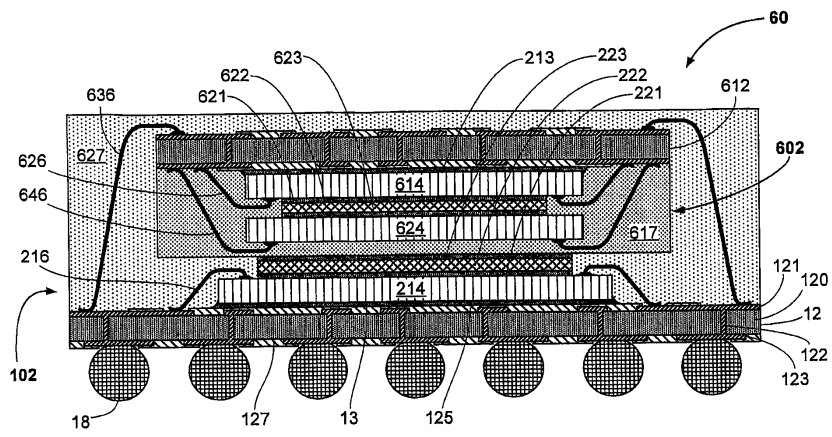
도면4



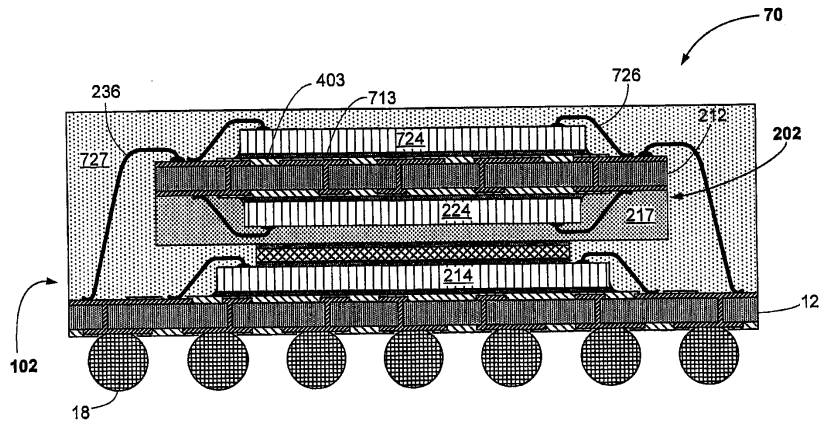
도면5



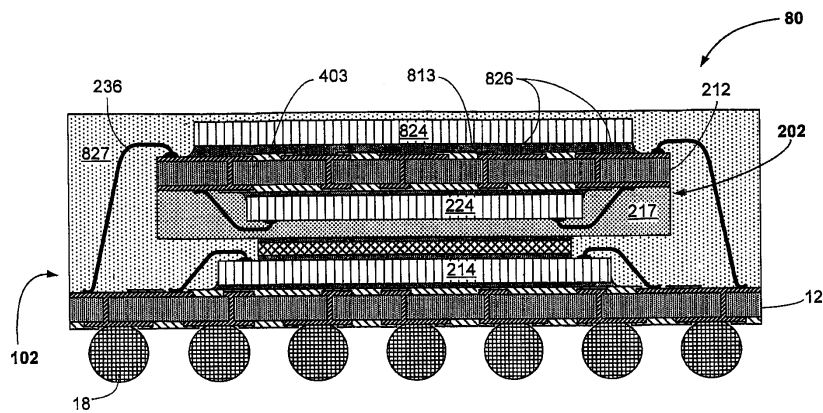
도면6



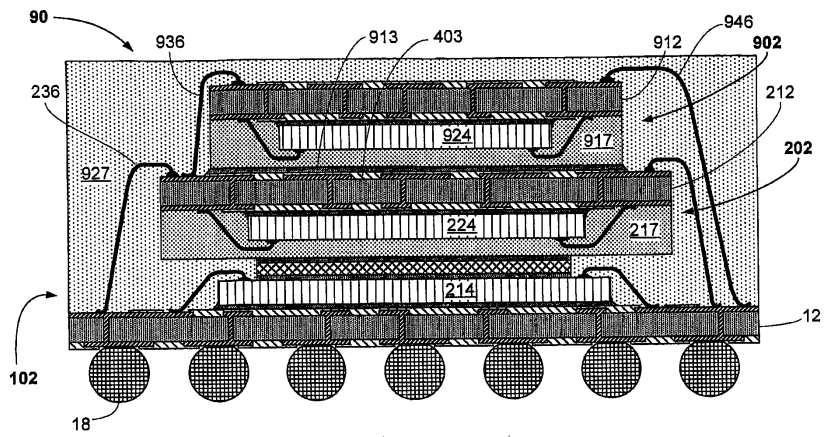
도면7



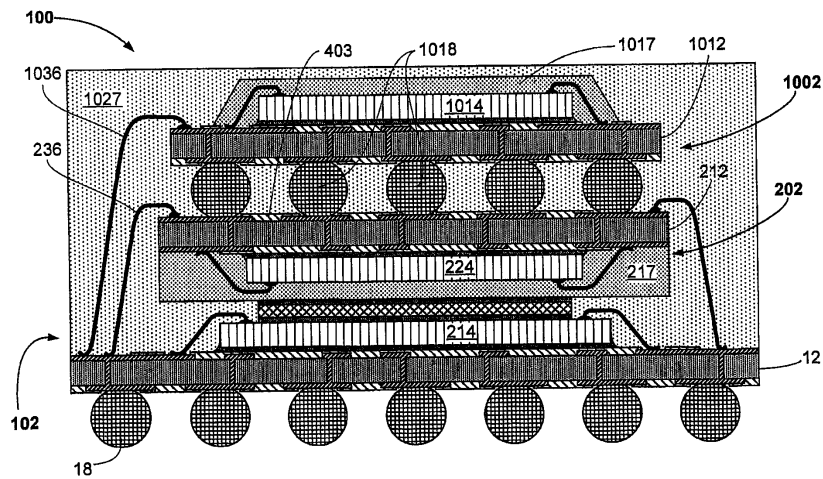
도면8



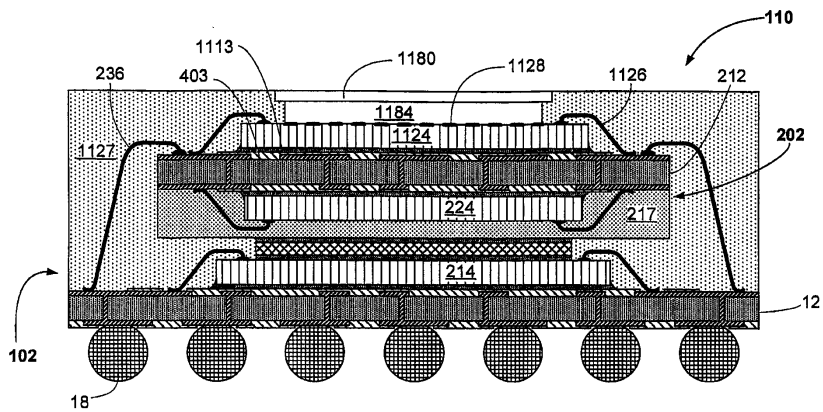
도면9



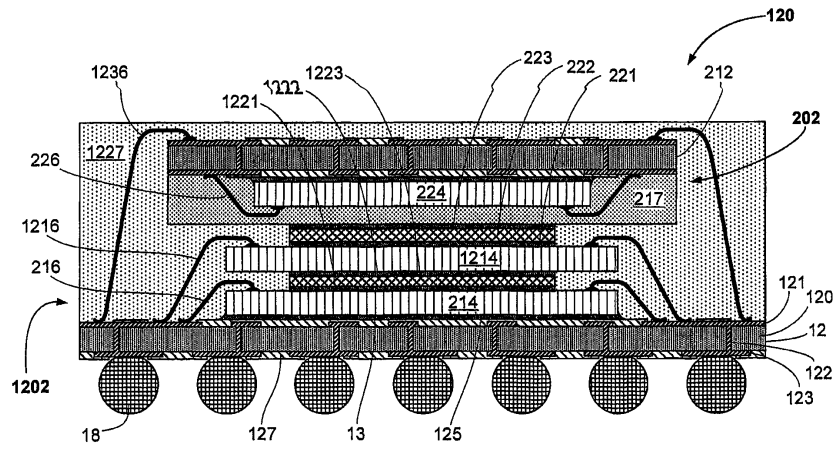
도면10



도면11

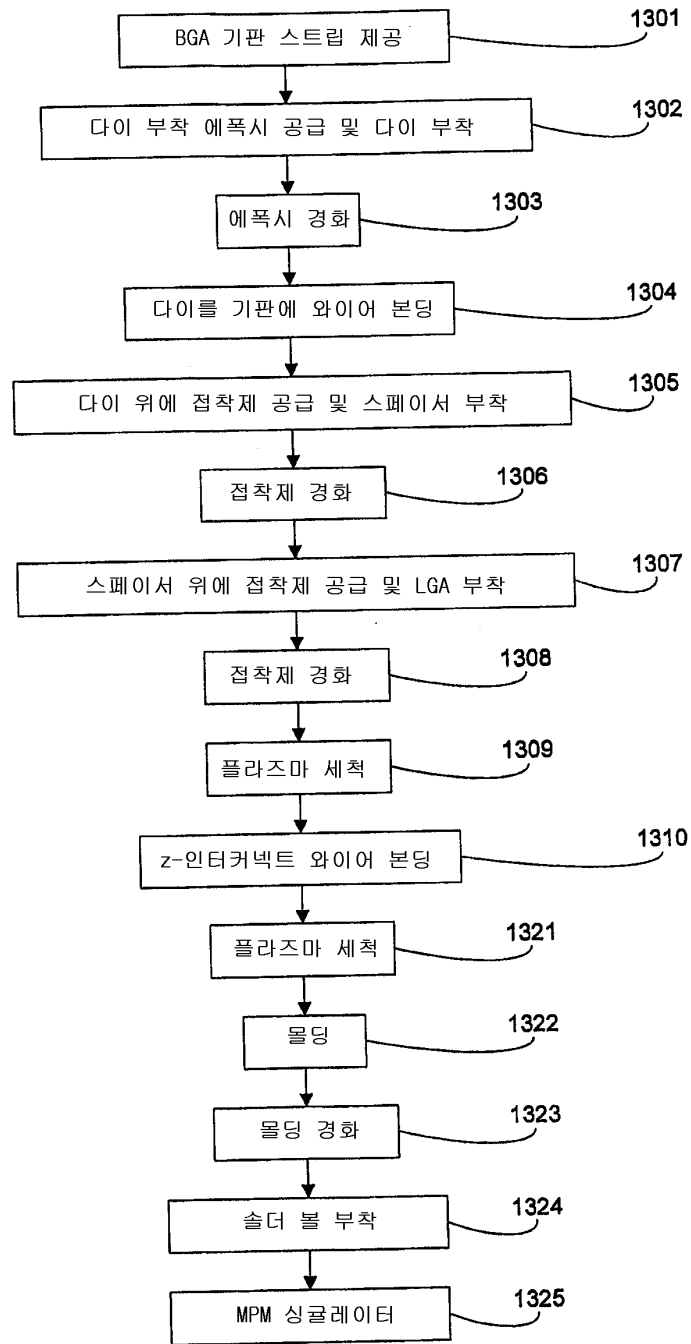


도면12

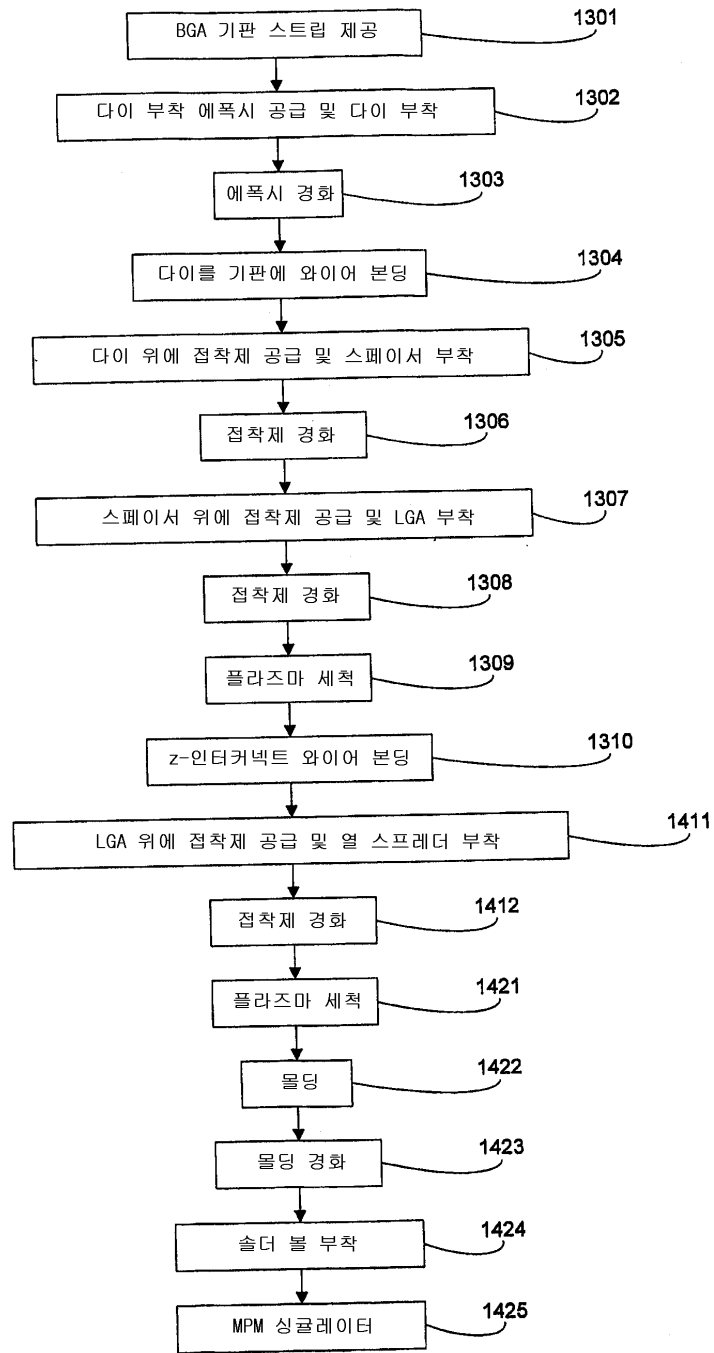




도면13



도면14



도면15

