

(19)



**Евразийское
патентное
ведомство**

(11) **017061**(13) **B1**(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2012.09.28

(51) Int. Cl. **H04L 27/26 (2006.01)**

(21) Номер заявки
201000754

(22) Дата подачи заявки
2008.10.29

(54) УСТРОЙСТВО И СПОСОБ ОБРАБОТКИ ДАННЫХ(31) **0721269.9; 0722645.9; 0722728.3**(56) EP-A1-1463256
RU-C1-2235429
US-B1-6353900(32) **2007.10.30; 2007.11.19; 2007.11.20**(33) **GB**(43) **2011.12.30**(62) **200802080; 2008.10.29**(71)(73) Заявитель и патентовладелец:
СОНИ КОРПОРЕЙШН (JP)(72) Изобретатель:
**Тейлор Мэтью Пол Атол, Агунгсири
Сэмюэль Асанбенг, Уилсон Джон
Николас (GB)**(74) Представитель:
Истомин С.В. (RU)

(57) Устройство обработки данных отображает входные символы, предназначенные для передачи, в заданное количество сигналов поднесущей ортогонально мультиплексированного с частотным разделением (ОМЧР) символа. Процессор обработки данных включает в себя запоминающее устройство перемежителя, которое считывает заданное количество символов данных для отображения на сигналы поднесущей ОМЧР. Запоминающее устройство перемежителя считывает символы данных на поднесущие ОМЧР для выполнения отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют из набора адресов, в результате чего символы данных перемежаются на сигналы поднесущей. Набор адресов генерируют из генератора адреса, который содержит линейный сдвиговый регистр с обратной связью и схему перестановок. Линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$, и код перестановки формирует с дополнительным битом адрес из двенадцати битов. Код перестановки изменяется от одного символа ОМЧР до другого, в результате обеспечивая улучшение перемежения символов данных для режима работы 4к системы модулированной ОМЧР, соответствующей стандарту Цифрового телевизионного вещания (ЦТВ), такому как стандарт Цифрового наземного телевизионного вещания 2 (ЦНТВ2). Это связано с тем, что снижается вероятность того, что последовательные биты данных, которые расположены близко друг к другу по порядку во входном потоке данных, будут отображены на одну и ту же поднесущую символа ОМЧР.

B1**017061****017061****B1**

Область техники, к которой относится изобретение

Настоящее изобретение относится к устройству обработки данных, которое во время работы отображает входные символы на сигналы поднесущей ортогонально мультиплексированного с частотным разделением (OFDM, ОМЧР) символа.

Настоящее изобретение также относится к устройству обработки данных, которое во время работы отображает символы, принятые из заданного количества сигналов поднесущих символов ОМЧР на выходной поток символов.

Варианты воплощения настоящего изобретения позволяют получить передатчик/приемник ОМЧР.

Уровень техники

В стандарте Цифрового наземного телевизионного вещания (DVB-T, ЦНТВ) используется ортогональное мультиплексирование с частотным разделением каналов (ОМЧР), для передачи данных, представляющих видеоизображения и звуки, в приемники через радиосигналы широковещательной передачи. Как известно, существуют две модели для стандарта ЦНТВ, которые известны как режим 2k и 8k. Режим 2k обеспечивает 2048 поднесущих, в то время как в режиме 8k предусматривается 8192 поднесущих. Аналогично, для стандарта Цифрового телевизионного вещания для мобильных телефонов (DVB-H, ЦТВМ) был предусмотрен режим 4k, в котором количество поднесущих составляет 4096.

Схемы кодирования с коррекцией ошибок, такие как кодирование LDPC/VCH (ПЧНП/БЧХ, код проверки на четность с низкой плотностью/код Боуэ-Чоудхури-Хоквингема), которые были предложены для ЦНТВ2, работают лучше, когда шумы и деградация значений символа в результате передачи данных не скоррелированы. Наземные широковещательные каналы могут вводить коррелированные затухания, как в области времени, так и в области частоты. При этом в результате разноса кодированных символов на различные сигналы поднесущих символов ОМЧР на как можно большее расстояние можно улучшить рабочие характеристики схем кодирования коррекции ошибок. Соответственно для улучшения целостности данных, передаваемых с использованием ЦНТВ или ЦТВМ, предусмотрен перемежитель символов для перемежения символов входных данных, и эти символы отображают на сигналы поднесущих символа ОМЧР. Такой перемежитель символов содержит запоминающее устройство перемежителя и генератор адреса. Перемежитель выполнен с возможностью считывания в запоминающее устройство перемежителя символов данных для отображения на сигналы поднесущей ОМЧР и считывания из запоминающего устройства символов данных для поднесущих ОМЧР, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание из запоминающего устройства, причем этот порядок определяют по набору адресов, которые генерирует генератор адреса. Для режима 2k и для режима 8k были раскрыты компоновки генерирования адресов в стандарте ЦНТВ для отображения. Аналогично, для режима 4k в стандарте ЦТВМ была предусмотрена компоновка генерирования адресов для отображения, и генератор адреса для воплощения этого отображения раскрыт в заявке на европейской патент 04251667.4. Генератор адреса содержит линейный сдвиговый регистр с обратной связью, который во время работы генерирует псевдослучайную последовательность битов и схему перестановки. Схема перестановки выполняет перестановку порядка содержания линейного сдвигового регистра с обратной связью для генерирования адреса. Адрес предоставляет обозначение местоположения в запоминающем устройстве перемежителя для записи входного символа данных в или считывания входного символа данных из запоминающего устройства перемежителя для отображения на один из сигнала поднесущей символа ОМЧР. Аналогично, генератор адреса в приемнике выполнен с возможностью генерировать адреса запоминающего устройства перемежителя для записи принятых символов данных в или считывания символов данных из запоминающего устройства перемежителя для формирования выходного потока данных.

В соответствии с дальнейшим развитием стандарта Цифрового наземного телевизионного вещания, известного как ЦНТВ2, возникла потребность улучшить передачу данных и, более конкретно, предоставить улучшенную компоновку для перемежения символов данных на сигналы поднесущих символов ОМЧР.

Сущность изобретения

В соответствии с аспектом настоящего изобретения предложено устройство обработки данных, выполненное с возможностью отображать входные символы, предназначенные для передачи, на заданное количество сигналов поднесущей ортогональных мультиплексированных с частотным разделением (ОМЧР) символов. Устройство обработки данных содержит перемежитель, во время работы считывающий в запоминающее устройство заданное количество символов данных, для отображения на сигналы поднесущей ОМЧР, и считывания из запоминающего устройства символов данных для поднесущих ОМЧР для выполнения отображения, причем считывание из запоминающегося устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего осуществляют перемежение символов данных на сигналы поднесущих. Устройство обработки данных включает в себя генератор адреса, который во время работы генерирует набор адресов, причем адрес генерируют для каждого из символов входных данных для отображения символов входных данных на сигналы поднесущей. Генератор адреса содержит линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра, которые во время работы генерируют псевдослучайную последовательность битов в соответствии с полиномом генератора, схему пере-

становки, выполненную с возможностью принимать содержание каскадов сдвигового регистра и выполнять перестановку порядка битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки, для формирования адреса одной из поднесущих ОМЧР, и модуль управления, выполненный с возможностью совместно со схемой проверки адреса, повторно генерировать адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес. Заданный максимальный действительный адрес приблизительно равен четырем тысячам, линейный сдвиговый регистр обратной связи имеет одиннадцать каскадов регистра и полином генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$, и порядок перестановки формирует с дополнительным битом тринадцать адресов битов. Устройство обработки данных отличается тем, что схема перестановки выполнена с возможностью изменения кода перестановки, на основе которого осуществляют перестановку порядка битов каскадов регистра для формирования набора адресов от одного символа ОМЧР к другому. Варианты воплощения настоящего изобретения позволяют сформировать устройство обработки данных, которое выполняет работу перемежителя символов, для отображения символов данных, предназначенных для передачи на символ ОМЧР, имеющий, по существу, четыре тысяч сигналов поднесущей, которое может обеспечить улучшение целостности передаваемых данных. Улучшение обеспечивается в результате изменения кода перестановки, который используют для изменения порядка битов в сдвиговом регистре с обратной связью от одного символа ОМЧР к другому. Например, используемый код перестановки может представлять собой один из последовательности разных кодов перестановки, которые циклически повторяются для каждого из множества символов ОМЧР. В результате обеспечивается улучшение, состоящее в уменьшении вероятности того, что последовательные биты или биты данных, которые расположены близко друг к другу по порядку во входном потоке данных, будут отображены на одну и ту же поднесущую символа ОМЧР, в результате чего кодирование для коррекции ошибки может работать более эффективно.

В одном варианте воплощения количество сигналов поднесущих может представлять собой величину, по существу, от двух тысяч до четырех тысяч девяносто шесть. Кроме того, символ ОМЧР может включать в себя поднесущие пилотных последовательностей, которые выполнены с возможностью переноса известных символов, и заданный максимальный действительный адрес может зависеть от количества пилотных символов поднесущих, присутствующих в символе ОМЧР. При этом в режиме 4k может быть предусмотрен эффективный перемежитель символов, например, для стандарта DVB (ЦТВ, цифровое телевидение), такого как ЦНТВ2, ЦНТВ или ЦТВМ.

В одном примере последовательность разных кодов перестановки формирует адрес $R_i[n]$ из тринадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

Хотя последовательность кодов перестановки может включать в себя любое количество кодов перестановки, в одном примере используются два кода перестановки. В одном примере эти два кода перестановки представляют собой

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

Например, приблизительно четыре тысячи поднесущих могут быть предусмотрены как один из множества режимов работы, приблизительно четыре тысячи поднесущих обеспечивают половину или меньше чем половину максимального количества поднесущих символов ОМЧР в любом из режимов работы. Входные символы данных могут быть сформированы в или могут рассматриваться, как первые наборы входных символов данных для отображения на первые символы ОМЧР и вторые наборы входных символов данных для отображения на вторые символы ОМЧР. Устройство обработки данных во время работы может выполнять перемежение входных символов данных как из первого, так и из второго наборов в соответствии с процессом нечетного перемежения. Процесс нечетного перемежения включает в себя запись первых наборов входных символов данных в первую часть запоминающего устройства перемежителя в соответствии с порядком следования первых наборов входных символов данных, считывание первых наборов входных символов данных из первой части запоминающего устройства перемежителя на сигналы поднесущей первых символов ОМЧР в соответствии с порядком, определенным одним из кодов перестановки последовательности, запись второго набора входных символов данных во вторую часть запоминающего устройства перемежителя в соответствии с порядком следования вторых наборов входных символов данных, и считывание вторых наборов входных символов данных из второй части запоминающего устройства перемежителя на сигналы поднесущей вторых символов ОМЧР в соответст-

вии с порядком, определенным другими кодами перестановки последовательности.

Первые символы ОМЧР могут быть нечетными символами ОМЧР, и вторые символы ОМЧР могут быть четными символами ОМЧР.

В некоторых обычных передатчиках и приемниках ОМЧР, которые работают в соответствии с режимами 2k или 8k для ЦНТВ и в режиме 4k для ЦТВМ, два процесса перемежения символов используют в передатчике и приемнике; один для четных символов OFMD и другой для нечетных символов OFMD. Однако анализ показал, что схемы перемежения, разработанные для перемежителей символов 2k и 8k для ЦНТВ и перемежителя символов 4k для ЦТВМ, работают лучше для нечетных символов, чем для четных символов. Варианты воплощения настоящего изобретения выполнены таким образом, что используется только процесс нечетного перемежения символов, за исключением случая, когда передатчик/приемник работает в режиме с максимальным количеством поднесущих. Поэтому, когда количество символов данных, которые могут быть перенесены поднесущими символа ОМЧР в одном из множества режимов работы, меньше, чем половина количества символов данных, которые могут быть перенесены в режиме работы, который показал наибольшее количество сигналов поднесущих, переносающих данные, на символ ОМЧР, тогда перемежитель передатчика и приемника символов ОМЧР выполнен с возможностью перемежения символов данных как в первом, так и во втором наборах, используя процесс нечетного перемежения. Поскольку перемежитель выполняет перемежение символов данных как в первом, так и во втором наборах символов данных на символы ОМЧР, используя процесс нечетного перемежения, перемежитель использует различные части запоминающего устройства перемежителя для записи и считывания символов данных. Таким образом, по сравнению с примером, в котором перемежитель использует процесс нечетного перемежения и процесс четного перемежения, для перемежения первого и второго наборов символов данных на последовательные первые и вторые символы ОМЧР, в которых используется доступная память, количество используемой емкости запоминающего устройства составляет удвоенное количество символов данных, которые могут быть перенесены символом ОМЧР при использовании только нечетного перемежения. Это сравнивают с требованиями обеспечения объема памяти, который соответствует однократному количеству символов данных, которые могут быть перенесены символом ОМЧР, в режиме, в котором наибольшее количество символов данных на символ ОМЧР используется как в четном, так и в нечетном процессах перемежения. Однако количество поднесущих на символ ОМЧР для этого максимального режима работы требует удвоенного объема памяти по сравнению со следующим наибольшим количеством поднесущих на символ ОМЧР для любого другого режима работы со следующим наибольшим количеством поднесущих на символ ОМЧР.

В соответствии с некоторыми примерами поэтому минимальный размер запоминающего устройства перемежителя может быть предусмотрен в соответствии с максимальным количеством входных символов данных, которые могут быть перенесены по поднесущим символам ОМЧР, которые доступны для переноса входных символов данных в любом из режимов работы.

В некоторых вариантах воплощения режима работы, который обеспечивает максимальное количество поднесущих на символ ОМЧР, представляет собой режим 32k. Другие режимы могут включать в себя один или больше из режимов 1k, 2k, 4k, 8k и 16k. Таким образом, как можно видеть из приведенного выше описания, в режиме 32k процессы четного и нечетного перемежения используются для перемежения символов данных таким образом, чтобы размер запоминающего устройства перемежителя мог быть достаточным только для учета 32k символов данных. Однако тогда в режиме 16k и в любых других режимах используются, например, процессы нечетного перемежения, поэтому в режиме 16k требуется емкость памяти, эквивалентная 32k символов, в режиме 4k требуется емкость памяти, эквивалентная 8k символов, и в режиме 2k требуется емкость памяти, эквивалентная 4k символов.

Различные аспекты и свойства настоящего изобретения определены в приложенной формуле изобретения. Другие аспекты настоящего изобретения включают в себя способ отображения входных символов, которые должны быть переданы по заданному количеству сигналов поднесущих ортогонально мультиплексированного с частотным разделением (ОМЧР) символа, а также в передатчике.

Краткое описание чертежей

Варианты воплощения настоящего изобретения будут описаны ниже только в качестве примера со ссылкой на прилагаемые чертежи, на которых одинаковые детали обозначены соответствующими номерами ссылочных позиций и на которых:

на фиг. 1 показана блок-схема передатчика кодированного ОМЧР, который можно использовать, например, со стандартом ЦНТВ2;

на фиг. 2 - блок-схема части передатчика, представленного на фиг. 1, на которой блок отображения символов и построитель фрейма иллюстрируют работу перемежителя;

на фиг. 3 - блок-схема перемежителя символов, представленного на фиг. 2;

на фиг. 4 - блок-схема запоминающего устройства перемежителя, представленного на фиг. 3, и соответствующего блока устранения перемежения символов в приемнике;

на фиг. 5 - блок-схема генератора адреса, представленного на фиг. 3, для режима 8k;

на фиг. 6 - блок-схема приемника кодированного ОМЧР, который можно использовать, например, со стандартом ЦНТВ2;

на фиг. 7 - блок-схема блока устранения перемежения, который показан на фиг. 6;

на фиг. 8(a) - схема, иллюстрирующая результаты работы перемежителя для четных символов ОМЧР, и на фиг. 8(b) показана схема, иллюстрирующая результаты для нечетных символов ОМЧР; на фиг. 8(a) и (b) показаны графики расстояния на выходе перемежителя для поднесущих, которые были расположены рядом друг с другом на входе перемежителя;

на фиг. 9 представлена блок-схема перемежителя символа, показанного на фиг. 3, иллюстрирующая режим работы, в котором перемежение выполняют в соответствии только с нечетным режимом перемежения; и

на фиг. 10 показана блок-схема перемежителя символов, представленного на фиг. 1, иллюстрирующая режим работы, в котором перемежение выполняют в соответствии только с режимом нечетного перемежения.

Подробное описание изобретения

Следующее описание предоставлено для иллюстрации работы перемежителя символов в соответствии с данной методикой, хотя следует понимать, что перемежитель символов можно использовать с другими режимами для других стандартов ЦТВ и в других системах ОМЧР.

На фиг. 1 предоставлен пример блок-схемы ОМЧР кодированного передатчика, который можно использовать, например, для передачи видеоизображения и звуковых сигналов в соответствии со стандартом ЦНТВ2. На фиг. 1 источник программы генерирует данные, предназначенные для передачи передатчиком COFDM (КОМЧР). Видеокодер 2, аудиокодер 4 и кодер 6 данных генерируют видео, аудио и другие данные для передачи, которые подают в мультиплексор 10 программы. Выход мультиплексора 10 программы формирует мультиплексированный поток с другой информацией, требуемой для передачи видео, аудио и других данных. Мультиплексор 10 обеспечивает поток по соединительному каналу 12. Здесь может присутствовать множество таких мультиплексированных потоков, которые подают в различные ответвления А, В и т.д. Для простоты описано только ответвление А.

Как показано на фиг. 1, передатчик 20 СОМЧР принимает поток в блоке 22 адаптации и распределения энергии мультиплексора. Блок 22 адаптации и распределения энергии мультиплексора вносит элемент случайности в данные и передает соответствующие данные в кодер 24 прямой коррекции ошибок, который выполняет кодирование коррекции ошибок потока. Перемежитель 26 битов предусмотрен для перемежения кодированных битов данных, которые для примера ЦНТВ2 представляют собой выход кодера LDPC/VCH (ПЧНП/БЧХ, код проверки на четность с низкой плотностью/код Боуэ-Чоудхури-Хоквингема). Выход из перемежителя 26 битов подают в блок 28 отображения битов на совокупность, который отображает группы битов в точке совокупности, которую требуется использовать для передачи битов кодированных данных. Выходы блока 28 отображения битов на совокупность представляют собой метки на точках совокупности, которые представляют действительные и мнимые компоненты. Метки точки совокупности представляют символы данных, сформированные из двух или больше битов, в зависимости от используемой схемы модуляции. Они будут называться здесь ячейками данных. Эти ячейки данных передают через перемежитель 30 по времени, работа которого состоит в перемежении ячеек данных, полученных из множества кодовых слов ПЧНП.

Ячейки данных принимают построитель 32 фрейма, и эти ячейки данных получают на ответвлении В и т.д. на фиг. 1, через другие каналы 31. Построитель 32 фрейма затем формирует множество ячеек данных в последовательности, которые должны быть переданы по символам СОМЧР, где символы СОМЧР содержат множество ячеек данных, и каждая ячейка данных отображается на одну из поднесущих. Количество поднесущих зависит от режима работы системы, который может включать в себя один из режима 1к, 2к, 4к, 8к, 16к или 32к, для каждого из которых требуется разное количество поднесущих в соответствии, например, со следующей таблицей.

Количество поднесущих, принятое в ЦНТВ/М

Режим	Количество поднесущих
1К	756
2К	1512
4К	3024
8К	6048
16К	12096
32К	24192

Таким образом, в одном примере количество поднесущих для режима 4к составляет три тысяч двадцать четыре. Для системы ЦНТВ2 количество поднесущих на символ ОМЧР может изменяться в зависимости от количества пилотных и других зарезервированных поднесущих. Таким образом, в ЦНТВ2, в отличие от ЦНТВ, количество поднесущих для переноса данных не фиксировано. Широковещательные станции могут выбирать один из следующих режимов работы: 1к, 2к, 4к, 8к, 16к, 32к, каждый из которых обеспечивает определенный диапазон поднесущих для данных на символ ОМЧР, при этом макси-

мум, доступный для каждого из этих режимов, составляет 1024, 2048, 4096, 8192, 16384, 32768 соответственно. В ЦНТВ2 фрейм физического уровня состоит из множества символов ОМЧР. Типично фрейм начинается с одной или больше преамбулы или P2 символов ОМЧР, после которых следует некоторое количество символов ОМЧР, несущих полезную нагрузку. Конец фрейма физического уровня помечен символами, замыкающими фрейм. Для каждого режима работы количество поднесущих может отличаться для каждого типа символа. Кроме того, оно может изменяться для каждого из них в зависимости от того, выбрано ли расширение полосы пропускания; разрешено ли некоторое резервирование тона и в соответствии с чем была выбрана структура пилотных поднесущих. При этом обобщение конкретного количества поднесущих на символ ОМЧР является трудноосуществимым. Однако перемежитель частоты для каждого режима может перемежать любой символ, количество поднесущих которого меньше, чем или равно максимально доступному количеству поднесущих для данного режима. Например, в режиме 1k перемежитель может работать для символов с количеством поднесущих, меньшим или равным 1024, и для режима 16k с количеством поднесущих, меньшим или равным 16384.

Последовательность ячеек данных, которые переносятся в каждом символе КОМЧР, затем передают в перемежитель 33 символа. Символ КОМЧР затем генерируют с помощью блока 37 построителя символа КОМЧР, который вводит пилотные сигналы и сигналы синхронизации, подаваемые из формирователя 36 пилотного и внедренного сигнала. Модулятор 38 ОМЧР затем формирует символ ОМЧР в области времени, который передает в процессор 40 вставки защиты для генерирования интервала защиты между символами, затем в цифровой и аналоговый преобразователь 42 и, наконец, в усилитель радиочастоты в блоке 44 предварительной RF (РЧ, радиочастотной) обработки для передачи, в конечном итоге, передатчиком КОМЧР через антенну 46.

Как пояснялось выше, настоящее изобретение обеспечивает возможность предоставления квазиоптимального отображения символов данных на сигналы поднесущей ОМЧР. В соответствии с примерной технологией предусмотрен перемежитель символов, который выполняет оптимальное отображение символов входных данных на сигналы поднесущей КОМЧР в соответствии с кодом перестановки и полиномом генератора, который был проверен путем анализа с помощью моделирования.

На фиг. 2 представлена более подробная примерная иллюстрация блока 28 отображения бита на совокупность символа и построителя 32 фрейма для иллюстрации примерного варианта воплощения настоящей технологией. Биты данных, принятые из перемежителя 26 битов через канал 62, группируют в наборы битов, которые требуется отобразить на ячейку данных, в соответствии с количеством битов на символ, предусмотренным схемой модуляции. Группы битов, которые формируют слово данных, подают параллельно через каналы 64 передачи данных в процессор 66 отображения. Процессор 66 отображения затем выбирает один из символов данных в соответствии с заранее назначенным отображением. Точка совокупности представлена действительным и мнимым компонентами, которые подают во входной канал 29 как один из наборов входных данных для построителя 32 фрейма.

Построитель 32 фрейма принимает ячейки данных из блока 28 отображения бита на совокупность через канал 29 вместе с ячейками данных из других каналов 31. После построения фрейма из множества последовательностей ячейки КОМЧР ячейку каждого символа КОМЧР затем записывают в запоминающее устройство 100 перемежителя и считывают из запоминающего устройства 100 перемежителя в соответствии с адресами записи и адресами считывания, генерируемыми генератором 102 адреса. В соответствии с порядком записи и считывания получают перемежение ячеек данных путем генерирования соответствующих адресов. Работа генератора 102 адреса и запоминающего устройства 100 перемежителя будут более подробно описаны ниже со ссылкой на фиг. 3-5. Ячейки данных после перемежения затем комбинируют с пилотными символами и символами синхронизации, принятыми из формирователя 36 пилотного и внедренного сигнала в построителе 37 символов ОМЧР, для формирования символа КОМЧР, который подают в модулятор 38 ОМЧР, как пояснялось выше.

Перемежитель.

На фиг. 3 предоставлен пример частей перемежителя 33 символов, который иллюстрирует настоящую технологию перемежения символов. На фиг. 3 ячейки входных данных из построителя 32 фрейма записывают в запоминающее устройство 100 перемежителя. Ячейки данных записывают в запоминающее устройство 100 перемежителя в соответствии с адресом записи, который поступает из генератора 102 адреса по каналу 104, и считывают из запоминающего устройства 100 перемежителя в соответствии с считанным адресом, поданным из генератора 102 адреса по каналу 106. Генератор 102 адреса генерирует адрес записи и адрес считывания, как поясняется ниже, в зависимости от того, является ли символ КОМЧР нечетным или четным, что идентифицируется по сигналу, подаваемому из канала 108, и в зависимости от выбранного режима, который идентифицируют по сигналу, поступающему из канала 110. Как пояснялось выше, режим может представлять один из режима 1k, режима 2k, режима 4k, режима 8k, режима 16k или режима 32k. Как поясняется ниже, адрес записи и адрес считывания генерируют поразному для четных и нечетных символов ОМЧР, как пояснялось со ссылкой на фиг. 4, которая представляет собой пример воплощения запоминающего устройства 100 перемежителя.

В примере, показанном на фиг. 4, запоминающее устройство 100 перемежителя показано, как содержащее верхнюю часть 100, иллюстрирующую работу запоминающего устройства перемежителя в передат-

чике, и нижнюю часть 340, которая иллюстрирует работу запоминающего устройства перемежителя в приемнике. Перемежитель 100 и блок 340 устранения перемежения показаны вместе на фиг. 4, для наглядности при описании их работы. Как показано на фиг. 4, представление связи между перемежителем 100 и блоком 340 устранения перемежения через другие устройства и через канал передачи было упрощено и представлено как секция 140 между перемежителем 100 и блоком 340 устранения перемежения. Работа перемежителя 100 описана в следующих параграфах.

Хотя на фиг. 4 представлен пример только четырех ячеек входных данных, для примера четырех сигналов поднесущей символа КОМЧР следует понимать, что методика, иллюстрируемая на фиг. 4 может быть расширена на большее количество поднесущих, например на 756 для режима 1к, 1512 для режима 2к, 3024 для режима 4к и 6048 для режима 8к, 12096 для режима 16к и 24192 для режима 32к.

Входная и выходная адресация запоминающего устройства 100 перемежителя, показанного на фиг. 4, представлены для четных и нечетных символов. Для четных символов КОМЧР ячейки данных отбирают из входного канала 77 и записывают в запоминающее устройство перемежителя 124.1 в соответствии с последовательностью адресов 120, сгенерированной для каждого символа КОМЧР с помощью генератора 102 адреса. Адреса записи применяют для четного символа таким образом, что, как представлено, перемежение выполняют путем перестановки адресов записи. Поэтому для каждого символа после перемежения $u(h(q))=y'(q)$.

Для нечетных символов используют то же запоминающее устройство 124.2 перемежителя. Однако, как показано на фиг. 4, для нечетных символов порядок 132 записи представляет собой ту же последовательность адресов, использовавшуюся для считывания предыдущего четного символа 126. Это свойство позволяет воплотить перемежитель для четных и нечетных символов так, что в нем будет использоваться только одно запоминающее устройство 100 перемежителя, в котором предусмотрена операция считывания, выполняемая для заданного адреса перед операцией записи. Ячейки данных, записанные в запоминающее устройство 124 перемежителя во время нечетных символов, затем считывают в последовательности 134, генерируемой генератором 102 адреса для следующего символа КОМЧР и так далее. Таким образом генерируют только один адрес на символ, при этом считывание в запоминающее устройство и запись из запоминающего устройства для нечетных/четных символов КОМЧР выполняют одновременно.

В общем, как представлено на фиг. 4, после того как будет рассчитан набор адресов $H(q)$ для всех активных поднесущих, входной вектор $Y'=(y'_0, y'_1, y'_2, \dots, y'_{N_{\max}-1})$ обрабатывают для получения вектора $Y=(y_0, y_1, y_2, \dots, y_{N_{\max}-1})$ перемежения, определенного по

$$\begin{aligned} uH(q) &= y'q \text{ для четных символов для } q=0, \dots, N_{\max}-1, \\ yq &= uH(q) \text{ для нечетных символов для } q=0, \dots, N_{\max}-1. \end{aligned}$$

Другими словами, для четных символов КОМЧР входные слова записывают с перестановкой в запоминающее устройство и последовательно считывают, в то время как для нечетных символов их записывают последовательно и считывают с перестановкой. В описанном выше случае перестановка $H(q)$ определена следующей таблицей.

Перестановка для простого случая, когда $N_{\max}=4$

q	0	1	2	3
H(q)	1	3	0	2

Как показано на фиг. 4, блок 340 устранения перемежения во время работы выполняет обработку, обратную обработке перемежения, применяющейся в перемежителе 100, применяя тот же набор адресов, который был сгенерирован эквивалентным генератором адреса, но применяя адреса записи в запоминающее устройство и считывания из запоминающего устройства в обратном порядке. При этом для четных символов адреса 342 записи в запоминающее устройство представляют собой порядок следования, в то время как адреса 344 считывания из запоминающего устройства предоставляются генератором адреса. В соответствии с этим, для нечетных символов порядок 346 записи в запоминающее устройство определен из набора адресов, сгенерированных генератором адреса, в то время как считывание 348 из запоминающего устройства представляет собой порядок следования.

Генерирование адреса для режима 4к.

Блок-схема алгоритма, используемого для генерирования функции $H(q)$ перемежения, представлена в фиг. 5 для режима 4к. На фиг. 5 линейный сдвиговый регистр с обратной связью сформирован с двенадцатью каскадами 200 сдвигового регистра для генерирования адресов от 0 до 4095 и логическим элементом 202 "исключающее ИЛИ" (хог), который соединен с каскадами сдвигового регистра 200 в соответствии с полиномом генератора. Поэтому в соответствии с содержимым сдвигового регистра 200 получают следующий бит сдвигового регистра на выходе логического элемента 202 "исключающее ИЛИ", используя операцию "исключающее ИЛИ" в отношении содержимого сдвигового регистра $R[0]$ и каскада $R[2]$ регистра. В соответствии с полиномом генератора генерируют псевдослучайную последовательность битов из содержимого сдвигового регистра 200. Однако для генерирования адреса для режима 4к, как иллюстрируется, предусмотрена схема 210 перестановки, которая эффективно выполняет перестановку

новку порядка битов в сдвиговом регистре 200 с порядка $R'_i[n]$ на порядок $R_i[n]$ на выходе схемы 210 перестановки. Одиннадцать битов с выхода схемы 210 перестановки затем подают в канал 212 соединения, к которому добавляют старший значимый бит через канал 214, который предоставлен блоком 218 переключателя. Таким образом, адрес из двенадцати битов генерируют по каналу 212. Однако для обеспечения аутентичности адреса схема 216 проверки адреса анализирует генерируемый адрес для определения, не превышает ли он максимальное количество сигналов поднесущих. Если это случается, генерируют сигнал управления и передают его через канал 220 соединения в модуль 224 управления. Если сгенерированный адрес превышает максимальное количество сигналов поднесущей, тогда этот адрес отбрасывают и новый адрес повторно генерируют для этого конкретного символа.

В общем, $(N_r - 1)$ битовое слово R'_i определяют при $N_r = \log_2 M_{\max}$, где $M_{\max} = 4096$ в режиме 4к, используя LFSR (ЛСРОС, линейный сдвиговый регистр с обратной связью).

Полиномы, используемые для генерирования этой последовательности, представляют собой следующие:

$$\text{Режим 4к: } R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

где i изменяется от 0 до $M_{\max} - 1$.

После того как одно слово R'_i будет сгенерировано, оно проходит через перестановку для получения другого $(N_r - 1)$ битового слова, называемого R_i . R_i получают из R'_i в результате перестановки битов, определенных в приведенной ниже таблице.

Перестановка битов для режима 4к

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

В качестве примера для кода перестановки, приведенного выше, это означает, что для режима 4к, бит номер 10 R'_i передают в положении бита номер 7 для R_i .

Адрес $H(q)$ затем получают из R_i , используя следующее уравнение:

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

Часть $(i \bmod 2) \cdot 2^{N_r-1}$ в приведенном выше уравнении представлена на фиг. 5 блоком T218 переключателя.

Затем выполняют проверку адреса для $H(q)$ для проверки, что сгенерированный адрес находится в диапазоне приемлемых адресов: если $(H(q) < N_{\max})$, где в одном примере $N_{\max} = 3024$ в режиме 4к, тогда адрес является действительным. Если адрес не действительный, модуль управления информируют об этом и он пытается сгенерировать новый $H(q)$ путем последовательного увеличения индекса i .

Роль блока переключателя состоит в том, чтобы обеспечить то, что не будет сгенерирован адрес, превышающий N_{\max} , дважды в ряду. В результате, если будет сгенерировано превышающее значение, это означает, что MSB (СЗБ, старший значимый бит, то есть, бит переключения) адреса $H(q)$ был равен единице. Таким образом, следующее сгенерированное значение будет иметь СЗБ, установленный равным нулю, что обеспечивает получение действительного адреса.

Следующие уравнения сводят вместе общее поведение и помогают понять структуру цикла этого алгоритма:

$$\begin{aligned} & q = 0; \\ & \text{for } (i = 0; i < M_{\max}; i = i + 1) \\ & \{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j; \\ & \quad \text{if } (H(q) < N_{\max}) \ q = q + 1; \} \end{aligned}$$

Для краткого пояснения, в одном примере генератора адреса описанный выше код перестановки используется для генерирования адреса для всех символов ОМЧР. В другом примере коды перестановки могут меняться между символами, в результате чего набор кодов перестановки циклически повторяется через последовательные символы ОМЧР. С этой целью линии 108, 110 управления, по которым передают обозначение, является ли символ ОМЧР нечетным или четным, и обозначение текущего режима используют для выбора кода перестановки. Этот примерный режим, в котором множество кодов перестановки циклически повторяются, является особенно соответствующим примеру, в котором используется только нечетный перемежитель, который поясняется ниже. Сигнал, обозначающий, что следует использовать другой код перестановки, передают через канал 111 управления. В одном примере возможные коды перестановки предварительно сохраняют в схеме 210 перестановки кода. В другом примере модуль 224 управления передает новый код перестановки, который следует использовать для символа ОМЧР.

Приемник.

На фиг. 6 показана примерная иллюстрация приемника, который можно использовать с настоящей технологией. Как показано на фиг. 6, сигнал КОМЧР принимают с помощью антенны 300, детектируют с

помощью тюнера 302 и преобразуют в цифровую форму с помощью аналого-цифрового преобразователя 304. Процессор 306 удаления защитного интервала удаляет защитный интервал из принятого символа КОМЧР перед восстановлением данных из символа КОМЧР, используя процессор 308 быстрого преобразования Фурье (БПФ) в комбинации с блоком оценки канала и процессором 310 коррекции, которые работают совместно с модулем 311 декодирования внедренного сигнала, в соответствии с известными технологиями. Демодулированные данные восстанавливают из блока 312 отображения и подают в блок 314 удаления перемежения символов, который во время работы выполняет обратное отображение принятых символов данных для повторного генерирования выходного потока данных с устраненным перемежением данных.

Блок 314 удаления перемежения символов сформирован из устройства обработки данных, такого как показано на фиг. 6, с запоминающим устройством 540 перемежителя и генератором 542 адреса. Запоминающее устройство перемежителя представляет собой такое устройство, как показано на фиг. 4, и работает, как уже описано выше, для устранения перемежения путем использования наборов адресов, сгенерированных генератором 542 адреса. Генератор 542 адреса сформирован, как показано на фиг. 7, и выполнен с возможностью генерировать соответствующие адреса для отображения символов данных, восстановленных из каждых генераторов поднесущих КОМЧР, на выходной поток данных.

Остальные части приемника КОМЧР, показанного на фиг. 6, предусмотрены для выполнения декодирования 318 коррекции ошибок для коррекции ошибок и восстановления оценки исходных данных.

Одно из преимуществ, предоставляемых настоящим описанием как для приемника, так и для передатчика, состоит в том, что перемежитель символов и блок устранения перемежения символов, работающие в приемниках и передатчиках, можно переключать между режимами 1k, 2k, 4k, 8k, 16k и 32k, изменяя полиномы генератора и порядок перестановки. Следовательно, генератор 542 адреса, показанный на фиг. 7, включает в себя входной сигнал 544, обеспечивающий показатель режима, а также входной сигнал 546, обозначающий, следуют ли нечетные/четные символы КОМЧР. Таким образом обеспечивается гибкий вариант воплощения, поскольку перемежитель символов и блок устранения перемежения могут быть сформированы, как показано на фиг. 3 и 7, с таким генератором адреса, как представлено на фиг. 5. Генератор адреса поэтому может быть адаптирован к разным режимам путем изменения полиномов генератора и порядков перестановки, обозначенных для каждого из режимов. Например, это может быть выполнено с использованием изменения программных средств. В качестве альтернативы в других вариантах воплощения внедренный сигнал, обозначающий режим передачи ЦНТВ2, можно детектировать в приемнике в модуле 311 обработки внедренных сигналов и использовать для автоматического конфигурирования блока устранения перемежения символов в соответствии с детектированным режимом.

Оптимальное использование нечетного перемежения.

Как показано на фиг. 4, два процесса перемежения символов, один для четных символов КОМЧР и другой для нечетных символов КОМЧР, позволяют уменьшить объем памяти, используемый во время перемежения. В примере, показанном на фиг. 4, порядок записи нечетных символов совпадает с порядком считывания четных символов, поэтому в то время как нечетный символ считывают из запоминающего устройства, четный символ может быть записан в местоположение, из которого только что было выполнено считывание; после этого, когда четный символ считывают из запоминающего устройства, следующий нечетный символ может быть записан в местоположение, из которого только что было выполнено считывание.

Выбор полинома генератора и кода перестановки, пояснявшихся выше, был идентифицирован после анализа моделирования относительных рабочих характеристик перемежителя. Относительные рабочие характеристики перемежителя были оценены с использованием относительной способности перемежителя разделять последовательные символы или "качества перемежения". Относительная мера качества перемежителя может быть определена путем определения расстояния D (в количестве поднесущих). Критерий C выбирают для идентификации количества поднесущих, которые находятся на расстоянии $\leq D$ на выходе перемежителя, которые были на расстоянии $\leq D$ на входе перемежителя, при этом количество поднесущих для каждого расстояния D затем взвешивают в отношении соответствующего расстояния. Критерий C оценивают как для четных, так и для нечетных символов КОМЧР. Минимизация C позволяет получить перемежитель исключительного качества.

$$C = \sum_1^{d+D} N_{\text{even}}(d) / d + \sum_1^{d+D} N_{\text{odd}}(d) / d$$

где $N_{\text{even}}(d)$ и $N_{\text{odd}}(d)$ представляют собой количество поднесущих для четного и нечетного символа соответственно на выходе перемежителя, который остается в пределах промежутка d между поднесущими.

Как отмечено выше, во время экспериментального анализа рабочей характеристики перемежителей (используя критерий C , как определено выше) и для примера, показанного на фиг. 8(a) и (b), определили, что схемы перемежения, разработанные для перемежителей символов 2k и 8k для ЦНТВ и для перемежителя символов 4k для ЦТВМ, работают лучше для нечетных символов, чем для четных символов. Та-

ким образом, для выравнивания результатов рабочих характеристик перемежителей, например для 16k, как представлено на фиг. 8(a) и (b), определили, что нечетные перемежители работают лучше, чем четные перемежители. Это можно видеть в результате сравнения фиг. 8(a), на которой представлены результаты для перемежителя для четных символов, и фиг. 8(b), иллюстрирующей результаты для нечетных символов: можно видеть, что среднее расстояние на выходе перемежителя между поднесущими, которые были расположены рядом друг с другом на входе перемежителя, больше для перемежителя для нечетных символов, чем в перемежителе для четных символов.

Как можно понять, объем запоминающего устройства перемежителя, требуемый для воплощения перемежителя символов, зависит от количества символов данных, которые должны быть отображены на символы несущих КОМЧР. Таким образом, перемежитель символа в режиме 16k требует половины объема запоминающего устройства, требуемого для воплощения перемежителя символов режима 32k, и аналогично, объем памяти, требуемый для воплощения перемежителя символа 8k, составляет половину того, что требуется для воплощения перемежителя 16k. Поэтому когда передатчик или приемник выполнен с возможностью воплощения перемежителя символов в режиме, который устанавливает максимальное количество символов данных, которое может быть передано на символ ОМЧР, такой приемник или передатчик будет включать в себя достаточное количество памяти для воплощения двух процессов нечетного перемежения для любого другого режима, который обеспечивает половину или меньше чем половину количества поднесущих на символ ОМЧР в этом данном максимальном режиме. Например, приемник или передатчик, включающий в себя перемежитель 32k, будет иметь достаточно памяти для размещения двух нечетных процессов перемежения 16k, каждый из которых занимает свои собственные 16k памяти.

Поэтому для использования лучших характеристик процесса нечетного перемежения перемежитель символов, выполненный с возможностью размещения множества режимов модуляции, может быть сконструирован так, что только процесс нечетного перемежения символов будет использоваться в режиме, который содержит половину или меньше чем половину количества поднесущих в максимальном режиме, который представляет собой максимальное количество поднесущих на символ ОМЧР. Поэтому максимальный режим устанавливает максимальный размер памяти. Например, в передатчике/приемнике, который выполнен с возможностью работы в режиме 32k, при работе в режиме с меньшим количеством несущих (то есть 16k, 8k, 4k или 1k) вместо использования отдельного четного и нечетного процессов перемежения символов можно использовать два нечетных перемежителя.

На фиг. 9 показана иллюстрация адаптации перемежителя 33 символа, который представлен на фиг. 3, когда перемежение входных символов данных на поднесущие символов ОМЧР выполняется только в режиме нечетного перемежения. Перемежитель 33.1 символа точно соответствует перемежителю 33 символа, показанному на фиг. 3, за исключением того, что генератор 102.1 адреса выполнен с возможностью выполнения только процесса нечетного перемежения. Для примера, показанного на фиг. 9, перемежитель 33.1 символов работает в режиме, в котором количество символов данных, которые могут быть переданы для символа ОМЧР, меньше, чем половина максимального количества, которое может быть перенесено символом ОМЧР в режиме работы с наибольшим количеством поднесущих на символ ОМЧР. При этом перемежитель 33.1 символов сконструирован так, что он разделяет запоминающее устройство 100 перемежителя. Для настоящей иллюстрации, показанной на фиг. 9, запоминающее устройство 100 перемежителя затем разделено на две части 401, 402. В качестве иллюстрации перемежителя 33.1 символа, работающего в режиме, в котором символы данных отображают на символы ОМЧР с использованием процесса нечетного перемежения, на фиг. 9 предоставлен вид с покомпонентным представлением каждой половины запоминающего устройства 401, 402 перемежителя. Такой вид с покомпонентным представлением представляет собой иллюстрацию режима нечетного перемежения, как представлено для стороны передатчика для четырех символов A, B, C, D, воспроизведенных на фиг. 4. Таким образом, как показано на фиг. 9, для последовательных наборов из первых и вторых символов данных символы данных записывают в запоминающее устройство 401, 402 перемежителя в порядке следования и считывают в порядке перестановки в соответствии с адресом, сгенерированным генератором 102 адреса, как пояснялось выше. Таким образом, как показано на фиг. 9, поскольку процесс нечетного перемежения выполняется для последовательных наборов из первого и второго наборов символов данных, запоминающее устройство перемежителя должно быть разделено на две части. Символы из первого набора символов данных записывают в первую половину запоминающего устройства 401 перемежителя и символы из второго набора символов данных представляют собой символы, которые записывают во вторую часть запоминающего устройства 402 перемежителя. Это связано с тем, что перемежитель символов больше не способен повторно использовать те же части запоминающего устройства перемежителя символов, которые могут быть выделены при работе в четном и нечетном режимах перемежения.

Соответствующий пример перемежителя в приемнике, который показан на фиг. 7, но который выполнен с возможностью работы только с процессом нечетного перемежения, представлен на фиг. 10. Как показано на фиг. 10, запоминающее устройство 540 перемежителя разделено на две половины 410, 412 и генератор 542 адреса выполнен с возможностью записи символов данных в запоминающее устройство перемежителя и считывания символов данных из запоминающего устройства перемежителя в соответст-

вующих частях памяти 410, 402 перемежителя для последовательных наборов символов данных при воплощении только процесса нечетного перемежения. Поэтому в соответствии с представлением, показанным на фиг. 9, на фиг. 10 показано отображение процесса перемежения, который выполняют в приемнике и который представлен на фиг. 4, как вид с покомпонентным представлением, работающий как для первой, так и для второй половин памяти 410, 412 перемежителя. Таким образом, первый набор символов данных записывают в первую часть запоминающего устройства 410 перемежителя в порядке перестановки, определенном в соответствии с адресами, сгенерированными генератором 542 адреса, как представлено порядком записи в символах данных, который обеспечивает последовательность 1, 3, 0, 2 записи. Как показано, символы данных затем считывают из первой части запоминающего устройства 410 перемежителя в порядке следования, восстанавливая, таким образом, исходную последовательность A, B, C, D.

В соответствии с этим, второй последующий набор символов данных, которые восстанавливают из последовательного символа ОМЧР, записывают во вторую половину запоминающего устройства 412 перемежителя в соответствии с адресами, генерируемыми генератором 542 адреса в порядке перестановки, и считывают в выходной поток данных в порядке следования.

В одном примере адреса, генерируемые для первого набора символов данных, для записи в первую половину запоминающего устройства 410 перемежителя, можно повторно использовать для записи второго последовательного набора символов данных в запоминающее устройство 412 перемежителя. В соответствии с этим, передатчик может также повторно использовать адреса, сгенерированные для одной половины перемежителя, для первого набора символов данных, для считывания второго набора символов данных, которые были записаны во вторую половину запоминающего устройства в порядке следования.

Нечетный перемежитель со смещением.

Рабочие характеристики перемежителя, в котором используются два нечетных перемежителя, могут быть дополнительно улучшены путем использования последовательности только нечетных перемежителей, вместо использования только одного нечетного перемежителя, таким образом, чтобы любой бит данных, подаваемый для перемежения, не всегда модулирует одну и ту же несущую символа ОМЧР.

Последовательность, состоящая только из нечетных перемежителей, может быть реализована также путем

добавления смещения к адресу перемежителя, равного модулю количества несущих, переносящих данные; или

использования последовательности перестановок в перемежителе.

Добавление смещения.

Добавление смещения к адресу перемежителя, равного модулю количества несущих, переносящих данные, эффективно сдвигает и выполняет кольцевой сдвиг символа ОМЧР таким образом, чтобы любой бит данных, вводимый в перемежитель, не был всегда модулирован на одну и ту же несущую символа ОМЧР. Таким образом, генератор адреса может, в случае необходимости, включать в себя генератор смещения, который генерирует смещение в адресе, сгенерированном генератором адреса по выходному каналу $H(q)$.

Смещение может изменять каждый символ. Например, такое смещение может обеспечивать циклическую последовательность. Эта циклическая последовательность может, например, иметь длину 4 и может состоять, например, из простых чисел. Например, такая последовательность может представлять собой 0, 41, 97, 157.

Кроме того, смещение может представлять собой случайную последовательность, которая может быть сгенерирована другим генератором адреса из аналогичного перемежителя символов ОМЧР или может быть сгенерирована с помощью некоторых других средств.

Использование последовательности перестановок.

Как показано на фиг. 5, линия 111 управления продолжается от модуля управления генератора адреса к схеме перестановки. Как отмечено выше, в одном примере генератор адреса может применять другой код перестановки из набора кодов перестановки для последовательных символов ОМЧР. При использовании последовательности перестановок в генераторе адреса перемежителя снижается вероятность того, что любой бит данных, вводимых в перемежитель, будет модулировать ту же самую поднесущую символа ОМЧР.

Например, такая последовательность может быть циклической последовательностью, таким образом, что разный код перестановки в наборе кодов перестановки в последовательности используется для последовательных символов ОМЧР и затем повторяется. Такая циклическая последовательность может иметь, например, длину два или четыре. Для примера перемежителя символов 4k последовательность из двух кодов перестановки, которые циклически повторяются для символа ОМЧР, может представлять собой, например:

7 10 5 8 1 2 4 9 0 3 6**

6 2 7 10 8 0 3 4 1 9 5

тогда как последовательность из четырех кодов перестановки может представлять собой

7 10 5 8 1 2 4 9 0 3 6**

6 2 7 10 8 0 3 4 1 9 5

9 5 4 2 3 10 10 6 8 7
1 4 10 3 9 7 2 6 5 0 8

Переключение одного кода перестановки на другой код может осуществляться в ответ на изменение сигнала нечетный/четный по каналу 108 управления. В ответ модуль 224 управления изменяет код перестановки в схеме 210 кода перестановки через линию 111 управления.

Для примера перемежителя символа 1k два кода перестановки могут представлять собой

4 3 2 10 5 6 7 8
3 2 5 0 1 4 7 8 6

тогда как четыре кода перестановки могут представлять собой

4 3 2 10 5 6 7 8
3 2 5 0 1 4 7 8 6
7 5 3 8 2 6 1 4 0
1 6 8 2 5 3 4 0 7

Другие комбинации последовательностей могут быть возможны для режимов несущих 2k, 4k и 16k или, конечно, для режима несущих 0,5k. Например, следующие коды перестановки для каждого из режимов 0,5k, 2k, 4k и 16k обеспечивают хорошую декорреляцию символов, и их можно использовать циклически для генерирования смещения для адреса, генерируемого генератором адреса для каждого из соответствующих режимов:

Режим 2k:

0 7 5 1 8 2 6 9 3 4*
4 8 3 2 9 0 1 5 6 7
8 3 9 0 2 1 5 7 4 6
7 0 4 8 3 6 9 1 5 2

Режим 8k:

5 11 3 0 10 8 6 9 2 4 1 7*
8 10 7 6 0 5 2 1 3 9 4 11
11 3 6 9 2 7 4 10 5 10 8
10 8 1 7 5 6 0 11 4 2 9 3

Режим 16k:

8 4 3 2 0 11 1 5 1 2 10 6 7 9
7 9 5 3 11 1 4 0 2 1 2 10 8 6
6 11 7 5 2 3 0 11 0 8 1 2 9 4
5 1 2 9 0 3 10 2 4 6 7 8 11 1

Для кодов перестановки, обозначенных выше, первые два можно использовать в двух циклах последовательности, тогда как все четыре можно использовать для четырех циклов последовательности. Кроме того, некоторые дополнительные последовательности из четырех кодов перестановки, которые циклически повторяются для обеспечения смещения в генераторе адреса, для получения хорошей декорреляции в символах, полученных после перемежения (некоторые из которых совпадают с приведенными выше), представлены ниже.

Режим 0,5k:

3 7 4 6 1 2 0 5
4 2 5 7 3 0 1 6
5 3 6 0 4 1 2 7
6 1 0 5 2 7 4 3

Режим 2k:

0 7 5 1 8 2 6 9 3 4*
3 2 7 0 1 5 8 4 9 6
4 8 3 2 9 0 1 5 6 7
7 3 9 5 2 1 0 6 4 8

Режим 4k:

7 10 5 8 1 2 4 9 0 3 6**
6 2 7 10 8 0 3 4 1 9 5
10 3 4 1 2 7 0 6 8 5 9
0 8 9 5 10 4 6 3 2 1 7

Режим 8k:

5 11 3 0 10 8 6 9 2 4 1 7*
10 8 5 4 2 9 10 6 7 3 11
11 6 9 8 4 7 2 10 10 5 3
8 3 11 7 9 1 5 6 4 0 2 10

* - эти перестановки предназначены для стандарта ЦНТВ,

** - эти перестановки предназначены для стандарта ЦТВМ.

Примеры генераторов адреса и соответствующих перемежителей для режимов 2k, 4k и 8k раскрыты

в заявке на европейский патент № 04251667.4, содержание которой приведено здесь в качестве ссылочного материала. Генератор адреса для режима 0,5k раскрыт в нашей одновременно находящейся на рассмотрении заявке на патент Великобритании № 0722553.5. Различные модификации могут быть выполнены для вариантов воплощения, описанных выше, без выхода за пределы объема настоящего изобретения. В частности, примерное представление полинома генератора и порядка перестановки, которые использовались для представления аспектов изобретения, не предназначены для ограничения и продолжают на эквивалентные формы полинома генератора и порядок перестановки.

Следует понимать, что передатчик и приемник, показанные на фиг. 1 и 6 соответственно, представлены только как иллюстрация и не предназначены для ограничения. Например, следует понимать, что положение перемежителя символов и блока устранения перемежения относительно, например, перемежителя битов и блока отображения и блока устранения отображения могут быть изменены. Следует понимать, что эффект, вносимый перемежителем и блоком устранения перемежения, не меняется в зависимости от его относительного положения, хотя перемежитель может выполнять перемежение I/Q (синфазно и в квадратуре) символов вместо v-битных векторов. Соответствующие изменения могут быть выполнены в приемнике. В соответствии с этим, перемежитель и блок устранения перемежения могут работать с разными типами данных и могут быть установлены в других местах, а не в положениях, описанных в примерных вариантах воплощения.

В соответствии с одним вариантом выполнения приемника устройство обработки данных представлено для отображения символов, принятых от заданного количества сигналов поднесущей мультиплексированного с частотным разделением (ОМЧР) символа в поток символов выходного сигнала.

Как пояснялось выше, коды перестановки и полином генератора перемежителя, которые были описаны со ссылкой на вариант воплощения конкретного режима, в равной степени можно применять к другим режимам путем изменения заданного максимального разрешенного адреса в соответствии с количеством поднесущих для этого режима.

Как отмечено выше, варианты воплощения настоящего изобретения предназначены для применения в стандартах ЦТВ, таких как ЦНТВ, ЦНТВ2 и ЦТВМ, которые приведены здесь в качестве ссылочных материалов. Например, варианты воплощения настоящего изобретения можно использовать в передатчике или в приемнике, работающем в соответствии со стандартом ЦТВМ, в мобильных терминалах или телефонных трубках. Мобильные терминалы могут быть интегрированы с мобильными телефонами (второго, третьего или более высокого поколения) или карманными персональными компьютерами либо, например, с планшетными ПК. Такие мобильные терминалы могут обладать возможностью приема сигналов, совместимых с ЦТВМ или ЦНТВ внутри зданий или при движении, например, в автомобилях-поездах, даже с высокой скоростью. Мобильные терминалы могут, например, работать от батарей, от электрической сети или от источника постоянного тока низкого напряжения или от батареи автомобиля. Услуги, которые могут предоставляться ЦТВМ, могут включать в себя голосовые услуги, передачу сообщений, просмотр Интернет, прослушивание радио, просмотр неподвижных и/или движущихся видеоизображений, телевизионные услуги, интерактивные услуги, видеопередачи или передачи, близкие к видео по требованию, и другие варианты. Услуги могут работать в комбинации друг с другом. В других примерных вариантах воплощения настоящего изобретения можно применять в стандарте ЦНТВ2, как определено в соответствии со стандартом ETSI (Европейский институт стандартизации в области телекоммуникации) EN 302755. В других примерных вариантах воплощения настоящего изобретения настоящее изобретение может найти применение в стандарте кабельной передачи данных, известном как ЦТВ-С2. Однако следует понимать, что настоящее изобретение не ограничено применением с ЦТВ и его можно расширить на другие стандарты для передачи или приема как стационарных, так и мобильных.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Устройство обработки данных, выполненное с возможностью отображения входных символов, предназначенных для передачи на заданное количество сигналов поднесущей ортогонально мультиплексированного с частотным разделением (ОМЧР) символа, содержащее

перемежитель, выполненный с возможностью считывать в запоминающее устройство заданное количество символов данных для отображения на сигналы поднесущей ОМЧР и считывать из запоминающего устройства символы данных для поднесущих ОМЧР для выполнения отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, при этом порядок определяют по набору адресов, в результате чего символы данных перемежаются по сигналам поднесущей;

генератор адреса, выполненный с возможностью генерировать набор адресов, причем адреса генерируют для каждого из входных символов для обозначения одного из сигналов поднесущей, на которые символ данных требуется отобразить, содержащий

линейный сдвиговой регистр с обратной связью, включающий в себя заданное количество каскадов регистра и выполненный с возможностью генерировать псевдослучайную последовательность битов в соответствии с полиномом генератора;

схему перестановки, выполненную с возможностью приема содержания каскадов сдвигового регистра и перестановки битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки и полиномом генератора для формирования адреса;

модуль управления, выполненный с возможностью в комбинации со схемой проверки адреса повторно генерировать адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающееся тем, что схема перестановки сконструирована так, что она меняет код перестановки, который переставляет порядок битов каскадов регистра для формирования адресов с одного символа ОМЧР на другой.

2. Устройство обработки данных по п.1, в котором схема перестановки выполнена с возможностью во время работы циклически повторять последовательность различных кодов перестановки для последовательных символов ОМЧР.

3. Устройство обработки данных по п.2, в котором одна из последовательности различных кодов перестановки формирует адрес $R_i[n]$, состоящий из двенадцати битов для i -го символа данных из бита, представленного в n -м $R'_i[n]$ каскаде регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

4. Устройство обработки данных по п.2 или 3, в котором последовательность кодов перестановки содержит два кода перестановки, которые представляют собой

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

5. Устройство обработки данных по п.1, в котором заданный максимальный действительный адрес представляет собой значение, по существу, между двумя тысячами и четырьмя тысячами девяносто шесть.

6. Устройство обработки данных по п.5, в котором символ ОМЧР включает в себя пилотные поднесущие, которые выполнены с возможностью переноса известных символов, и заданный максимальный действительный адрес зависит от количества пилотных поднесущих, присутствующих в символе ОМЧР.

7. Устройство обработки данных по п.1, в котором приблизительно четыре тысячи поднесущих предусмотрены в одном из множества режимов работы, в котором приблизительно четыре тысячи поднесущих обеспечивают половину или меньше чем половину максимального количества поднесущих в символах ОМЧР в любом из режимов работы, и входные символы данных включают в себя первые наборы входных символов данных для отображения на первые символы ОМЧР и вторые наборы входных символов данных для отображения вторых символов ОМЧР, при этом устройство обработки данных во время работы выполняет перемежение входных символов данных как из первого, так и из второго наборов в соответствии с обработкой нечетного перемежения, причем обработка нечетного перемежения включает в себя этапы, на которых

записывают первые наборы входных символов данных в первую часть запоминающего устройства перемежителя в соответствии с порядком следования первых наборов входных символов данных;

считывают первые наборы входных символов данных из первой части запоминающего устройства перемежителя на сигналы поднесущих первых символов ОМЧР в соответствии с порядком, определенным набором адресов, сгенерированных одним из кодов перестановки последовательности;

записывают второй набор входных символов данных во вторую часть запоминающего устройства перемежителя в соответствии с порядком следования вторых наборов входных символов данных;

считывают вторые наборы входных символов данных из второй части запоминающего устройства перемежителя на сигналы поднесущих вторых символов ОМЧР в соответствии с порядком, определенным набором адресов, сгенерированным с другими из кодов перестановки последовательности.

8. Передатчик для передачи входных символов данных, используя ортогональное мультиплексирование с частотным разделением (ОМЧР), причем передатчик включает в себя устройство обработки данных для отображения входных символов данных на заданное количество сигналов поднесущих символов ОМЧР, устройство обработки данных содержит

перемежитель, во время работы считывающий в запоминающее устройство заданное количество символов данных для отображения на сигналы поднесущих ОМЧР и считывающий из запоминающего

устройства символы данных для поднесущих ОМЧР для выполнения отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего выполняют перемежение символов данных по сигналам поднесущих;

генератор адреса, выполненный с возможностью во время работы генерировать набор адресов, причем адрес генерируют для каждого из входных символов, для отображения на один из сигналов поднесущей, содержащий

линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и во время работы генерирующий псевдослучайную последовательность битов в соответствии с полиномом генератора;

схему перестановки, выполненную с возможностью принимать содержание каскадов сдвигового регистра и выполнять перестановку порядка битов, присутствующих в каскадах регистра в соответствии с кодом перестановки, для формирования адреса;

модуль управления, выполненный с возможностью во время работы, в комбинации со схемой проверки адресов, повторно генерировать адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что схема перестановки выполнена с возможностью изменения кода перестановки, который переставляет порядок битов в каскадах регистра для формирования адресов от одного символа ОМЧР до другого.

9. Передатчик по п.8, в котором передатчик выполнен с возможностью передавать данные в соответствии со стандартом Цифрового телевизионного вещания, такого как стандарт Цифрового наземного телевизионного вещания, стандарт Цифрового наземного вещания для мобильных телефонов или стандарт Цифрового наземного вещания 2.

10. Способ отображения входных символов, предназначенных для передачи на заданное количество сигналов поднесущих ортогонального мультиплексированного символа с частотным разделением (ОМЧР), содержащий этапы, на которых

считывают в запоминающее устройство заданное количество символов данных для отображения на сигналы поднесущей ОМЧР;

считывают из запоминающего устройства символы данных для поднесущей ОМЧР для отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего символы данных перемежают на сигналы поднесущей;

генерируют набор адресов, причем адрес генерируют для каждого из входных символов для обозначения одного из сигналов поднесущей, на который символ данных должен быть отображен, генерирование набора адресов содержит этапы, на которых

используют линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра, для генерирования псевдослучайной последовательности битов в соответствии с полиномом генератора;

используют схемы перестановки, которые во время работы принимают содержание каскадов сдвигового регистра для перестановки порядка битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки для формирования адреса;

повторно генерируют адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что изменяют код перестановки, который переставляет порядок битов каскадов регистра, для формирования набора адресов с одного символа ОМЧР на другой.

11. Способ по п.10, в котором изменение кода перестановки включает в себя циклическое повторение последовательности разных кодов перестановки для последовательных символов ОМЧР.

12. Способ по п.11, в котором одна из последовательности различных кодов перестановки формирует двенадцать адресов битов $R_i[n]$ для i -го символа данных из бита, присутствующего в n -м этапе $R'_{i-1}[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i [n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i [n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

13. Способ по п.11 или 12, в котором последовательность кодов перестановки содержит два кода перестановки, которые представляют собой

Положения бита $R'_i [n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i [n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i [n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i [n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

14. Способ по п.10, в котором заданный максимальный действительный адрес представляет собой значение, по существу, между двумя тысячами и четырьмя тысячами девяносто шесть.

15. Способ по п.14, в котором символ ОМЧР включает в себя пилотные поднесущие, которые выполнены с возможностью переноса известных символов, и заданный максимальный действительный адрес зависит от количества пилотных поднесущих, присутствующих в символе ОМЧР.

16. Способ по п.10, в котором приблизительно четыре тысячи поднесущих предусмотрены в одном из множества режимов работы, в котором приблизительно четыре тысячи поднесущих обеспечивают половину или меньше чем половину максимального количества поднесущих символов ОМЧР в любом из режимов работы, при этом способ содержит

разделение входных символов данных, включающих в себя первые наборы входных символов данных для отображения на первые символы ОМЧР и вторые наборы входных символов данных для отображения на вторые символы ОМЧР;

перемежение входных символов данных как из первого, так и из второго наборов в соответствии с процессом нечетного перемежения, содержащего

запись первых наборов входных символов данных в первую часть запоминающего устройства перемежителя в соответствии с порядком следования первых наборов входных символов данных;

считывание первых наборов входных символов данных из первой части запоминающего устройства перемежителя на сигналы поднесущих первых символов ОМЧР в соответствии с порядком, определенным набором адресов, сгенерированных одним из кодов перестановки последовательности;

запись второго набора входных символов данных во вторую часть запоминающего устройства перемежителя в соответствии с порядком следования вторых наборов входных символов данных;

считывание вторых наборов входных символов данных из второй части запоминающего устройства перемежителя на сигналы поднесущих вторых символов ОМЧР в соответствии с порядком, определенным набором адресов, сгенерированных с другими из кодов перестановки последовательности.

17. Способ передачи данных с использованием ортогонального мультиплексирования с частотным разделением (ОМЧР), содержащий этапы, на которых

считывают в запоминающее устройство заданное количество символов данных для отображения на сигналы поднесущих ОМЧР;

считывают из запоминающего устройства символы данных для поднесущих ОМЧР для выполнения отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют из набора адресов, в результате чего символы данных перемежают на сигналы поднесущих;

генерируют набор адресов, причем адрес генерируют для каждого из входных символов для отображения на один из сигналов поднесущей, причем генерирование набора адресов содержит этапы, на которых

используют линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра, для генерирования псевдослучайной последовательности битов в соответствии с полиномом генератора;

используют схему перестановки, во время работы принимающую содержание из каскадов сдвигового регистра, для перестановки порядка битов, присутствующих в каскадах регистра в соответствии с кодом перестановки, для формирования адреса, и повторно генерируют адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, при этом

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что изменяют код перестановки, который переставляет порядок битов каскадов регистра для формирования набора адресов с одного символа ОМЧР на другой.

18. Способ передачи по п.17, в котором передача включает в себя передачу в соответствии со стандартом Цифрового телевизионного вещания, такого как стандарт Цифрового наземного телевизионного вещания, стандарт Цифрового наземного вещания для мобильных телефонов или стандарт Цифрового

наземного вещания 2.

19. Генератор адреса для использования при передаче символов данных, для которых было выполнено перемежение на поднесущие ортогонально мультиплексированного с частотным разделением (ОМЧР) символа, генератор адреса во время работы генерирует набор адресов, каждый адрес сгенерирован для каждого из символов данных для отображения символов данных на один из сигналов поднесущей, причем генератор адреса содержит

линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и во время работы генерирующий псевдослучайную последовательность битов в соответствии с полиномом генератора;

схему перестановки, во время работы принимающую содержание каскадов сдвигового регистра и выполняющую перестановку порядка битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки, для формирования адреса;

модуль управления, во время работы в комбинации со схемой проверки адресов генерирующий адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что схема перестановки выполнена с возможностью изменения кода перестановки, на основе которого выполняют перестановку порядка битов каскадов регистра, для формирования набора адресов с одного символа ОМЧР на другой.

20. Генератор адреса по п.19, в котором схема перестановки во время работы циклически использует последовательность разных кодов перестановки для последовательных символов ОМЧР.

21. Генератор адреса по п.20, в котором одна из последовательности разных кодов перестановки формирует адреса $R_i[n]$ из двенадцати битов для i -го символа из бита, присутствующего в n -м каскаде регистра $R'_i[n]$ в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

22. Генератор адреса по п.20 или 21, в котором последовательность кодов перестановки содержит два кода перестановки, которые представляют собой

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

23. Устройство обработки данных для отображения символов, принятых из заданного количества сигналов поднесущих ортогонального мультиплексированного символа с частотным разделением (ОМЧР), в выходной поток символов, содержащее

блок устранения перемежения, во время работы считывающий в запоминающее устройство заданное количество символов данных из сигналов поднесущей ОМЧР и считывающий из запоминающего устройства символы данных в выходной поток символов для выполнения отображения, считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего выполняют устранение перемежения символов данных из сигналов поднесущей ОМЧР;

генератор адреса, во время работы генерирующий набор адресов, причем адрес генерируют для каждого из принимаемых символов данных для отображения символа данных, принимаемого из сигнала поднесущей ОМЧР, в выходной поток символов, причем генератор адреса содержит

линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и выполненный с возможностью генерировать псевдослучайную последовательность битов в соответствии с полиномом генератора;

схему перестановки, во время работы принимающую содержание из каскадов сдвигового регистра и выполняющую перестановку порядка битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки, для формирования адреса для одной из поднесущих ОМЧР;

модуль управления, во время работы совместно со схемой проверки адресов повторно генерирующий адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом

генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающееся тем, что схема перестановки выполнена с возможностью изменять код перестановки, в соответствии с которым выполняют перестановку порядка битов каскада регистра, для формирования набора адресов из одного символа ОМЧР в другой.

24. Устройство обработки данных по п.23, в котором схема перестановки во время работы циклически работает с последовательностью различных кодов перестановки для последовательных символов ОМЧР.

25. Устройство обработки данных по п.24, в котором одна из последовательностей разных кодов перестановки формирует адрес $R_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

26. Устройство обработки данных по п.24 или 25, в котором последовательность кодов перестановки содержит два кода перестановки, которые представляют собой

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

27. Устройство обработки данных по п.23, в котором заданный максимальный действительный адрес представляет собой значение, по существу, между двумя тысячами и четырьмя тысячами девяносто шесть.

28. Устройство обработки данных по п.27, в котором символ ОМЧР включает в себя пилотные поднесущие, которые скомпонованы для переноса известных символов, и заданный максимальный действительный адрес зависит от количества пилотных символов поднесущей, присутствующих в символе ОМЧР.

29. Устройство обработки данных по п.23, в котором приблизительно четыре тысячи поднесущих предусмотрены в одном из множества режимов работы, в котором приблизительно четыре тысячи поднесущих обеспечивают половину или меньше чем половину максимального количества поднесущих в символах ОМЧР в любом из режимов работы, и символы данных включают в себя первые наборы символов данных, принимаемых из первых символов ОМЧР, и вторые наборы символов данных, принимаемых из вторых символов ОМЧР, и устройство обработки данных во время работы выполняет устранение перемежения первого и второго наборов символов данных в выходной поток данных в соответствии с обработкой нечетного перемежения, при этом обработка нечетного перемежения включает этапы, на которых

записывают первые наборы символов данных, принимаемых из поднесущих первых символов ОМЧР, в первую часть запоминающего устройства перемежителя в соответствии с порядком, определенным по набору адресов, сгенерированному с одним из кодов перестановки последовательности;

считывают первые наборы символов данных из первой части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования первых наборов входных символов данных;

записывают второй набор символов данных, принятых из поднесущих вторых символов ОМЧР, во вторую часть запоминающего устройства перемежителя в соответствии с порядком, определенным по набору адресов, сгенерированному с другим из кодов перестановки последовательности;

считывают вторые наборы символов данных из второй части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования вторых наборов входных символов данных.

30. Приемник для приема данных из символов, модулированных с ортогональным мультиплексированием с частотным разделением (ОМЧР), причем приемник выполнен с возможностью принимать символы ОМЧР для восстановления символов данных из заданного количества поднесущих символов ОМЧР, приемник включает в себя

процессор обработки данных, который выполнен с возможностью отображать символы данных, принятые из символов ОМЧР, в выходной поток данных, причем процессор данных содержит блок устранения перемежения, во время работы считывающий в запоминающее устройство заданное количество символов данных из символов поднесущих ОМЧР и считывающий из запоминающего устройства символы данных в выходной поток данных, для выполнения отображения, причем порядок считывания из запоминающего устройства отличается от считывания в запоминающее устройство, порядок определен по набору адресов, в результате чего выполняют устранение перемежения символов данных из сигналов поднесущей ОМЧР;

генератор адреса, во время работы генерирующий набор адресов, причем адрес генерируют для ка-

ждого из принимаемых символов данных для отображения принимаемых символов данных из сигнала поднесущей ОМЧР в выходной поток символа, генератор адреса содержит линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и во время работы генерирующий псевдослучайную последовательность бита в соответствии с полиномом генератора;

схему перестановки, во время работы принимающую содержание каскадов сдвигового регистра и выполняющую перестановку порядка битов, присутствующих в каскадах регистра в соответствии с кодом перестановки, для формирования адреса одной из поднесущих ОМЧР;

модуль управления, работающий в комбинации со схемой проверки адресов для повторного генерирования адреса, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что схема перестановки выполнена с возможностью изменения кода перестановки, в соответствии с которым выполняют перестановку порядка битов каскадов регистра, для формирования набора адресов от одного символа ОМЧР до другого.

31. Приемник по п.30, в котором приемник выполнен с возможностью принимать данные, модулированные в соответствии со стандартом Цифрового телевизионного вещания, такого как стандарт Цифрового наземного телевизионного вещания, стандарт Цифрового наземного вещания для мобильных телефонов или стандарт Цифрового наземного вещания 2.

32. Способ отображения символов, принятых из заданного количества сигналов поднесущих ортогонально мультиплексированного с частотным разделением (ОМЧР) символа на поток выходных символов, при этом способ содержит этапы, на которых

считывают в запоминающее устройство заданное количество символов данных из сигналов поднесущих ОМЧР;

считывают из запоминающего устройства символы данных в выходной поток данных для отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего в символах данных устраняют перемежение из сигналов поднесущих ОМЧР;

генерируют набор адресов, причем адрес генерируют для каждого из принятых символов данных, для обозначения сигнала поднесущей ОМЧР, из которого принятый символ данных требуется отобразить в выходной поток символа, при этом генерирование набора адресов содержит этапы, на которых

используют линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра, для генерирования псевдослучайной последовательности битов в соответствии с полиномом генератора;

используют схему перестановки для приема содержания каскадов сдвигового регистра и выполнения перестановки порядка битов, присутствующих в каскадах регистра в соответствии с кодом перестановки, для формирования адреса;

повторно генерируют адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что изменяют код перестановки, в соответствии с которым выполняют перестановку порядка битов каскадов регистра, для формирования набора адресов из одного символа ОМЧР к другому.

33. Способ по п.32, в котором изменение кода перестановки включает в себя циклическое использование последовательности различных кодов перестановки для последовательных символов ОМЧР.

34. Способ по п.33, в котором одна из последовательностей различных кодов перестановки, формирующих адрес $R_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра, в соответствии с кодом перестановки определена по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

35. Способ по п.33 или 34, в котором последовательность кодов перестановки содержит два кода перестановки, которые представляют собой

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i [n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i [n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

36. Способ по п.32, в котором заданный максимальный действительный адрес представляет собой значение, по существу, между двумя тысячами и четырьмя тысячами девяносто шесть.

37. Способ по п.36, в котором символ ОМЧР включает в себя пилотные поднесущие, которые выполнены с возможностью переноса известных символов, и заданный максимальный действительный адрес зависит от количества символов пилотных поднесущих, присутствующих в символе ОМЧР.

38. Способ по п.32, в котором приблизительно четыре тысячи поднесущих предусмотрены в одном из множества режимов работы, в котором приблизительно четыре тысячи поднесущих предоставляют половину или меньше чем половину максимального количества поднесущих в символах ОМЧР в любом из режимов работы, и символы данных включают в себя первые наборы символов данных, принимаемые из первых символов ОМЧР, и вторые наборы символов данных, принимаемые из вторых символов ОМЧР, и выполняют считывание в запоминающем устройстве заданного количества символов данных из сигналов поднесущих ОМЧР и считывание из запоминающего устройства символов данных в выходной поток символов в соответствии с процессом нечетного перемежения, причем процесс нечетного перемежения включает в себя:

записывают первые наборы символов данных, принимаемых из поднесущих первых символов ОМЧР, в первую часть запоминающего устройства перемежителя в соответствии с порядком, определенным набором адресов, сгенерированных с одним из кодов перестановки последовательности;

считывают первые наборы символов данных из первой части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования первых наборов входных символов данных;

записывают второй набор символов данных, принятых из поднесущих вторых символов ОМЧР, во вторую часть запоминающего устройства перемежителя в соответствии с порядком, определенным набором адресов, сгенерированным с другим из кодов перестановки последовательности;

считывают вторые наборы символов данных из второй части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования вторых наборов входных символов данных.

39. Способ приема данных из символов, модулированных с ортогональным мультиплексированием с частотным разделением ОМЧР, содержащий этапы, на которых

принимают символы данных из заданного количества сигналов поднесущих ортогонально мультиплексированного с частотным разделением (ОМЧР) символа для формирования в выходной поток символов;

считывают в запоминающее устройство заданное количество символов данных из сигналов поднесущих ОМЧР;

считывают из запоминающего устройства символы данных в выходной поток символов для выполнения отображения, причем считывание выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют из набора адресов, в результате чего выполняют устранение перемежения символов данных из сигналов поднесущей ОМЧР;

генерируют набор адресов, причем адрес генерируют для каждого из принимаемых символов, для отображения принимаемых символов данных из сигнала поднесущей ОМЧР, в выходной поток символов, причем генерирование набора адресов содержит этапы, на которых

используют линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра, для генерирования псевдослучайной последовательности битов в соответствии с полиномом генератора;

используют схему перестановки для приема содержания каскадов сдвигового регистра и перестановки порядка битов, присутствующих в каскадах регистра, в соответствии с порядком перестановки для формирования адреса;

повторно генерируют адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что изменяют код перестановки, на основе которого выполняют перестановку порядка битов в каскадах регистра, для формирования набора адресов из одного символа ОМЧР в другой.

40. Способ по п.39, в котором прием данных выполняют в соответствии со стандартом Цифрового телевизионного вещания, такого как стандарт Цифрового наземного телевизионного вещания, стандарт

Цифрового наземного вещания для мобильных телефонов или стандарт Цифрового наземного вещания 2.

41. Генератор адреса, предназначенный для использования при приеме символов данных, размещенных с перемежением на поднесущих ортогонального мультиплексированного символа с частотным разделением, причем генератор адреса выполнен с возможностью генерирования набора адресов, каждый адрес генерируют для каждого из символов данных, для обозначения одного из сигналов поднесущей, на которые этот символ данных требуется отобразить, содержащий

линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и выполненный с возможностью генерировать псевдослучайную последовательность битов в соответствии с полиномом генератора;

схему перестановки, во время работы принимающую содержание каскадов сдвигового регистра и выполняющую перестановку порядка битов, присутствующих в каскадах регистра в соответствии с кодом перестановки, для формирования адреса;

модуль управления, во время работы в комбинации со схемой проверки адресов повторно генерирующий адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов,

отличающийся тем, что схема перестановки выполнена с возможностью изменения кода перестановки, на основе которого выполняют перестановку порядка битов каскадов регистра, для формирования набора адресов из одного символа ОМЧР в другой.

42. Генератор адреса по п.41, в котором схема перестановки во время работы циклически использует последовательность разных кодов перестановки для последовательных символов ОМЧР.

43. Генератор адреса по п.42, в котором одна из последовательности разных кодов перестановки формирует адрес $R'_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

44. Генератор адреса по п.42 или 43, в котором последовательность кодов перестановки содержит два кода перестановки, которые представляют собой

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

и

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	6	2	7	10	8	0	3	4	1	9	5

45. Устройство обработки данных, выполненное с возможностью отображать входные символы данных, предназначенные для передачи в заданное количество сигналов поднесущей символов ортогонального мультиплексирования с частотным разделением ОМЧР, причем заданное количество сигналов поднесущих определяют в соответствии с одним из множества режимов работы, и входные символы данных включают в себя первые наборы входных символов данных для отображения на первые символы ОМЧР и вторые наборы входных символов данных для отображения на вторые символы ОМЧР, причем устройство обработки данных содержит

перемежитель, во время работы считывающий в запоминающее устройство заданное количество символов данных для отображения на сигналы поднесущей ОМЧР и считывающий из запоминающего устройства символы данных для поднесущих ОМЧР для выполнения отображения, причем считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего выполняют перемежение символов данных по сигналам поднесущих;

генератор адреса, во время работы генерирующий наборы адресов, причем адрес генерируют для каждого из входных символов для отображения входных символов данных в одном из сигналов поднесущих, причем генератор адреса содержит линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и работающий для генерирования псевдослучайной последовательности бита в соответствии с полиномом генератора;

схему перестановки, во время работы принимающую содержание каскадов сдвигового регистра и выполняющую перестановку порядка битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки, для формирования адреса одной из поднесущих ОМЧР;

модуль управления, во время работы в комбинации со схемой проверки адресов повторно генерирующий адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором один из множества режимов работы представляет приблизительно четыре тысячи поднесущих

на символ ОМЧР, причем эти приблизительно четыре тысячи поднесущих представляют половину или меньше чем половину от максимального количества поднесущих в символах ОМЧР в любом из режимов работы, при этом

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговой регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов, и устройство обработки данных выполнено с возможностью перемежения входных символов данных как из первого, так и из второго наборов в соответствии с процессом нечетного перемежения, при этом процесс нечетного перемежения содержит этапы, на которых

записывают первые наборы входных символов данных в первую часть запоминающего устройства перемежителя в соответствии с порядком следования первых наборов входных символов данных;

считывают первые наборы входных символов данных из первой части запоминающего устройства перемежителя на сигналы поднесущих первых символов ОМЧР в соответствии с порядком, определенным набором адресов;

записывают второй набор входных символов данных во вторую часть запоминающего устройства перемежителя в соответствии с порядком следования вторых наборов входных символов данных;

считывают вторые наборы входных символов данных из второй части запоминающего устройства перемежителя по сигналам поднесущей вторых символов ОМЧР в соответствии с порядком, определенным набором адресов.

46. Устройство обработки данных по п.45, в котором код перестановки формирует адрес $R_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

47. Способ отображения входных символов данных, предназначенных для передачи на заданное количество сигналов поднесущей символов ортогонального мультиплексирования с частотным разделением ОМЧР, причем заданное количество сигналов поднесущей определяют в соответствии с одним из множества режимов работы, и входные символы данных включают в себя первые наборы входных символов данных для отображения на первые символы ОМЧР и вторые наборы входных символов данных для вторых символов ОМЧР, при этом способ содержит этапы, на которых

считывают в запоминающее устройство заданное количество символов данных для отображения на сигналы поднесущей ОМЧР;

считывают из запоминающего устройства символы данных для поднесущих ОМЧР для выполнения отображения, причем считывание из запоминающего устройства отличается по порядку от считывания в запоминающее устройство, порядок определяют по набору адресов, в результате чего выполняют перемежение символов данных на сигналы поднесущих;

генерируют набор адресов, причем адрес генерируют для каждого из входных символов, для отображения входных символов данных на один из сигналов поднесущих, причем генерирование набора адресов содержит этапы, на которых

используют линейный сдвиговой регистр с обратной связью, включающий в себя заданное количество каскадов регистра, для генерирования псевдослучайной последовательности битов в соответствии с полиномом генератора;

используют схемы перестановки, которые во время работы принимают содержание каскадов сдвигового регистра для перестановки порядка битов, присутствующих в каскадах регистра в соответствии с кодом перестановки, для формирования адреса;

повторно генерируют адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором один из множества режимов работы представляет приблизительно четыре тысячи поднесущих, приблизительно четыре тысячи поднесущих представляют половину или меньше чем половину максимального количества поднесущих символов ОМЧР любого из режимов работы, при этом

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговой регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов;

выполняют перемежение входных символов данных как из первого, так и из второго наборов в соответствии с процессом нечетного перемежения, который содержит этапы, на которых

записывают первые наборы входных символов данных в первую часть запоминающего устройства перемежителя в соответствии с порядком следования первых наборов входных символов данных;

считывают первые наборы символов входных данных из первой части запоминающего устройства перемежителя на сигналы поднесущей первых символов ОМЧР в соответствии с порядком, определенным набором адресов;

записывают второй набор входных символов данных во вторую часть запоминающего устройства перемежителя в соответствии с порядком следования вторых наборов входных символов данных;

считывают вторые наборы входных символов данных из второй части запоминающего устройства перемежителя на сигналы поднесущих вторых символов ОМЧР в соответствии с порядком, определенным набором адресов.

48. Способ по п.47, в котором код перестановки формирует адрес $R_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

49. Устройство обработки данных, во время работы отображающее символы данных, принятые из заданного количества сигналов поднесущих символов ортогонального мультиплексирования с частотным разделением ОМЧР в выходной поток данных, заданное количество сигналов поднесущих определяют в соответствии с одним из множества режимов работы, символы данных разделяют на первые наборы символов данных для отображения на первые символы ОМЧР и вторые наборы символов данных для отображения на вторые символы ОМЧР, причем устройство обработки данных содержит

блок устранения перемежения, во время работы считывающий в запоминающее устройство заданное количество символов данных из сигналов поднесущей ОМЧР и считывающий из запоминающего устройства символы данных в поток символов выходных данных для отображения, причем считывание из запоминающего устройства отличается по порядку от считывания в запоминающее устройство, порядок определяют по набору адресов, в результате чего выполняют обратное перемежение символов данных на сигналы поднесущих ОМЧР,

генератор адреса, во время работы генерирующий набор адресов, причем адрес генерируют для каждого из принятых символов данных, для отображения принятого символа данных из сигнала ОМЧР поднесущей, в выходной поток символов, содержащий линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра и во время работы генерирующий псевдо-случайную последовательность битов в соответствии с полиномом генератора;

схему перестановки, во время работы принимающую содержание каскадов сдвигового регистра и выполняющую перестановку порядка битов, присутствующих в каскадах регистра, в соответствии с кодом перестановки, для формирования адреса одной из поднесущих ОМЧР;

модуль управления, во время работы в комбинации со схемой проверки адресов повторно генерирующий адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

один из множества режимов работы обеспечивает символы ОМЧР приблизительно с восьмью тысячами поднесущих, которые представляют собой половину или меньше чем половину от максимального количества поднесущих символов ОМЧР любого из режимов работы;

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи, линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов, и устройство обработки данных во время работы устраняет перемежение первого и второго наборов символов данных в выводной поток данных в соответствии с процессом нечетного перемежения, при этом процесс нечетного перемежения содержит этапы, на которых

записывают первые наборы символов данных, принятых из поднесущих первых символов ОМЧР, в первую часть запоминающего устройства перемежителя в соответствии с порядком, определенным по набору адресов;

считывают первые наборы символов данных из первой части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования первых наборов входных символов данных;

записывают второй набор символов данных, принятых из поднесущих вторых символов ОМЧР, во вторую часть запоминающего устройства перемежителя в соответствии с порядком, определенным набором адресов;

считывают вторые наборы символов данных из второй части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования вторых наборов входных символов данных.

50. Устройство обработки данных по п.49, в котором код перестановки формирует адрес $R_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра в соответствии с кодом перестановки, определенным по таблице

Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6

51. Способ отображения символов данных, принятых из заданного количества сигналов поднесущих символов ортогонального мультиплексирования с частотным разделением ОМЧР в выходной поток данных, причем заданное количество сигналов поднесущих определяют в соответствии с одним из множества режимов работы, символы данных включают в себя первые наборы символов данных, принятые из первых символов ОМЧР, и вторые наборы символов данных, принятые из вторых символов ОМЧР, способ содержит этапы, на которых

считывают в запоминающее устройство заданное количество символов данных из сигналов поднесущих ОМЧР;

считывают из запоминающего устройства символы данных в выходной поток символов для выполнения отображения, считывание из запоминающего устройства выполняют в другом порядке, чем считывание в запоминающее устройство, порядок определяют по набору адресов, в результате чего устраняют перемежение символов из сигналов поднесущей ОМЧР;

генерируют набор адресов, адрес генерируют для каждого из принятых символов, для отображения символа данных, принятого от сигнала поднесущей ОМЧР, в выходной поток символов, причем генерирование набора адресов содержит этапы, на которых

используют линейный сдвиговый регистр с обратной связью, включающий в себя заданное количество каскадов регистра, для генерирования псевдослучайной последовательности битов в соответствии с полиномом генератора;

используют схему перестановки для приема содержания каскадов сдвигового регистра и перестановки порядка битов, присутствующих в каскадах регистра в соответствии с порядком перестановки, для формирования адреса;

повторно генерируют адрес, когда сгенерированный адрес превышает заданный максимальный действительный адрес, в котором

заданный максимальный действительный адрес памяти и заданное количество поднесущих составляют приблизительно четыре тысячи;

линейный сдвиговый регистр с обратной связью имеет одиннадцать каскадов регистра с полиномом генератора для линейного сдвигового регистра с обратной связью $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ и код перестановки формирует с дополнительным битом адрес из двенадцати битов;

режим работы представляет приблизительно четыре тысячи поднесущих на символ ОМЧР, что составляет половину или меньше чем половину максимального количества поднесущих в символах ОМЧР в любом из режимов работы, считывают в запоминающее устройство заданное количество символов данных из сигналов поднесущих ОМЧР и считывают в запоминающее устройство символы данных в выходной поток символов в соответствии с процессом нечетного перемежения, процесс нечетного перемежения включает в себя:

записывают первый набор символов данных, принятых из символов поднесущих первых ОМЧР, в первую часть запоминающего устройства перемежителя в соответствии с порядком, определенным по набору адресов;

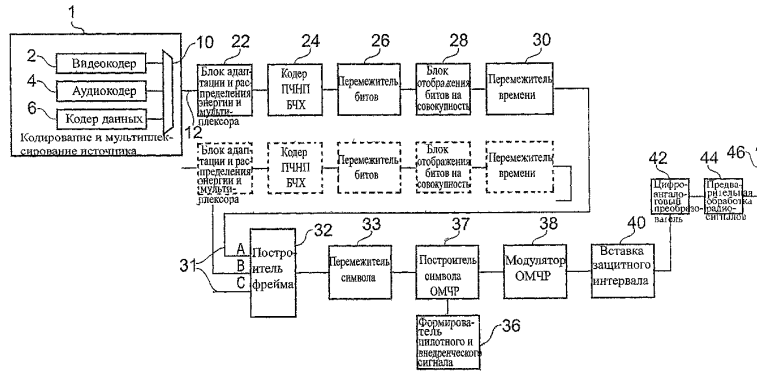
считывают первый набор символов данных из первой части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования первых наборов входных символов данных;

записывают второй набор символов данных, принятых из поднесущих вторых символов ОМЧР, во вторую часть запоминающего устройства перемежителя в соответствии с порядком, определенным набором адресов;

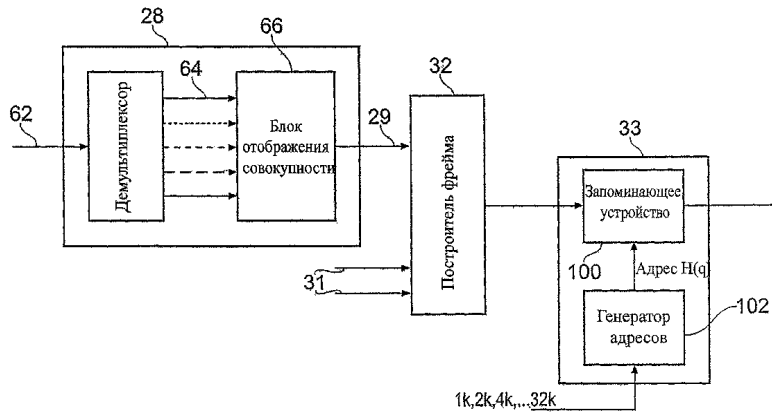
считывают вторые наборы символов данных из второй части запоминающего устройства перемежителя в выходной поток данных в соответствии с порядком следования вторых наборов входных символов данных.

52. Способ по п.51, в котором код перестановки формирует адрес $R_i[n]$ из двенадцати битов для i -го символа данных из бита, присутствующего в n -м каскаде $R'_i[n]$ регистра, в соответствии с кодом перестановки, который определен по таблице

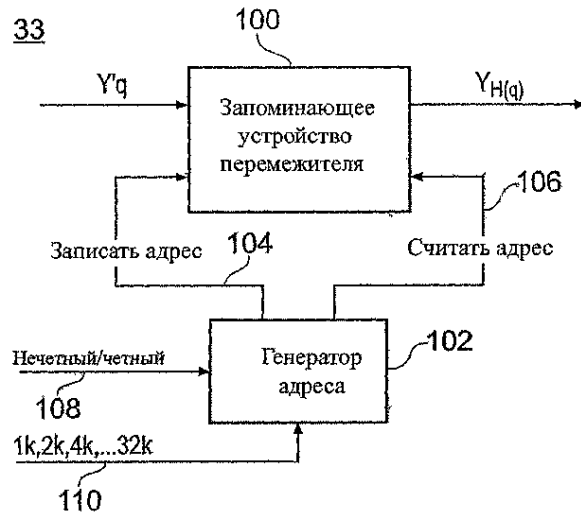
Положения бита $R'_i[n]$ for $n=$	10	9	8	7	6	5	4	3	2	1	0
Положения бита $R_i[n]$ for $n=$	7	10	5	8	1	2	4	9	0	3	6



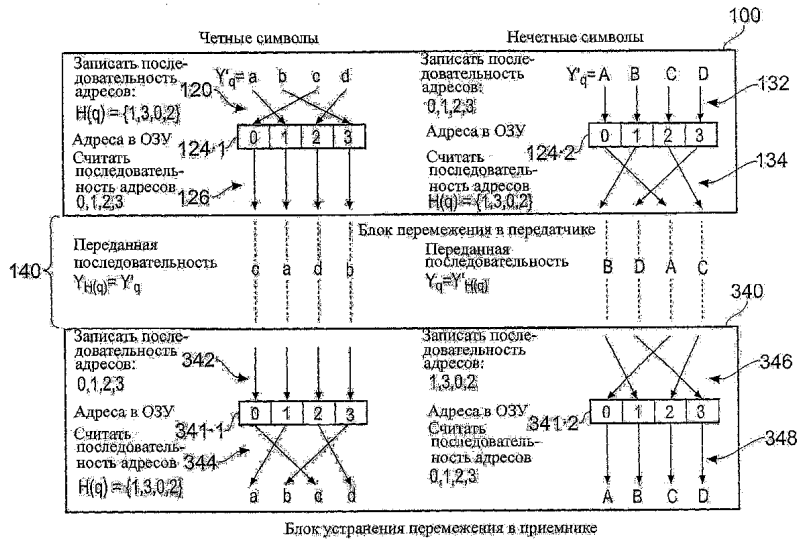
Фиг. 1



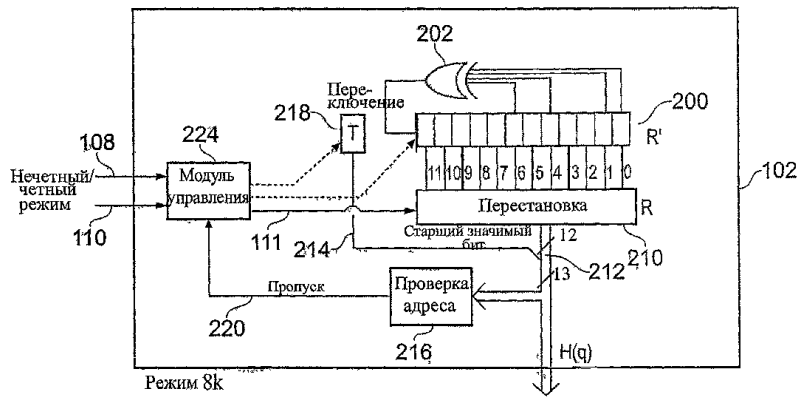
Фиг. 2



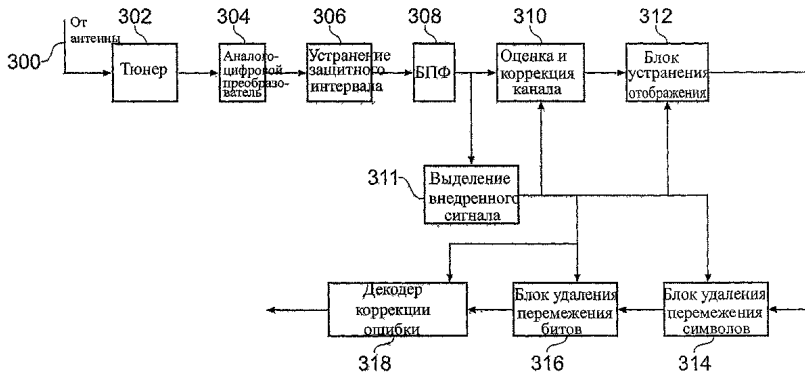
Фиг. 3



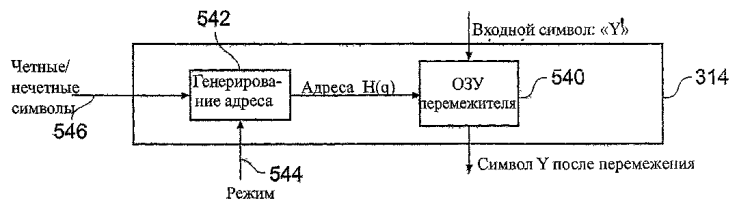
Фиг. 4



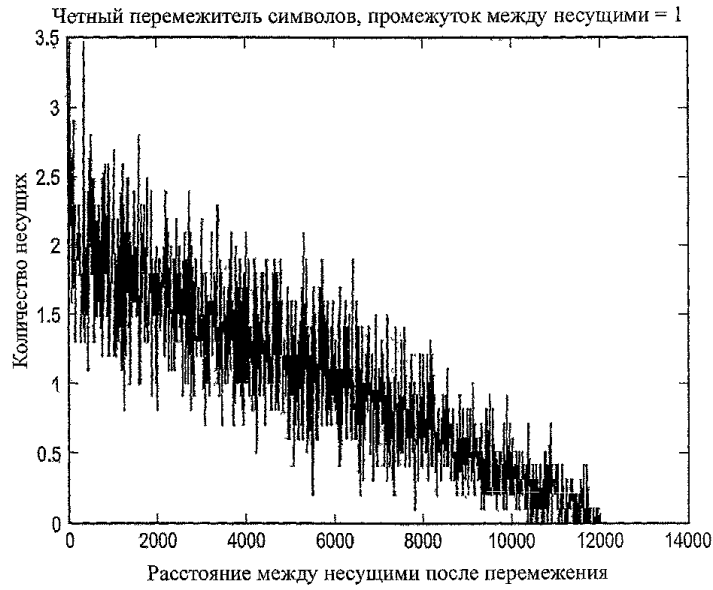
Фиг. 5



Фиг. 6



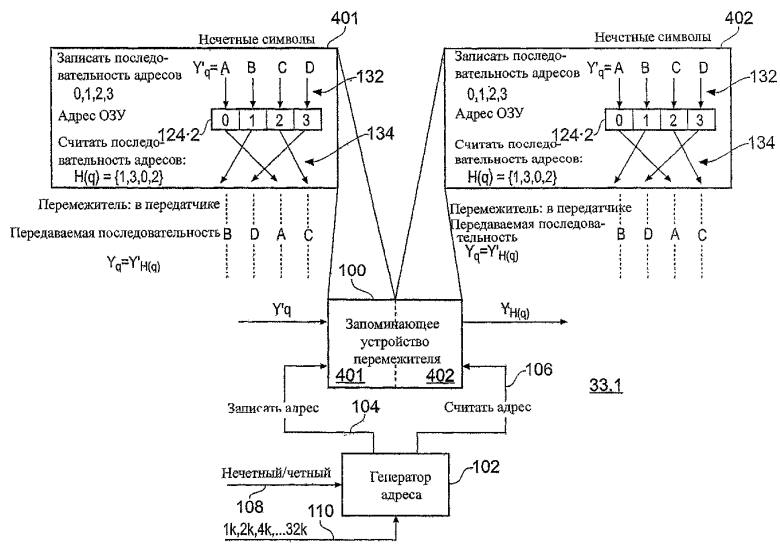
Фиг. 7



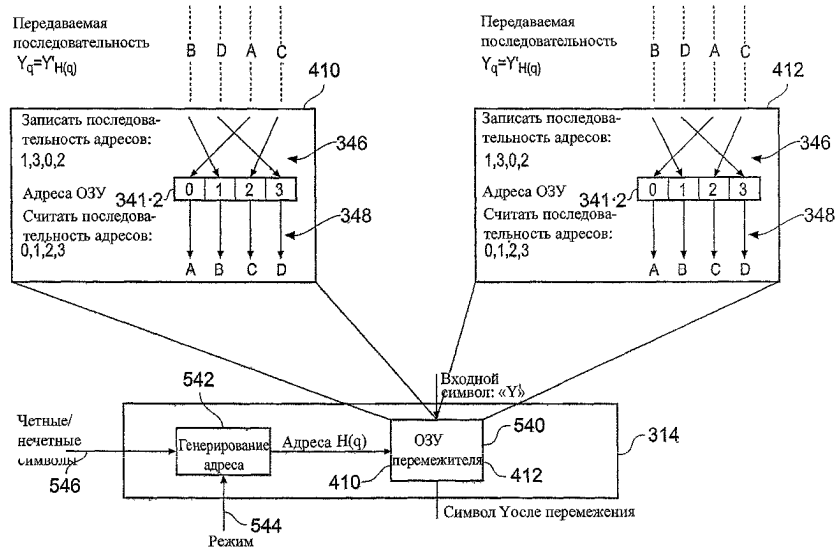
Фиг. 8А



Фиг. 8В



Фиг. 9



Фиг. 10

