

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 邱進添
	姓名 (英文)	2. Chin-Tien CHIU
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台中市工業一路58巷33弄33號6樓之2
	住居所 (英文)	2. No. 33, Alley 33, Lane 58, Industrial One Rd., Taichung, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



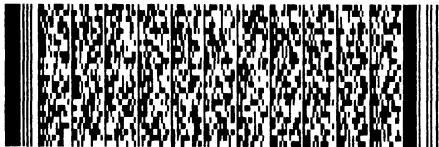
I229574

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 劉正仁
	姓名 (英文)	3. Chung-Lun LIU
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 嘉義縣溪口鄉溪北村5鄰37號
	住居所 (英文)	3. No. 37, Lin 5 Hsi-Pei Village, Hsi-Ko, Chia-Yi Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

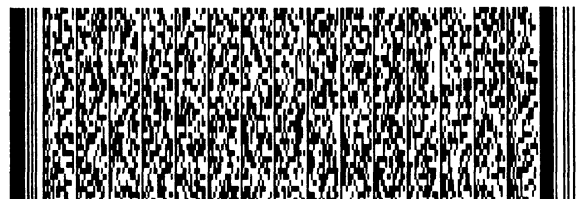
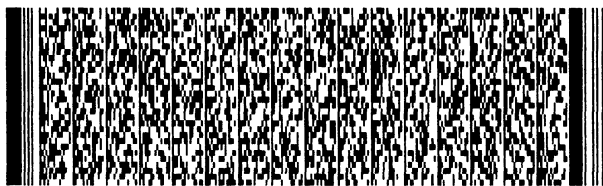
本發明係有關於一種半導體封裝技術，特別是有關於一種可防止熱變形之電路板及其製法。

【先前技術】

半導體晶片封裝技術一般係採用基板 (substrate) 來作為晶片載具，用以安置於一或多個的半導體晶片，以讓半導體晶片可透過基板而藕接至外部的印刷電路板。舉例來說，球柵陣列式 (Ball Grid Array, BGA) 封裝技術即採用一基板來安置半導體晶片，並於基板背面植置上複數個成柵狀陣列排列之錫球，以藉由此些錫球將整個的晶片封裝單元錫結及電性連接至外部之印刷電路板。

第 1A 圖即顯示一種習知之 BGA 基板 100 的頂視圖。如圖所示，此基板 100 之表面上係預先定義出至少一置晶區 (如標號 110 所指之虛線框所包含之部分)，且該置晶區 110 中設置有複數條導電跡線 (traces) 120。使得該基板 100 表面上位於該些導電跡線 120 以外之區域為一空白區域 130 而未設置有任何電路元件。接著於該基板 100 上另形成有一拒錫層 (solder mask) 140，其係覆蓋住該基板 100 的導電跡線 120 和空白區域 130，用以作為後續之迴錫程序 (solder reflow) 時的罩幕。

然而如第 1B 圖所示，上述基板 100 之缺點在於其導電跡線 120 之分佈疏密不均，容易在封裝製程中因溫度效應致使該不同疏密之導電跡線 120 產生大小不同的熱應力，因而造成該基板 100 的翹曲，進而影響置晶作業之進行，



五、發明說明 (2)

甚至導致接置於該基板 100 上之半導體晶片 150 破損並造成電子產品之品質缺陷等重大問題。

美國專利第 6,380,633 號 "PATTERN LAYOUT STRUCTURE IN SUBSTRATE" 即針對上述之問題而提出了一種解決方法，亦即於基板上未佈設有導電跡線之空白區域上設置有連續型之假導電線路塊 (dummy circuit region)。

第 2A 圖即顯示一採用上述之專利技術的基板 200 的頂視結構形態。如圖所示，該基板 200 之表面預定有至少一置晶區 210，且該置晶區 210 中設置有複數條導電跡線 220。此外，該基板 200 之表面上位於該些導電跡線 220 以外之表面區域設置有一連續型之假導電線路塊 230。該連續性之假導電線路塊 230 係均勻的分佈於基板 200 表面，使該分佈疏密不均之導電跡線 220 得以容置於該分佈均勻之假導電線路塊 230 中，進而減少該導電跡線 220 因疏密佈置所造成之基板翹曲問題。

然而上述之基板 200 的一項缺點在於該假導電線路塊 230 的材質為銅 (Cu)，其熱膨脹係數 (Coefficient of Thermal Expansion, CTE) 為 $16\text{ppm}/^\circ\text{C}$ ，而該基板 200 之材質一般為 BT，其熱膨脹係數為 $14\text{ppm}/^\circ\text{C}$ ，因此在不當佈置密度的假導電線路塊 230 於封裝製程之高溫處理過程中，例如為烘烤程序、迴錫程序、和模鑄程序時，仍將由於假導電線路塊 230 和基板 200 之間的熱膨脹係數差異，而致使該基板 200 因熱變形產生翹曲 (Warpage) 現象。

上述之熱變形現象特別易於發生在厚度只有 0.136 mm



五、發明說明 (3)

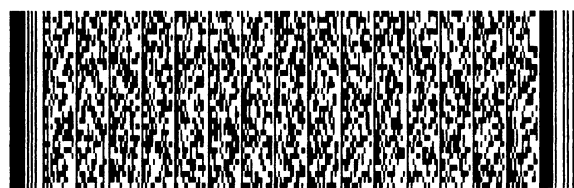
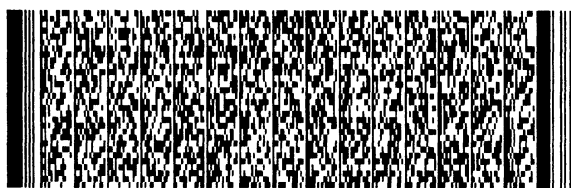
的薄片型 TFBGA (Thin Fine-pitch Ball-Grid Array) 基板上，其可能使得基板表面的翹曲程度達到 50mm-70mm 而嚴重影響到置晶作業之進行。

【發明內容】

鑒於以上所述習知技術之缺點，本發明之主要目的在於提供一種可防止熱變形之電路板及其製法，用以防止電路板於封裝製程中產生熱變形現象而造成置晶作業困難甚而導致晶片之破裂，使得完成封裝之半導體裝置具更佳之品質性及信賴性。

為達成上揭及其他目的，本發明揭露一種可防止熱變形之電路板及其製法。該電路板係包括：一電絕緣性基材；複數條導電跡線 (Conductive Trace)，係設置於該電絕緣性基材之表面；複數個區塊化之不連續性假導電線路塊，係設置於該導電跡線外之表面區域，並於該每一對相鄰之假導電線路塊之間設置有一伸縮縫；以及一絕緣性材質層，敷設至該電絕緣性基材表面上，以遮覆住該導電跡線及該區塊化之不連續性假導電線路塊。

本發明提供了一種可防止熱變形之電路板及其製法，其特點在於至少一電路板表面上佈設有多數導電跡線外之區域，設置有複數個區塊化之不連續性假導電線路塊，並於各對相鄰之假導電線路塊之間形成一伸縮縫，藉以在半導體製程高溫處理過程中，利用該不連續性之導電線路塊分散熱應力，並透過該伸縮縫以緩衝該些假導電線路塊之熱膨脹，而防止電路板產生熱變形而造成接置其上之晶片



五、發明說明 (4)

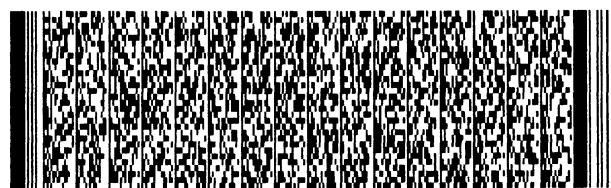
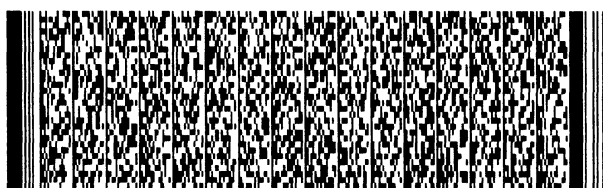
產生破裂之現象，使得置晶作業得以順利進行，同時提供封裝完成之半導體裝置具更佳之品質性及信賴性。

【實施方式】

以下即配合所附之圖式中的第3圖至第5圖，詳細揭露說明本發明之可防止熱變形之電路板及其製法之實施例。此處須注意的一點是，第3圖至第5圖均為簡化之示意圖式，其僅係以示意方式說明本發明之基本構想；因此其僅顯示與本發明有關之元件，且所顯示之元件並非以實際實施時之數目、形狀、及尺寸比例繪製；其實際實施時之數目、形狀、及尺寸比例可為一種隨意性之設計選擇，且其元件佈局形態可能更為複雜。

請首先參閱第3及第4圖，其中顯示本發明之可防止熱變形之電路板300示意形態。如圖所示，該電路板300係包括：一電絕緣性基材301；複數條導電跡線320，係設置於該電絕緣性基材301至少一表面；複數個區塊化之不連續性假導電線路塊330，係設置於該導電跡線320外之表面區域，並於該每一對相鄰之假導電線路塊330之間設置有一鋸齒狀之伸縮縫331；以及一絕緣性材質層340，敷設至該電絕緣性基材301表面上，以遮覆住該導電跡線320及該區塊化之不連續性假導電線路塊330。

該電路板300為一球柵陣列式(BGA)基板，該電絕緣性基材301可為一芯層(Core Layer)，該芯層得以樹脂材質如環氧樹脂(Epoxy Resin)、聚亞醯胺(Polyimide)樹脂、BT(Bismaleimide Trazine)樹脂、FR4樹脂等製成。然



五、發明說明 (5)

後，於芯層之相對第一表面 301a 及第二表面 301b 上各壓合至少一銅 (Copper) 層，使銅層經曝光 (Exposing)、顯影 (Developing)、蝕刻 (Etching) 等製程而圖案化 (Patterning) 以形成多數導電跡線 320a 及 320b。此外，於該芯層之第一表面 301a 係形成有一置晶區，用以承載晶片 (未圖示)，而第二表面 301b 則得植接多數導電元件如錫球 (未圖示) 以與外界電性連接。

該區塊化之不連續性假導電線路塊 330，係設置於該芯層之第一及第二表面 301a、301b 上未佈設有導電跡線 320a、320b 之表面區域，並於該每一對相鄰之假導電線路塊 330 之間設置有一伸縮縫 331。該區塊化之不連續性假導電線路塊 330 的面積尺寸係設計成小於一預先由實驗結果定出之熱變形臨界面積尺寸；亦即若一塊個別之假導電線路塊 330 大於此臨界面積尺寸則會使得基板產生會影響到置晶程序的熱變形現象，而小於此臨界面積尺寸則不致使得基板產生會影響到置晶程序的熱變形現象。請參閱第 5 圖，即顯示上述之伸縮縫 331 呈梯形鋸齒的另一種實施方式，其中係將伸縮縫 331 以一鋸齒狀延伸於相鄰之二個假導電線路塊 330 之間，即可利用該不連續性之導電線路塊 330 分散製程中所產生之熱應力，並透過該伸縮縫 331 以緩衝該些假導電線路塊 330 之熱膨脹。

該絕緣性材質層 340 如拒錫層 (Solder Mask) 340a、340b 係分別敷設至芯層 301 之第一表面 301a 及第二表面 301b 上，以遮覆住第一及第二導電跡線 320a、320b 與該假



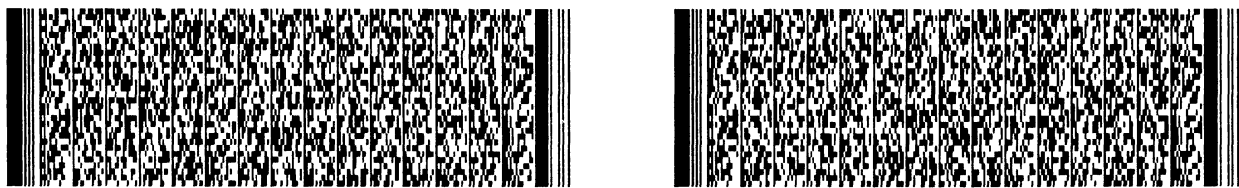
五、發明說明 (6)

導電線路塊 330，而令第一導電跡線 320a 之錐指 350 及第二導電跡線 320b 之錐墊 370 外露出該拒錐層 340a、340b。藉由該拒錐層 340a、340b 包覆之導電跡線 320a、320b 及假導電線路塊 330 得避免外界水氣或污染物對其之侵害，並得防止後續製程中因導電跡線外露而產生短路 (Short Circuit)、影響電性品質等問題。

而於製備該球柵陣列式基板時，首先，於芯層之相對第一表面 301a 及第二表面 301b 上各壓合至少一銅 (Copper) 層，使銅層經曝光 (Exposing)、顯影 (Developing)、蝕刻 (Etching) 等製程而圖案化 (Patterning) 以形成多數導電跡線 320；以及在未佈設有導電跡線 320 之表面區域上，形成有多數區塊化之不連續性假導電線路塊 330，並於該每一對相鄰之假導電線路塊 330 之間設置有一鋸齒狀之伸縮縫 331。

之後，分別敷設拒錐層 (Solder Mask) 340a、340b 係至芯層 301 之第一表面 301a 及第二表面 301b 上，以遮覆住第一及第二導電跡線 320a、320b 與該假導電線路塊 330，而令第一導電跡線 320a 之錐指 350 及第二導電跡線 320b 之錐墊 370 外露出該拒錐層 340a、340b，以完成該可防止熱變形之基板。

請參閱第 6 圖，係應用該可防止熱變形之基板於球柵陣列式 (BGA) 半導體封裝件之製程中。該基板 400 具有一置晶面 400a 及一相對之植球面 400b，該置晶面 400a 係對應於該基板 400 中芯層 401 之第一表面 401a，而植球面 400b 係對



五、發明說明 (7)

應於芯層之第二表面 401b。

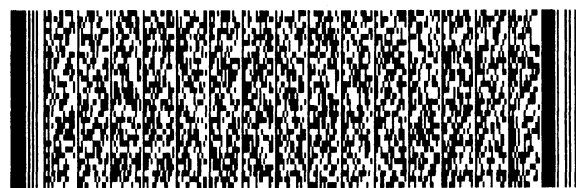
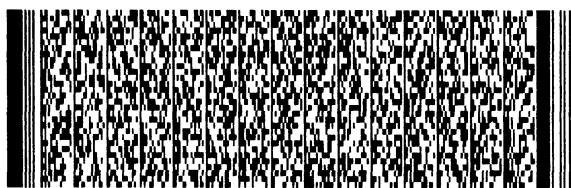
接著進行一置晶程序，藉此將至少一半導體晶片 480 藕接至該基板 400 的置晶面 400a 上。並進行一鐳線 (Wire Bonding) 作業以形成多數鐳線 481 如金線 (Gold Wire)，該鐳線 481 鐳接至外露出絕緣性材質層 440 之第一導電跡線 420a 的鐳指 450 以及晶片 480，藉以電性連接該晶片 480 至基板 400 之置晶面 400a。

進行一模壓 (Molding) 作業，以使用一樹脂化合物如環氧樹脂等於基板 400 之置晶面 400a 上形成一封裝膠體 (Encapsulant) 490，藉之以包覆該半導體晶片 480 及鐳線 481，使其與外界氣密隔離而免受外界水氣、污染物之侵害。

完成模壓作業後，進行一模壓後固化 (Post Molding Curing, PMC) 製程，使形成於基板 400 之置晶面 400a 上的封裝膠體 490 歷經約 175°C 之溫度、歷時約 6 小時之烘烤而固化 (Curing)。

最後，進行一植球 (Ball Implantation) 作業以植接多數鐳球 491 於基板 400 之植球面 400b 上外露出絕緣性材質層 440 之第二導電跡線 420b 的鐳墊 470，以使鐳球 491 作為半導體封裝件之輸入/輸出 (Input/Output, I/O) 端而令晶片 480 得與外界裝置如印刷電路板 (未圖示) 成電性連接關係。

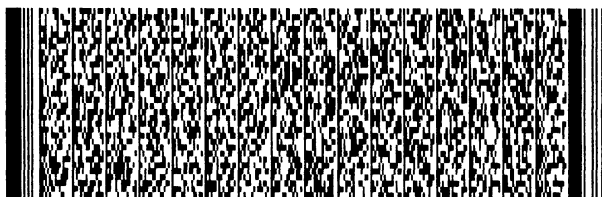
於上述之高溫製程過程中，例如為烘烤程序、迴鐳程序、和模鑄程序時，其高溫環境將使得該假導電線路塊



五、發明說明 (8)

430產生熱膨脹現象；但由於該假導電線路塊 430的面積尺寸係小於熱變形臨界面積尺寸，因此其個別的熱膨脹現象不致使得基板 400產生會影響到置晶程序的熱變形現象；且由於該假導電線路塊 430之間的伸縮縫 431的緩衝作用，因此可緩衝該些假導電線路塊 430的熱膨脹現象而不會因擠壓到鄰旁之假導電線路塊 430而產生熱變形現象。

惟以上所述者僅為本發明之較佳實施例而已，並非用以限定本發明之實質技術內容的範圍。本發明之實質技術內容係廣義地定義於下述之申請專利範圍中。若任何他人所完成之技術實體或方法與下述之申請專利範圍所定義者為完全相同、或是為一種等效之變更，均將被視為涵蓋於此專利範圍之中。



圖式簡單說明

【圖式簡單說明】

第 1A圖 為一習知基板之跡線佈設頂視圖；

第 1B圖 為一構建於第 1A圖所示之基板發生翹曲，造成接置其上之晶片產生破損之剖面示意圖；

第 2圖 為一習知之具有假導電線路塊的基板的頂視圖；

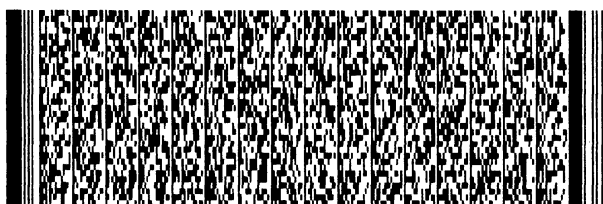
第 3圖 為本發明中具有假導電線路塊之可防止熱變形之電路板頂視圖；

第 4圖 為本發明中具有假導電線路塊之可防止熱變形之電路板剖面示意圖；

第 5圖 為本發明中可防止熱變形之電路板的假導電線路塊之間的伸縮縫結構形態示意圖；以及

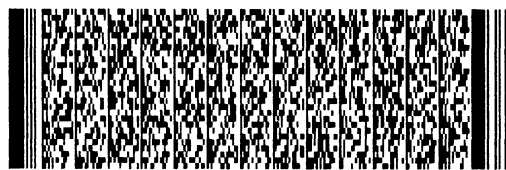
第 6圖 為本發明可防止熱變形之電路板於 BGA半導體封裝件之結構形態示意圖。

100	基板	110	置晶區
120	導電跡線	130	空白區域
140	拒銲層	150	晶片
151	晶片的破裂現象	200	基板
210	置晶區	220	導電跡線
230	連續型之假導電線路塊	240	拒銲層
250	晶片	300	電路板
301	電絕緣性基材	320	導電跡線
330	假導電線路塊	331	伸縮縫



圖式簡單說明

340	絕緣性材質層	301a	第一表面
301b	第二表面	320a	導電跡線
320b	導電跡線	340a	拒鋅層
340b	拒鋅層	350	鋅指
370	鋅墊	400	基板
400a	置晶面	400b	植球面
401	芯層	401a	第一表面
401b	第二表面	420a	第一導電跡線
420b	第二導電跡線	430	假導電線路塊
431	伸縮縫	440	絕緣性材質層
450	鋅指	470	鋅墊
480	晶片	481	鋅線
490	封裝膠體	491	鋅球



四、中文發明摘要 (發明名稱：可防止熱變形之電路板及其製法)

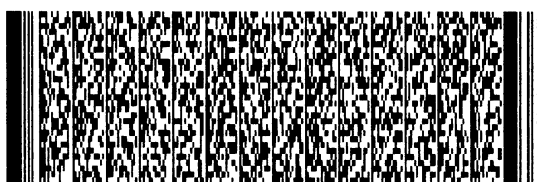
一種可防止熱變形之電路板及其製法，係在至少一電路板表面上佈設有多數導電跡線外之區域，形成有複數個區塊化之不連續性假導電線路塊 (dummy circuit region)，並於各對相鄰之假導電線路塊之間形成一伸縮縫，藉以在半導體製程高溫處理過程中，利用該不連續性之導電線路塊分散熱應力，並透過該伸縮縫緩衝該些假導電線路塊之熱膨脹，而防止電路板產生熱變形，使得置晶作業得以順利進行，減少晶片破損，同時提供封裝完成之半導體裝置具更佳之品質性及信賴性。

本案代表圖：第 3圖

- 300 電路板
- 320 導電跡線
- 330 假導電線路塊
- 331 伸縮縫

陸、英文發明摘要 (發明名稱：WARPAGE-PREVENTING CIRCUIT BOARD AND METHOD FOR FABRICATING THE SAME)

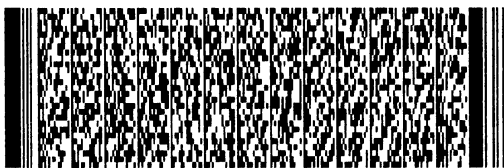
A warpage-preventing circuit board and a method for fabricating the circuit board are provided, wherein a plurality of conductive traces are formed on a surface of the circuit board, and a plurality of discontinuous dummy circuit regions are disposed on the surface of the circuit board at area free of the conductive traces, with adjacent dummy circuit regions being spaced apart



四、中文發明摘要 (發明名稱：可防止熱變形之電路板及其製法)

陸、英文發明摘要 (發明名稱：WARPAGE-PREVENTING CIRCUIT BOARD AND METHOD FOR FABRICATING THE SAME)

by at least a chink. During a high-temperature fabrication process, the dummy circuit regions help reduce thermal stress and the chinks absorb thermal expansion of the dummy circuit regions, to thereby prevent warpage of the circuit board and cracks of a chip mounted on the circuit board, such that yield and reliability of fabricated semiconductor devices in the use of the circuit

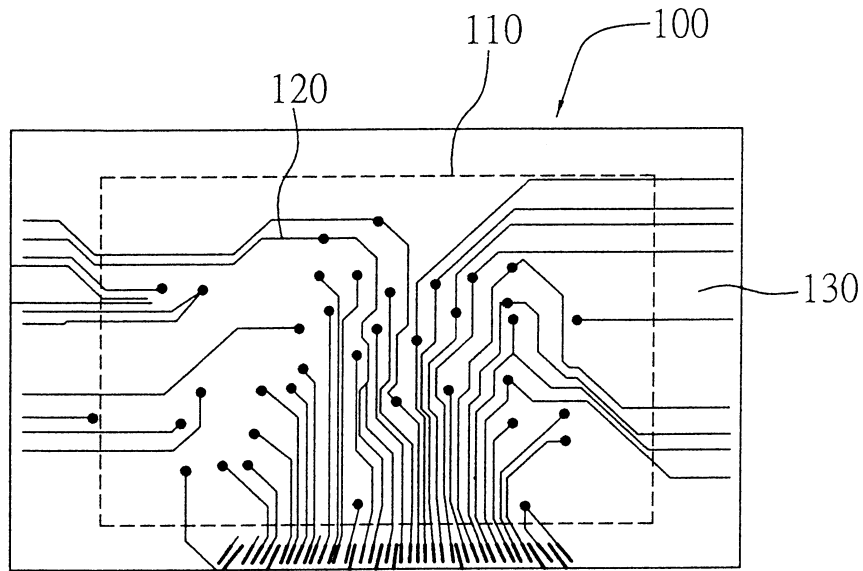


四、中文發明摘要 (發明名稱：可防止熱變形之電路板及其製法)

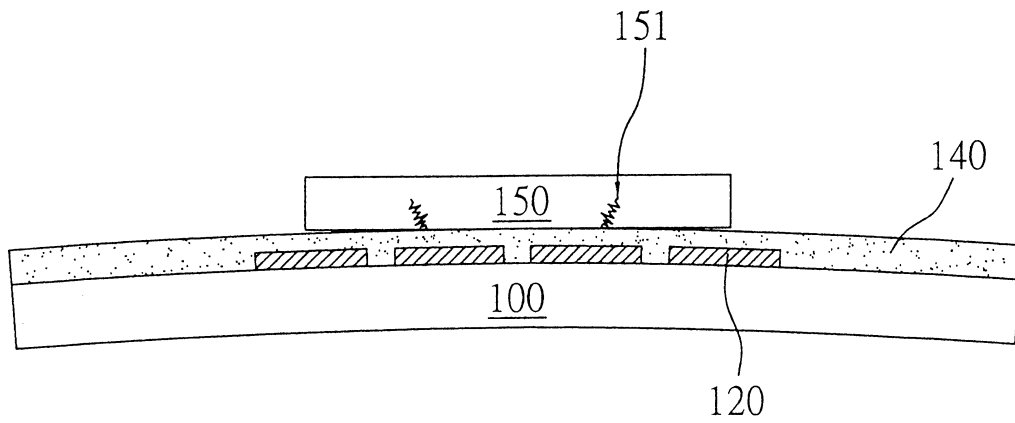
陸、英文發明摘要 (發明名稱：WARPAGE-PREVENTING CIRCUIT BOARD AND METHOD FOR FABRICATING THE SAME)

board can be improved.

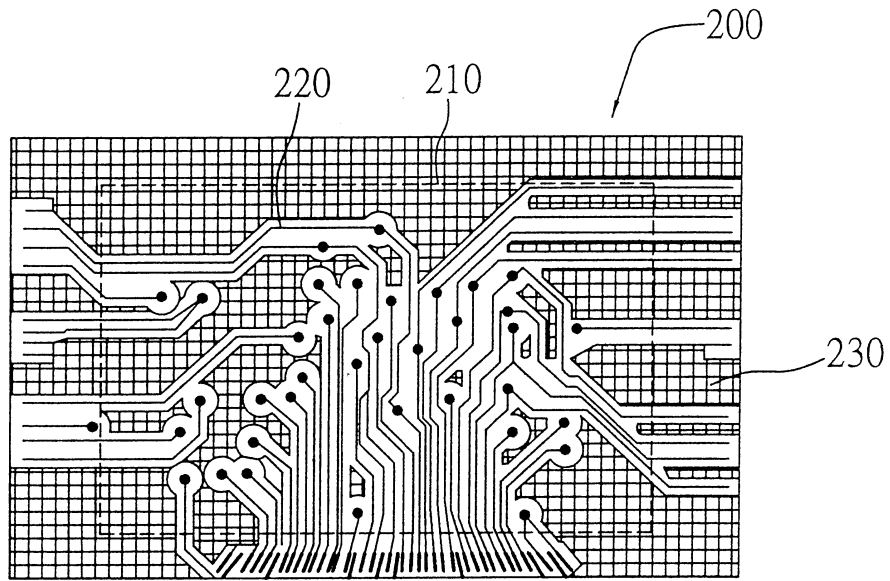




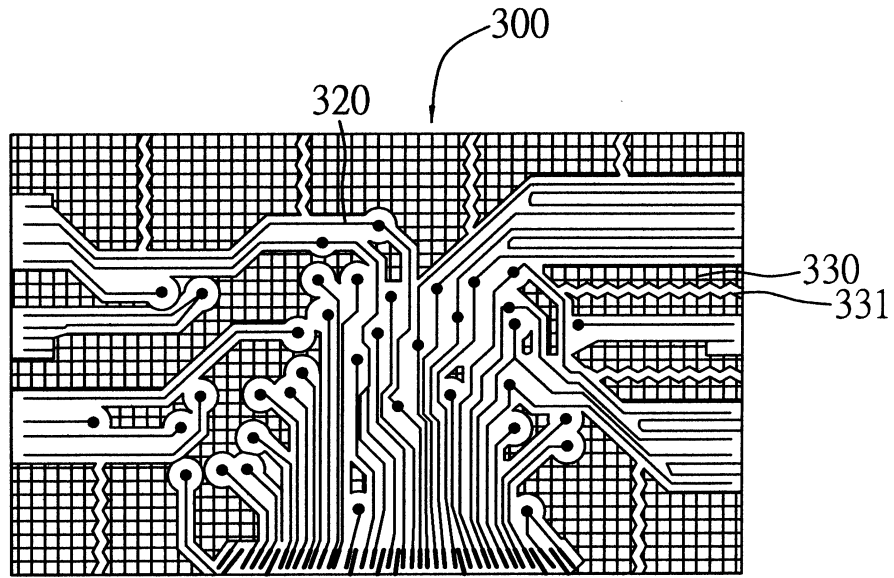
第 1A 圖 (先前技術)



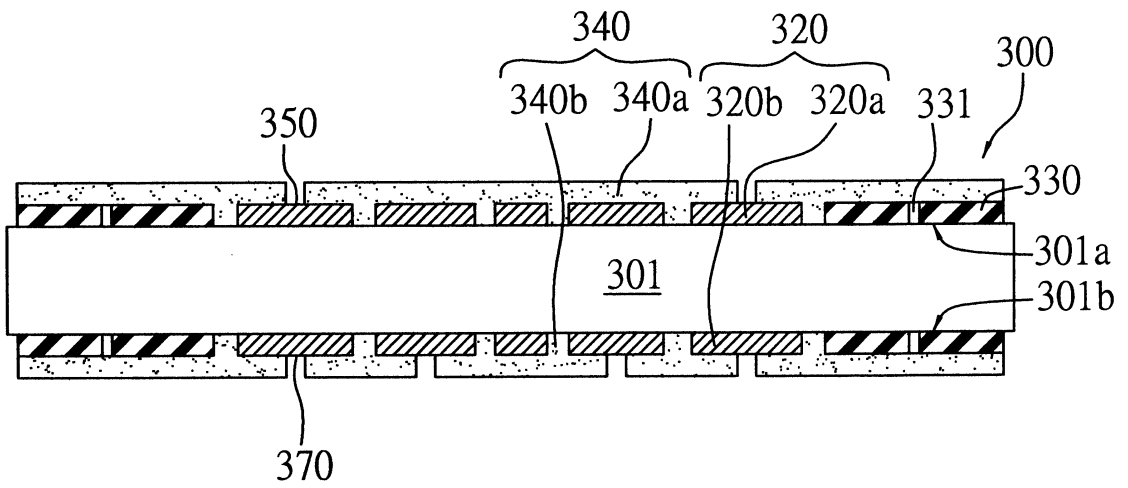
第 1B 圖 (先前技術)



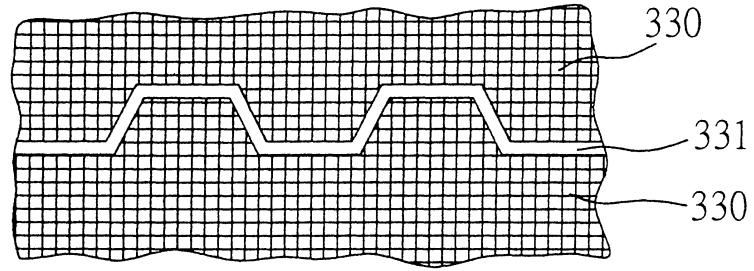
第 2 圖 (先前技術)



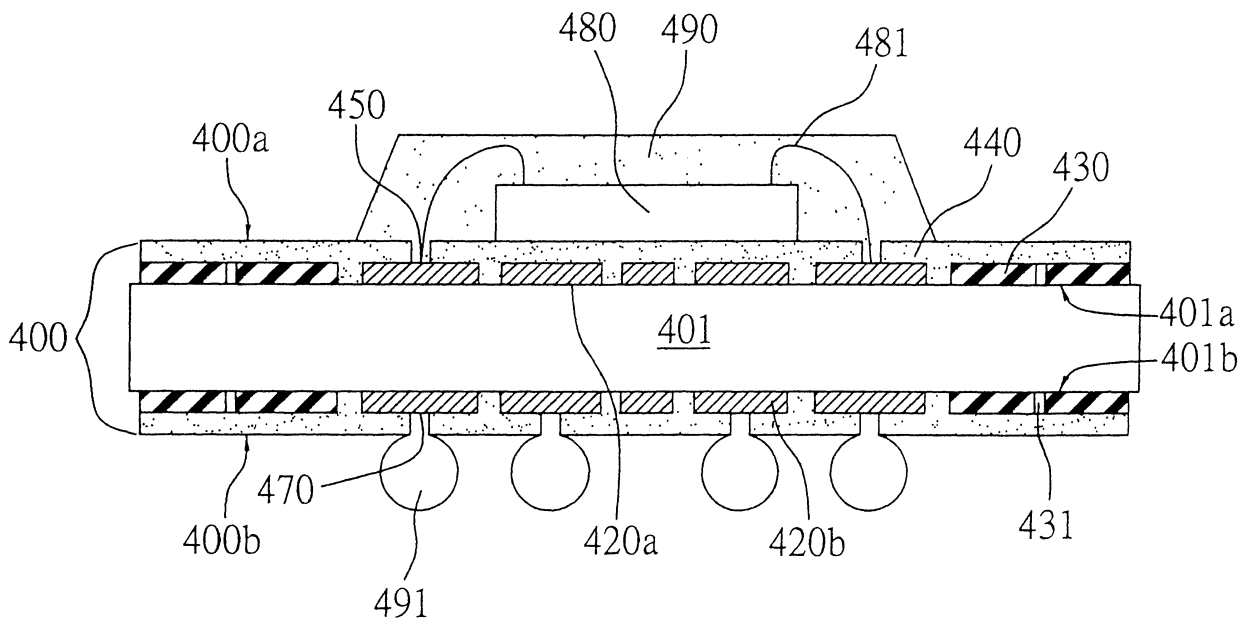
第 3 圖 (代表圖)



第 4 圖



第 5 圖



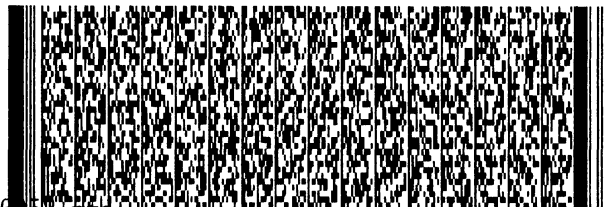
第 6 圖

申請日期： <u>9/11/5</u>	IPC分類	修正 補充
申請案號： <u>91132545</u>	H25K/00, H25K3/00	

(以上各欄由本局填註)

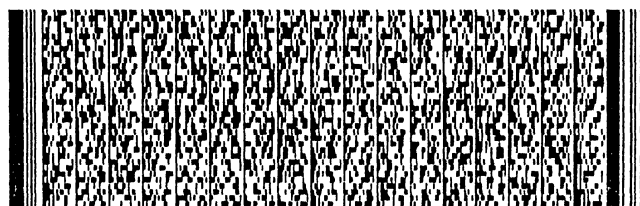
發明專利說明書

一、 發明名稱	中文	可防止熱變形之電路板及其製法
	英文	WARPAGE-PREVENTING CIRCUIT BOARD AND METHOD FOR FABRICATING THE SAME
二、 發明人 (共3人)	姓名 (中文)	1. 張錦煌
	姓名 (英文)	1. Chin-Huang CHANG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台中縣太平市宜祥街13巷7弄18號
	住居所 (英文)	1. No. 18, Alley 7, Lane 13, Yi-Hsiun St., Tai-Ping City, Taichung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



六、申請專利範圍

1. 一種可防止熱變形之電路板，包括：
 - 一電絕緣性基材；
 - 複數條導電跡線，係設置於該電絕緣性基材之至少一表面上；
 - 複數個區塊化之不連續性假導電線路塊 (dummy circuit region)，係設置於該電絕緣性基材之表面上位於該些導電跡線外之表面區域，且該每一對相鄰之假導電線路塊之間設置有一伸縮縫；以及
 - 一絕緣性材質層，係形成於該電絕緣性基材表面，用以覆蓋住該些導電跡線和假導電線路塊。
2. 如申請專利範圍第1項之可防止熱變形之電路板，其中，該假導電線路塊為銅製。
3. 如申請專利範圍第1項之可防止熱變形之電路板，其中，該假導電線路塊之間的伸縮縫係以一鋸齒狀延伸於該些假導電線路塊之間。
4. 如申請專利範圍第1項之可防止熱變形之電路板，其中，該電路板為一球柵陣列式 (BGA) 基板。
5. 如申請專利範圍第1項之可防止熱變形之電路板，其中，該電絕緣性基材為一芯層 (Core)。
6. 如申請專利範圍第1項之可防止熱變形之電路板，其中，該絕緣性材質層為一拒錫層 (Solder Mask)。
7. 一種可防止熱變形之電路板製法，係包括：
 - 於一電絕緣性基材之至少一表面形成有多數之導電跡線；



附件一

六、申請專利範圍

於該佈設有導電跡線外之表面區域形成有複數個區塊化之不連續性假導電線路塊，並於該每一對相鄰之假導電線路塊之間設置有一伸縮縫；以及

形成一絕緣性材質層於該電絕緣性基材表面，用以覆蓋住該些導電跡線和假導電線路塊。

8. 如申請專利範圍第7項之可防止熱變形之電路板製法，其中，該電路板為一球柵陣列式(BGA)基板。
9. 如申請專利範圍第7項之可防止熱變形之電路板製法，其中，該電絕緣性基材為一芯層。
10. 如申請專利範圍第7項之可防止熱變形之電路板製法，其中，該假導電線路塊為銅製。
11. 如申請專利範圍第7項之可防止熱變形之電路板製法，其中，該假導電線路塊之間的伸縮縫係以一鋸齒狀延伸於該些假導電線路塊之間。
12. 如申請專利範圍第7項之可防止熱變形之電路板製法，其中，該絕緣性材質層為一拒錫層(Solder Mask)。

