



(12) 发明专利申请

(10) 申请公布号 CN 104813404 A

(43) 申请公布日 2015. 07. 29

(21) 申请号 201280077340. 3

(51) Int. Cl.

(22) 申请日 2012. 12. 27

G11C 11/4193(2006. 01)

(85) PCT国际申请进入国家阶段日  
2015. 05. 27

G11C 5/14(2006. 01)

H01L 27/108(2006. 01)

(86) PCT国际申请的申请数据  
PCT/US2012/071714 2012. 12. 27

(87) PCT国际申请的公布数据  
W02014/105013 EN 2014. 07. 03

(71) 申请人 英特尔公司  
地址 美国加利福尼亚

(72) 发明人 H·T·恩戈 D·J·卡明斯

(74) 专利代理机构 永新专利商标代理有限公司  
72002

代理人 陈松涛 王英

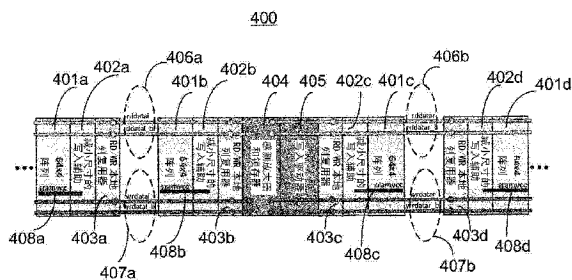
权利要求书5页 说明书18页 附图12页

(54) 发明名称

用于降低动态功率和峰值电流的SRAM位线和写入辅助装置与方法及双输入电平移位器

(57) 摘要

描述了一种装置,包括成组耦合在一起的多个存储器阵列、本地写入辅助逻辑单元、和读取/写入本地列复用器,以使得由所述组中的所述本地写入辅助逻辑单元和所述读取/写入本地列复用器占用的面积小于在使用全局写入辅助逻辑单元和读取/写入全局列复用器时所占用的面积。描述了一种具有集成锁存器的双输入电平移位器。描述了一种装置,包括:写入辅助脉冲发生器,所述写入辅助脉冲发生器工作在第一电源上;一个或多个上拉器件,所述一个或多个上拉器件耦合到所述写入辅助脉冲发生器,所述一个或多个上拉器件工作在与所述第一电源不同的第二电源上;以及输出节点,输出节点用以向存储器单元提供电源。



1. 一种装置,包括:

成组耦合在一起的多个存储器阵列、本地写入辅助逻辑单元、和读取/写入本地列复用器,以使得由所述组中的所述本地写入辅助逻辑单元和所述读取/写入本地列复用器占用的面积小于在使用全局写入辅助逻辑单元和所述读取/写入全局列复用器时所占用的面积。

2. 根据权利要求1所述的装置,其中,所述全局写入辅助逻辑单元和所述读取/写入全局列复用器耦合到存储器单元的未分段阵列。

3. 根据权利要求2所述的装置,其中,所述存储器单元的未分段阵列在面积上大于所述多个存储器阵列中的每一个存储器阵列。

4. 根据权利要求2所述的装置,其中,所述存储器单元的未分段阵列在面积上大于组合的所述多个存储器阵列、所述本地写入辅助逻辑单元、和所述读取/写入本地列复用器中的每一个。

5. 根据权利要求1所述的装置,还包括电源金属线,所述电源金属线用于向所述组中的所述多个存储器阵列提供电力。

6. 根据权利要求5所述的装置,其中,所述本地写入辅助逻辑单元包括写入辅助p型上拉晶体管,所述写入辅助p型上拉晶体管用以调整到所述电源金属线的电力,并且其中,所述p型晶体管在尺寸上小于所述全局写入辅助逻辑单元的p型上拉晶体管。

7. 根据权利要求1所述的装置,其中,所述读取/写入本地列复用器包括传输门,所述传输门用以提供全局读取和写入数据线的电耦合,以生成本地读取和写入信号。

8. 一种用于对存储器进行布局的方法,所述方法包括:

将存储器单元的阵列分段为多个存储器单元的分段阵列;以及

减小用于所述存储器单元的分段阵列的全局写入辅助逻辑单元的面积,以生成多个本地写入辅助逻辑单元,其中,所述多个本地写入辅助逻辑单元中的本地写入辅助逻辑单元中的每一个耦合到所述多个存储器单元的分段阵列中的所述存储器单元的分段阵列中的每一个。

9. 根据权利要求8所述的方法,还包括减小用于所述存储器单元的分段阵列的全局读取/写入列复用器的面积,以生成多个本地读取/写入列复用器,其中,本地读取/写入列复用器中的每一个本地读取/写入列复用器耦合到所述多个存储器单元的分段阵列中的所述存储器单元的分段阵列中的每一个。

10. 根据权利要求8所述的方法,其中,减小用于所述存储器单元的分段阵列的全局写入辅助逻辑单元的面积以生成多个本地写入辅助逻辑单元包括:减小所述全局写入辅助逻辑单元中的所述上拉p型晶体管的尺寸,以生成用于所述本地写入辅助逻辑单元的本地上拉p型晶体管。

11. 一种系统,包括:

存储器单元;以及

处理器,所述处理器耦合到所述存储器单元,所述处理器包括高速缓冲存储器,所述高速缓冲存储器包括:

成组耦合在一起的多个存储器阵列、本地写入辅助逻辑单元、和读取/写入本地列复用器,以使得由所述组中的所述本地写入辅助逻辑单元和所述读取/写入本地列复用器占

用的面积小于在使用全局写入辅助逻辑单元和所述读取 / 写入全局列复用器时所占用的面积。

12. 根据权利要求 11 所述的系统,还包括:

显示单元;以及

无线接口,所述无线接口用以容许所述处理器以无线方式与其它器件进行通信。

13. 根据权利要求 11 所述的系统,其中,所述存储器单元是 DRAM。

14. 根据权利要求 11 所述的系统,其中,所述全局写入辅助逻辑单元和所述读取 / 写入全局列复用器耦合到存储器单元的未分段阵列。

15. 根据权利要求 14 所述的系统,其中,所述存储器单元的未分段阵列在面积上大于所述多个存储器阵列中的每一个存储器阵列。

16. 根据权利要求 14 所述的系统,其中,所述存储器单元的未分段阵列在面积上大于组合的所述多个存储器阵列、本地写入辅助逻辑单元、和读取 / 写入本地列复用器中的每一个。

17. 根据权利要求 11 所述的系统,其中,所述处理器还包括电源金属线,所述电源金属线用于向所述组中的所述多个存储器阵列提供电力。

18. 根据权利要求 17 所述的系统,其中,所述本地写入辅助逻辑单元包括写入辅助 p 型上拉晶体管,所述写入辅助 p 型上拉晶体管用以调整到所述电源金属线的电力,并且其中,所述 p 型晶体管在尺寸上小于所述全局写入辅助逻辑单元中的 p 型上拉晶体管。

19. 根据权利要求 11 所述的系统,其中,所述读取 / 写入本地列复用器包括传输门,所述传输门用以提供全局读取和写入数据线的电耦合,以生成本地读取和写入信号。

20. 一种具有计算机可读指令的计算机可读储存介质,所述计算机可读指令在被执行时使得机器执行方法,所述方法包括:

将存储器单元的阵列分段为多个存储器单元的分段阵列;以及

减小用于存储器单元的所述分段阵列的全局写入辅助逻辑单元的面积,以生成多个本地写入辅助逻辑单元,其中,所述多个本地写入辅助逻辑单元中的所述本地写入辅助逻辑单元中的每一个耦合到所述多个存储器单元的分段阵列中的所述存储器单元的分段阵列中的每一个。

21. 根据权利要求 20 所述的计算机可读储存介质,所述计算机可读储存介质具有进一步的计算机可读指令,所述进一步的计算机可读指令在被执行时使得所述机器执行进一步的方法,所述进一步的方法包括减小用于所述存储器单元的分段阵列的全局读取 / 写入列复用器的面积,以生成多个本地读取 / 写入列复用器,其中,所述本地读取 / 写入列复用器中的每一个本地读取 / 写入列复用器耦合到所述多个存储器单元的分段阵列中的所述存储器单元的分段阵列中的每一个。

22. 根据权利要求 20 所述的计算机可读储存介质,其中,减小用于所述存储器单元的分段阵列的全局写入辅助逻辑单元的面积以生成多个本地写入辅助逻辑单元包括:减小所述全局写入辅助逻辑单元的所述上拉 p 型晶体管的尺寸,以生成用于所述本地写入辅助逻辑单元的本地上拉 p 型晶体管。

23. 一种电平移位器,包括:

第一电源,所述第一电源为所述电平移位器中的多个晶体管供电;

第一输入节点,所述第一输入节点接收由工作在第二电源上的电路产生的第一信号,所述第二电源与所述第一电源不同;

第一 n 型晶体管,所述第一 n 型晶体管接收所述第一信号;

第二输入节点,所述第二输入节点接收第二信号,所述第二信号是所述第一信号的反相,所述第二信号由所述电路生成;以及

第二 n 型晶体管,所述第二 n 型晶体管接收所述第二信号,所述第一 n 型晶体管和所述第二 n 型晶体管具有交叉耦合到所述多个晶体管中的一些晶体管的漏极端子。

24. 根据权利要求 23 所述的电平移位器,还包括输出节点,所述输出节点用以根据所述第一信号和所述第二信号生成输出信号。

25. 根据权利要求 23 所述的电平移位器,其中,所述电平移位器是异步的。

26. 根据权利要求 23 所述的电平移位器,其中,所述电平移位器不依赖于时钟信号。

27. 根据权利要求 23 所述的电平移位器,还包括第三输入节点,所述第三输入节点耦合到所述多个晶体管中的一些晶体管,所述第三输入节点用以接收第三信号,以生成确定性输出。

28. 根据权利要求 27 所述的电平移位器,还包括输出节点,所述输出节点用以根据所述第一信号和所述第二信号或者所述第三信号来生成输出信号。

29. 根据权利要求 23 所述的电平移位器,其中,所述多个晶体管中的一些晶体管起锁存器的作用。

30. 根据权利要求 23 所述的电平移位器,其中,所述第二电源高于所述第一电源。

31. 根据权利要求 23 所述的电平移位器,其中,所述第一电源高于所述第二电源。

32. 一种存储器单元,包括:

存储器单元的阵列;

列复用器,所述列复用器耦合到所述存储器单元的阵列;

感测放大器,所述感测放大器耦合到所述列复用器;以及

具有集成的电平移位器的输出数据锁存器,包括:

第一电源,所述第一电源为所述电平移位器中的多个晶体管供电;

第一输入节点,所述第一输入节点用以接收由工作在第二电源上的电路生成的第一信号,所述第二电源与所述第一电源不同;

第一 n 型晶体管,所述第一 n 型晶体管用以接收所述第一信号;

第二输入节点,所述第二输入节点用以接收第二信号,所述第二信号是所述第一信号的反相,所述第二信号由所述电路生成;以及

第二 n 型晶体管,所述第二 n 型晶体管用以接收所述第二信号,所述第一 n 型晶体管和所述第二 n 型晶体管具有交叉耦合到所述多个晶体管中的一些晶体管的漏极端子。

33. 根据权利要求 32 所述的存储器单元,其中,所述存储器单元的阵列是 SRAM 单元的阵列。

34. 根据权利要求 32 所述的存储器单元,还包括预充电耦合到所述列复用器的位线。

35. 根据权利要求 32 所述的存储器单元,还包括输出节点,所述输出节点用以根据所述第一信号和所述第二信号来生成输出信号。

36. 根据权利要求 32 所述的存储器单元,其中,具有集成的电平移位器的所述输出数

据锁存器是异步的。

37. 根据权利要求 32 所述的存储器单元,其中,具有集成的电平移位器的所述输出数据锁存器不依赖于时钟信号。

38. 根据权利要求 32 所述的存储器单元,还包括第三输入节点,所述第三输入节点耦合到所述多个晶体管中的一些晶体管,所述第三输入节点用以接收第三信号,以生成确定性输出。

39. 根据权利要求 38 所述的存储器单元,还包括输出节点,所述输出节点用以根据所述第一信号和所述第二信号或者所述第三信号生成输出信号。

40. 根据权利要求 32 所述的存储器单元,其中,所述多个晶体管中的一些晶体管起锁存器的作用。

41. 根据权利要求 32 所述的存储器单元,其中,所述第二电源高于所述第一电源。

42. 根据权利要求 32 所述的存储器单元,其中,所述第一电源高于所述第二电源。

43. 一种系统,包括:

存储器单元;以及

处理器,所述处理器耦合到所述存储器单元,所述处理器包括高速缓冲存储器单元,所述高速缓冲存储器单元具有根据权利要求 23-31 中的任一项所述的电平移位器的电平移位器。

44. 一种装置,包括:

写入辅助脉冲发生器,所述写入辅助脉冲发生器工作在所述第一电源上;

一个或多个上拉器件,所述一个或多个上拉器件耦合到所述写入辅助脉冲发生器,所述一个或多个上拉器件工作在第二电源上,所述第二电源与所述第一电源不同;以及输出节点,所述输出节点向存储器单元提供电源。

45. 根据权利要求 44 所述的装置,其中,所述存储器单元是 SRAM 单元。

46. 根据权利要求 44 所述的装置,其中,所述写入辅助脉冲发生器可操作用于生成写入辅助脉冲,以使得一个或多个上拉器件将所述第二电源耦合到所述输出节点。

47. 根据权利要求 44 所述的装置,其中,所述写入辅助脉冲发生器可操作用于生成写入辅助脉冲,以使得所述电源相对于另一个电源进行调整。

48. 根据权利要求 44 所述的装置,其中,所述输出节点耦合到所述写入辅助脉冲发生器。

49. 根据权利要求 44 所述的装置,其中,所述输出节点响应于唤醒信号而耦合到所述第一电源。

50. 根据权利要求 44 所述的装置,其中,所述输出节点响应于睡眠信号而耦合到第三电源。

51. 根据权利要求 50 所述的装置,其中,所述第三电源是睡眠电源。

52. 一种系统,包括:

存储器单元;以及

处理器,所述处理器耦合到所述存储器单元,所述处理器具有高速缓冲存储器单元,所述高速缓冲存储器单元包括:

存储器单元的阵列,所述存储器单元的阵列工作在所述第一电源上;以及

写入辅助电路,所述写入辅助电路耦合到所述存储器单元的阵列,所述写入辅助电路用以在向所述存储器单元的阵列的写入操作期间降低第一电源,所述写入辅助电路根据权利要求 44 至 51 中的任一项所述的装置。

53. 根据权利要求 52 所述的系统,还包括:

显示单元;以及

无线接口,所述无线接口用以容许所述处理器以无线方式与其它器件进行通信。

54. 根据权利要求 52 所述的系统,其中,所述存储器单元是 DRAM。

## 用于降低动态功率和峰值电流的 SRAM 位线和写入辅助装置与方法及双输入电平移位器

### 背景技术

[0001] 超大规模集成 (VLSI) 电路的低功率运行对于当前和将来的处理器中的省电成为必不可少的。而且,功率效率已经成为对于计算机、处理器、移动电话、平板电脑、微型服务器和上网本市场中的片上系统 (SOC) 设计的一个主要竞争性度量。然而,由于较高的固有器件变化(例如,晶体管的有效沟道长度  $L_e$  和阈值电压  $V_t$  中的变化)和在低电压下对于导致故障的缺陷的敏感性,对于基于纳米级工艺技术的处理器(例如,亚 22-nm),降低动态功耗变得越来越具有挑战性。

[0002] 在蜂窝电话、平板电脑、微型服务器和上网本市场空间中, SOC 设计变得越来越令人期望且具有竞争性。然而,由于 SOC 设计上的多个功能单元的复杂性以及功率相对于性能的挑战性的折衷,全局电源 ( $V_{cc}$ ) SOC 轨电压在不同 SOC 设计之间变化极大。 $V_{cc}$  中的此变化对于例如静态随机存取存储器 (SRAM) 及其它存储器设计的电路造成了几个难题。

### 附图说明

[0003] 依据以下给出的具体实施方式并依据本公开内容的多个实施例的附图,会更充分地理解本公开内容的实施例,然而,这不应认为是将本公开内容局限于具体实施例,而仅是用于解释和理解。

[0004] 图 1 是具有用于改进写入操作的至少两个电源的 6T SRAM 单元。

[0005] 图 2 是用于在 SRAM 阵列的写入操作期间生成用于写入辅助的  $S_{ram}V_{cc}$  的电路。

[0006] 图 3 是传统 SRAM 阵列的布局。

[0007] 图 4 是根据本公开内容的一个实施例的使用了用于降低动态功率和峰值电流的分段的 SRAM 阵列的布局。

[0008] 图 5 是根据本公开内容的一个实施例的用于图 4 的分段 SRAM 阵列的读取 / 写入列选择和位线预充电电路。

[0009] 图 6 是根据本公开内容的一个实施例的用于降低动态功率和峰值电流的 SRAM 阵列的布局分段的方法。

[0010] 图 7 是根据本公开内容的一个实施例的具有示出了与图 3 的传统 SRAM 阵列相比由于对 SRAM 阵列进行分段引起的功率节省的波形的曲线图。

[0011] 图 8 是具有 6T SRAM 单元和在工作在与 SRAM 阵列不同的电源上的感测放大器数据输出驱动器的存储器阵列架构。

[0012] 图 9 是感测放大器数据输出驱动器和锁存器。

[0013] 图 10 是根据本公开内容的一个实施例的具有用以代替图 9 的感测放大器数据输出驱动器和锁存器的集成锁存器的双输入电平移位器。

[0014] 图 11A-B 是根据本公开内容的一个实施例的与图 10 的具有集成锁存器的双输入电平移位器相关联的时序图。

[0015] 图 12 是根据本公开内容的一个实施例的用于减小动态功率和峰值电流的双轨写

入辅助电路。

[0016] 图 13 是根据本公开内容的一个实施例的示出了与图 2 的写入辅助电路相比使用图 12 的双轨写入辅助电路的峰值电流的减小的曲线图。

[0017] 图 14 是根据本公开内容的一个实施例的具有分段 SRAM 阵列布局、具有集成锁存器的双输入电平移位器、和 / 或双轨写入辅助电路的智能器件或计算机系统或 SOC。

### 具体实施方式

[0018] 实施例描述了一种装置,包括成组耦合在一起的多个存储器阵列、本地写入辅助逻辑单元、和读取 / 写入本地列复用器,以使得由组中的本地写入辅助逻辑单元和读取 / 写入本地列复用器占用的面积小于在使用全局写入辅助逻辑单元和读取 / 写入全局列复用器时所占用的面积。与传统多个存储器阵列相比,实施例在器件变化的情况下以较小面积影响、在较低功率下实现了对于多个存储器阵列的读取和写入操作。

[0019] 实施例还描述了一种电平移位器,包括:第一电源,所述第一电源用以作为电平移位器的多个晶体管供电;第一输入节点,所述第一输入节点用以接收由在工作第二电源上的电路生成的第一信号,第二电源与第一电源不同;第一 n 型晶体管,所述第一 n 型晶体管用以接收第一信号;第二输入节点,所述第二输入节点用以接收第二信号,第二信号是第一信号的反相,第二信号由电路生成;以及第二 n 型晶体管,所述第二 n 型晶体管接收第二信号,第一 n 型晶体管和第二 n 型晶体管具有交叉耦合到多个晶体管中的一些晶体管的漏极端子。

[0020] 实施例还描述了一种装置,包括:写入辅助脉冲发生器,所述写入辅助脉冲发生器工作在第一电源上;一个或多个上拉器件,所述一个或多个上拉器件耦合到写入辅助脉冲发生器,一个或多个上拉器件工作在第二电源上,第二电源与第一电源不同;以及输出节点,输出节点用以向存储器单元提供电源。

[0021] 在以下实施例中:Vcc 与 VccSram 相同(其可以是特定 SramVcc 电源轨);SramVcc 是来自写入辅助电路块的本地 Vcc;以及 Vnn 是 SOC 电源轨(即,在芯片和 / 或处理器的其余部分上使用的电源轨)。通常在 Vnn 上生成用于 SRAM 的输入 / 输出信号。在一个实施例中,将 Vnn 上的信号电平移位到 VccSram,以及将 VccSram 上的信号电平移位到 Vnn。

[0022] 在以下说明中,讨论了多个细节,以提供对本公开内容的实施例的更透彻的理解。然而,对于本领域技术人员显而易见的是,本公开内容的实施例可以在没有这些具体细节的情况下得以实施。在其它实例中,以框图形式而非详细地示出了公知的方法和器件,以避免使本公开内容的实施例模糊不清。

[0023] 注意,在实施例的相对应的附图中,以线来表示信号。一些线可以较粗,以指示更多的组成信号路径,和 / 或一些线在一端或多端具有箭头,以指示主要信息流动方向。这种指示并非旨在是限制性的。相反,结合一个或多个示范性实施例来使用所述线,以便促进对电路或逻辑单元的更容易的理解。如由设计需要或偏好所指示的任何表示的信号实际上可以包括一个或多个信号,所述一个或多个信号可以在任何方向上行进,并且可以以任何适合类型的信号方案来实现。

[0024] 遍及说明书和在权利要求书中,术语“连接的”意指在连接的事物之间的直接电连接,而没有任何中间器件。术语“耦合的”意指在连接的事物之间的直接电连接,或者通过



一个或多个无源或有源中间器件的间接连接。术语“电路”意指被布置为彼此协作以提供所期望的功能的一个或多个无源和 / 或有源部件。术语“信号”意指至少一个电流信号、电压信号或数据 / 时钟信号。“一”“一个”和“所述”的含义包括复数形式的引用。“在……中”的含义包括“在……中”和“在……上”。

[0025] 术语“按比例缩放”通常指代将设计（示意图和布局）从一个工艺技术转换为另一个工艺技术。术语“按比例缩放”通常还指代在相同技术节点内减小布局和器件的尺寸。术语“基本上”、“接近”、“大约”、“附近”、“约”通常指代在目标值的  $\pm 20\%$  内。

[0026] 除非另有指明，描述共同对象的序数词“第一”、“第二”和“第三”等的使用仅仅指示提及了相似对象的不同实例，而并非旨在暗示如此描述的对象必须在时间、空间、排序上或者以任何其它方式处于给定的顺序中。

[0027] 对实施例来说，晶体管是金属氧化物半导体 (MOS) 晶体管，其包括漏极端子、源极端子、栅极端子和体端子。晶体管还可以包括三栅极晶体管和 FinFet 晶体管。源极端子和漏极端子可以是相同的端子，并且在本文中可互换地使用。本领域技术人员会意识到，在不脱离本公开内容的范围的情况下，可以使用其它晶体管，例如双极结型晶体管 -BJT PNP/NPN、BiCMOS、CMOS、eFET 等。术语“MN”表示 n 型晶体管（例如，NMOS、NPN BJT 等），以及术语“MP”表示 p 型晶体管（例如，PMOS、PNP BJT 等）。

[0028] 图 1 是用于改进写入操作的具有至少两个电源的 6T SRAM 单元 100。SRAM 单元 100 包括用于读取 / 写入操作的两个存取 n 型器件 Mpass0 和 Mpass1。两个存取 n 型器件 Mpass0 和 Mpass1 可由字线 (w1) 信号来控制。SRAM 单元 100 还包括两个交叉耦合的反相器，其保持存储器单元状态（或数据）。两个交叉耦合的反相器的第一反相器由 p 型 Mpu0 和 n 型 Mdn0 器件形成，而交叉耦合的反相器的第二反相器由 p 型 Mpu1 和 n 型 Mdn1 器件形成。第一反相器的输出节点 n0 耦合到存取器件 Mpass0 并且耦合到第二反相器的输入。第二反相器的输出节点 n1 耦合到存取器件 Mpass1 和第一反相器的输入。存取器件 Mpass1 和 Mpass0 还耦合到位线信号 b1 和 b1\_b(b1 的反相)。在一个实施例中，（第一反相器和第二反相器的）p 型器件 Mpu0 和 Mpu1 的本体或体端子耦合到与 VccSram 不同的 SramVcc。

[0029] 尽管图 1 示出了两个电源 VccSram 和 SramVcc，但典型的 SRAM 单元工作在单一电源 VccSram 上（即，SramVcc 节点短接到 Vcc）。在 SRAM 单元 100 的典型应用中，分别通过位线信号 b1 和 b1\_b(b1 的反相) 驱动写入数据和数据\_b(其是数据的反相)。在写入操作期间，借助字线 w1 将数据驱动到 SRAM 单元 100 中，字线 w1 设定为 Vcc 电平（逻辑高电平）。由于 n 型存取器件 Mpass0 和 Mpass1 不传送强 HIGH(即，逻辑高电平)，典型的 SRAM 单元 100 在降低 Vcc 时艰难地写入“1”。此效果在较低 Vcc 下更为显著，由于存取 n 型器件 Mpass0 和 Mpass1 的 Vt 没有随着电源 Vcc 而按比例缩放。当结合较低的 Vcc 操作来考虑器件变化（例如，Le 和 Vt 中的变化）时，典型的 SRAM 单元 100 变得易受写入故障（即，典型的 SRAM 单元 100 不能翻转内部节点 n0/n1）的影响。这种故障在较低的 Vcc 电平下促成了相当大的收益损失。

[0030] 通过为 p 型器件 Mpu0 和 Mpu1 的本体 / 体提供单独的电源（例如，Vcc），同时为交叉耦合的反相器的逻辑操作提供不同的电源（例如，SramVcc）来克服上述问题（及其它问题）。在写入操作期间降低 SramVcc，以减小 Mpu0 和 Mpu1 器件的强度。由例如图 2 的特殊电路生成 SramVcc。

[0031] 图 2 是用于在 SRAM 阵列的写入操作期间生成用于写入辅助的 SramVcc 的电路 200。参考图 1 来描述图 2。写入辅助电路 200 包括写入辅助脉冲偏置电路 201,其在具有 SRAM 单元 100 的 SRAM 阵列的写入与读取操作期间调整 SramVcc 的电平。通过借助由包括反相器 inv 和 NAND 门 nandA 的组合逻辑生成的 write\_assist\_pulse 信号激活 Mcollapse(n 型器件)来降低 SramVcc。SramVcc 电平跌落(或减小)的速度与水平可以由 Mpbias0、Mpbias1 和 Mpbias2 器件来编程,Mpbias0、Mpbias1 和 Mpbias2 器件可由数字信号 bias\_b<2:0>(即,bias\_b 信号中的三位)来控制。SramVccWake 信号通过控制 Misleep 和 Mwake(经由 NAND 门 nandB)器件来确定 SRAM 睡眠(低功率)或唤醒(正常操作)模式。如果在睡眠模式中,将 SramVcc 连接到低于正常操作 SramVcc 的特定睡眠电压。SleepVcc 是用于 Misleep 的电源。Loco1VccPulse 信号由 SRAM 控制/定时器(未示出)生成,并且确定 Mcollapse 写入辅助下拉的长度持续时间。ColEn 容许写入字节和写入位功能(例如,对于位设计,ColEn 容许仅写入到 64 位中的 8 位)。

[0032] 以 SRAM 单元的阵列来布局 SRAM 单元 100。如上所述,随着工艺技术收缩(或按比例缩小),SRAM 单元的阵列在典型电源(Vcc)操作电压下不再具有足够的读取与写入容限,除非将特殊电路(例如,图 2 的写入辅助电路 200)用于辅助读取与写入操作。用于对写入与读取操作提供辅助的特殊电路(例如,图 2 的写入辅助电路 200)的添加增大了 6T SRAM 阵列设计的功率和面积。用于 SRAM 阵列的功率和面积的增大为制造低功率移动处理器和 SOC 提出了问题。功率的增大由 Mpbias0、Mpbias1、Mpbias2 和 Mcollapse 器件引起。

[0033] 图 3 是传统 SRAM 阵列的布局 300。布局 300 包括在大块(例如 256x4)301a 和 301b 中的 SRAM 单元的阵列,大块 301a 和 301b 分别需要相对应的大尺寸写入辅助电路(例如,图 2 的写入辅助电路 200)302a 和 302b,以及相对应的读取/写入(RD/WR)列复用器 303a 和 303b。布局 300 还包括感测放大器与锁存器电路 304 和写入驱动器 305,它们经由 306a、306b、307a 和 307b(也被称为全局 RD/WR 列复用器,因为它们对于 SRAM 的阵列是全局的)耦合到读取/写入(RD/WR)列复用器 303a 和 303b。由于 SRAM 单元的大阵列(例如,256x4)301a 和 301b,将 SramVcc 线路设计成为 SRAM 单元的大阵列 301a 和 301b 承载足够的电源。

[0034] 由于图 2 的器件导致的 SRAM 写入动态功率增大不利地影响总的 SOC 设计复杂性和成本。例如,在基于相同轨的子阵列设计解决方案上显著增大了对于 SRAM 阵列的功率传送的要求,因为现在将 SramVcc 和 VccSram 提供给 SRAM 阵列中的 SRAM 单元。对于 SRAM 电压调节器的电流传送要求随着为了性能增强而将更多 SRAM 添加到 SRAM 阵列 301a 和 301b 而增大。电流传送要求的增大不利地影响平台成本。提供两个单独的电源还增大了 SRAM 电压轨 SramVcc 308a 和 308b 的峰值电流的大小。

[0035] 例如,SRAM 电压轨 SramVcc 308a 和 308b 的峰值电流在基于单一电源的 SRAM 架构上可以增大 3X-4X(其中,“X”指代倍数的数量)。峰值电流大小的增大导致对于 SRAM 轨的昂贵的封装解决方案(例如,多管芯侧电容器)和管芯上电容器的放置。提供两个单独的电源还增大了 VccSram 和 SramVcc 节点上的电压跌落(droop)的大小。以上问题及其它问题由图 4 的实施例来解决。

[0036] 图 4 是根据本公开内容的一个实施例的使用了用于降低动态功率和峰值电流的分段的 SRAM 阵列的布局 400。应指出,图 4 中的具有与任何其它附图的元件相同的附图标

记（或名称）的那些元件可以以与所述方式类似的任何方式来操作或运行，但不限于此。

[0037] 布局 400 包括被分段为 401a、401b、401c 和 401d 子阵列的 SRAM 阵列单元。例如，将 256x4 阵列 301a 分段为包括阵列 401a 和 401b 的四个 64x4 子阵列，其中，四个 64x4 子阵列中的每一个（例如，401a 和 401b）在尺寸（即，面积）上小于 256x4 阵列 301a。类似地，在此例子中，将 256x4 阵列 301b 分段为包括 401c 和 401d 的四个 64x4 子阵列，其中，四个 64x4 子阵列中的每一个（例如，401c 和 401d）在尺寸（即，面积）上小于 256x4 阵列 301b。尽管实施例示出了将 256x4 阵列分段为四个子阵列，但可以以设计任意数量的子分段来实现所述的技术结果。例如，64x4、32x4、16x4 等的阵列粒度可以用于对较大的阵列（例如，256x4 的阵列）进行分段。

[0038] 布局 400 还包括写入辅助电路 402a、402b、402c 和 402d，它们是写入辅助电路 302a 和 302b 的分段版本。例如，将写入辅助电路 302a 分段为两个写入辅助电路 402a、402b，其中，每一个写入辅助电路 402a 和 402b 在尺寸（面积）上小于写入辅助电路 302a。在另一个例子中，将写入辅助电路 302b 分段为两个写入辅助电路 402c 和 402d，其中，每一个写入辅助电路 402c 和 402d 在尺寸（面积）上小于写入辅助电路 302b。在其它实施例中，可以将写入辅助电路 302a 和 302b 分段为多于两个写入辅助电路。

[0039] 由于写入辅助电路 402a、402b、402c 和 402d（也被称为本地写入辅助电路，因为它们对于 SRAM 的分段阵列是本地的）相对于写入辅助电路 302a 和 302b 尺寸减小，在将 RD/WR 列复用器 303a 和 303b 分段时，布局 400 的 RD/WR 本地列复用器 403a、403b、403c 和 403d 相对于 RD/WR 列复用器 303a 和 303b 尺寸减小。根据一个实施例，通过对阵列 301a 和写入辅助电路 302a 进行分段，每一个 SramVcc 408a 和 408b 的线路长度比 SramVcc308a 的线路长度更短。根据一个实施例，通过对阵列 301b 和写入辅助电路 302b 进行分段，每一个 SramVcc 408c 和 408d 的线路长度比 SramVcc 308b 的线路长度更短。

[0040] 在一个实施例中，分别往来于 RD/WR 本地列复用器 403a、403b、403c、403d（也被称为 RD/WR 本地列复用器，因为它们对于 SRAM 的分段阵列是本地的）的读取数据和写入数据（及其反相信号）406a、406b 和 407a、407b 按路线发送（route）到感测放大器与锁存器 404。在这种实施例中，传输门耦合到 406a、406b 和 407a、407b 的布线，以将读取数据和写入数据（及其反相信号）耦合到各自的 RD/WR 本地列复用器 403a、403b、403c 和 403d。在一个实施例中，感测放大器与锁存器 404 的尺寸和感测放大器与锁存器 304 的尺度基本上相同。在其它实施例中，感测放大器与锁存器 404 的尺寸相对于感测放大器与锁存器 304 较小。在一个实施例中，写入驱动器 405 的尺寸与写入驱动器 305 基本上相同。在其它实施例中，写入驱动器 405 的尺寸相对于写入驱动器 305 较小。

[0041] 图 4 的实施例通过将位单元阵列元件分段为较小的子阵列的组（例如 64x4（每“4”列 64 个位单元））解决了图 3 的写入辅助高功率问题。为了解释实施例，描述了被分段为 64x4 子阵列的 256x4 阵列的例子。然而，在不改变实施例的本质的情况下，可以使用针对分段的其它尺寸。

[0042] 在这个例子中，图 3 的布局 300 的分段导致 SramVcc、b1 和 b1\_b（图 1、图 2）信号也每隔 64 个位单元被分段。将图 3 的写入辅助电路的大小划分（size）支持 256x4 位单元阵列。在一个实施例中，通过将阵列分段减小到 64x4，可以减小写入辅助电路的尺寸（即，可以减小有效面积和 / 或覆盖区（footprint））。例如，写入辅助电路的尺寸减小可以高达

70%，以实现与以前写入辅助电路的性能相同的性能。图 3 使用连接到大的 256x4 阵列的大（按照有效面积）写入辅助电路（与图 4 的写入辅助电路相比）。因此，SramVcc 301a、b1 和 b1\_b 跨 256 个位单元是连续的。图 4 的实施例示出了阵列读取和写入方案的框级图示。图 4 的实施例使用耦合到较小的 64x4 阵列的较小写入辅助电路（与图 3 的写入辅助电路相比）。因此，SramVcc(408a-d)、b1 和 b1\_b 是本地的，并且仅跨 64 个位单元是连续的。

[0043] 布局 400 通过将图 3 的布局 300 分段为具有较小写入辅助电路（图 2 的较小版本）和读取 / 写入列选择电路的较小部分而减小了峰值电流和平均电流（例如，在写入处理期间所需的）。用于将图 3 的布局 300 分段为图 4 的布局 400 的一个技术效果是实现了动态写入功率节省，例如大于 50% 的功率节省。还可以通过图 4 的实施例减小其它成本（诸如大电压调节器的成本）、SramVcc 上的封装电容器的数量与尺寸。图 4 的实施例还容许将较小的位单元集成到存储器单元中。在存在器件变化的情况下，与传统多个存储器阵列相比，实施例以较小的面积影响、在较低功率下实现了对多个存储器阵列的读取与写入操作。

[0044] 图 4 的实施例将新的分段布局拓扑结构 (topology) 与修改的写入辅助和读取 / 写入列选择电路相结合。图 4 的实施例展现了许多技术效果。一些非限制性技术效果是：图 4 的实施例与图 3 的实施例相比，通过减小写入辅助电路的选择部件（例如，部件 201）的尺寸减小了动态写入功率。在一个实施例中，由于位单元阵列的分段，使写入辅助电路的选择部件的尺寸减小是可能的。

[0045] 图 4 的实施例的另一个技术效果是：与图 3 的实施例相比，其减小了动态读取和写入功率。这通过对来自耦合到感测放大器与锁存器 404 的全局读取和写入线路的本地位线进行分段来完成。这继而降低了在读取和写入操作期间进行开关的全局读取和写入线路上的总电容。实施例的另一个技术效果是：布局 400 通过减小位线预充电和写入辅助部件（例如，部件 201 及其相对应的驱动器）的尺寸而减小了峰值电流。布局 400 的实施例还通过获得每条位线的位单元的最小固定数量（例如，64）而使位线失配最小化。布局 400 的实施例还实现了高达例如每组 1024x4 个位单元。以前的设计仅支持高达例如每组 512x4 个位单元。

[0046] 图 5 是根据本公开内容的一个实施例的用于图 4 的分段 SRAM 阵列的读取 / 写入列选择和位线预充电电路 500。应指出，图 5 的具有与任何其它附图的元件相同的附图标记（或名称）的那些元件可以以与所述方式类似的任何方式来操作或运行，但不限于此。

[0047] 读取 / 写入列选择和位线预充电电路 500（例如，403a-d）包括分别对应于 407a-b 与 406a-b 的本地位线 501b1 和 b1\_b（b1 的反相）与全局读取 / 写入数据线 502 - wrdata、wrdata\_b、rddata 和 rddata\_b。在一个实施例中，本地位线 501 由包括晶体管 Mb1pa、Mb1pb、Mb1pc、Mcpl1、Mcplb 的电路和包括 Mnwrb、Mprdb、Mprd 和 Mnwr 的传输门 503 生成。b1pch\_b 是本地 b1（本地位线）预充电信号，其在任何读取 / 写入操作前将本地 b1 线（本地位线）501 预充电到 VccSram。在读取操作期间，rdysel 信号充当读取列复用器选择信号，其容许本地 b1 线 501 的值传播到全局读取数据线（rddata&rddata\_b）。在写入操作期间，wrysel 信号充当写入列复用器选择信号，其容许全局写入数据线（wrdata&wrdata\_b）上的写入数据传送到本地 b1 线 501。

[0048] 参考图 4 的示范性实施例，每 64x4 位单元的段（4019a-d）耦合到本地读取 / 写入

选择电路 500 (例如, 403a-d)。在一个实施例中, 在读取和写入操作期间, 通过传输门 503—Mnwr、Mnwrb、Mprdb 和 Mprdb—读取或写入本地选择的 b1 和 b1\_b。在一个实施例中, 交叉耦合的器件 Mcp1 和 Mcp1b 消除了对互补传输门的需要, 因为在写入操作期间, 机构会以“1”上拉位线。在此实施例中, 全局读取 / 写入数据线 502 上较低的电容 (代替 256x4 个存储器单元的 64x4 个存储器单元) 导致在读取和写入操作期间平均电流和峰值电流的减小。

[0049] 图 6 是根据本公开内容的一个实施例的用于降低动态功率和峰值电流的 SRAM 阵列的布局分段的方法 600。应指出, 图 6 的具有与任何其它附图的元件相同的附图标记 (或名称) 的那些元件可以以与所述方式类似的任何方式来操作或运行, 但不限于此。尽管以特定顺序示出了参考图 6 的流程图中的块, 但是动作的顺序可以修改。因而, 可以按照不同的顺序执行所示的实施例, 并且一些动作 / 块可以并行执行。参考图 4-5 的实施例示出了图 6 的流程图。根据某些实施例, 图 6 中列出的块和 / 或动作中的一些是可选的。呈现的块的编号是为了清楚, 而并非旨在规定其中必须出现多个块的操作的顺序。另外, 可以以各种组合来利用来自不同流程的操作。

[0050] 在块 601, 存储器单元的阵列 (例如, 301a-b) 分段为多个存储器单元的分段阵列 (例如, 401a-d)。在块 602, 减小用于存储器单元的分段阵列的全局写入辅助逻辑单元 (例如, 302a-b) 的面积, 以生成多个本地写入辅助逻辑单元 (例如, 402a-d), 其中, 多个本地写入辅助逻辑单元 (例如, 402a-d) 中的本地写入辅助逻辑单元中的每一个耦合到多个存储器单元的分段阵列 (例如, 401a-d) 中的存储器单元的分段阵列的每一个。

[0051] 在块 603, 减小用于存储器单元的分段阵列 (例如, 401a-d) 的全局读取 / 写入列复用器 (例如, 303a-b) 的面积, 以生成多个读取 / 写入本地列复用器 (例如, 403a-d)。在一个实施例中, 读取 / 写入本地列复用器中的每一个读取 / 写入本地列复用器耦合到多个存储器单元的分段阵列中的存储器单元的分段阵列中的每一个。在一个实施例中, 减小全局写入辅助逻辑单元 (例如, 302a-b) 的面积包括减小全局写入辅助逻辑单元的上拉 p 型晶体管 (例如, Mpbias0、Mpbias 1 和 Mpbias2) 的尺寸, 以生成用于本地写入辅助逻辑单元 (例如, 402a-d) 的本地上拉 p 型晶体管。

[0052] 图 7 是根据本公开内容的一个实施例的具有示出了与图 3 的传统 SRAM 阵列相比由于对 SRAM 阵列进行分段引起的功率节省的波形的曲线图 700。x 轴是时间 (以纳秒为单位), 而 y 轴是电流 (以 mA 为单位)。在此示范性曲线图中, 波形 701 (实曲线) 是图 3 的实施例的峰值电流, 而波形 702 (虚曲线) 是图 4 的实施例的峰值电流。对于相同的工艺技术, 由于在图 3 实施例与图 4 的实施例之间的峰值电流减小, 实施例中所所述的分段导致相当大的功率节省。

[0053] 实施例降低了 SRAM 阵列的动态功率, 这对于具有存储器阵列的处理器和 SOC 是有价值的。随着器件几何尺寸收缩 (或按比例缩放), 晶体管中的  $L_e$  和  $V_t$  变化预计会变差, 并且使用争用 (contention) 电路的传统设计在写入功率方面会令人无法满意的高, 并且相对于以前的技术节点会耗费更多的面积。实施例对 SramVcc 和 BL (位线或 b1) 进行分段, 其提供了动态功率节省。相比传统 SRAM 设计, 实施例将峰值电流减小了一多半。

[0054] 对于具有同时切换的许多 SRAM 的 SOC 应用, 高峰值电流在电源轨上的电压跌落方面是成问题的。实施例减小了在 SramVcc 电源轨上的电压跌落, 其具有的电容比主 SOC Vnn 轨的电容小得多。实施例相当大地改进了 BL 失配, 因为在 BL 上总是存在固定数量的 (例

如,64) 位单元,而与例如从 2Kbyte 到 64Kbyte 变动的阵列尺寸无关。实施例提供了模块化的设计,模块化的设计适合于 SRAM 编译器,SRAM 编译器可以易于生成例如从 256 到 8192 深度乘以 4Byte 数据带宽 SRAM。

[0055] 图 8 是具有工作在与 SRAM 阵列不同的电源上的感测放大器数据输出驱动器的 SRAM 阵列架构 800。应指出,图 8 的具有与任何其它附图的元件相同的附图标记(或名称)的那些元件可以以与所述方式类似的任何方式来操作或运行,但不限于此。

[0056] 架构 800 包括 SRAM 位单元阵列 801(例如,301a-b 和 / 或 401a-d)、具有位线预充电单元的列复用器 802(例如,303a-b 和 / 或 403a-d)、感测放大器 803(例如,304 和 / 或 404) 以及感测放大器输出数据锁存器 804(例如,304 和 404 的部分)。SRAM 位单元阵列 801(例如,301a-b 和 / 或 401a-d)、具有位线预充电单元的列复用器 802(例如,303a-b 和 / 或 403a-d)、感测放大器 803(例如,304 和 / 或 404) 工作在  $V_{ccSram}$  805 电压域上,而感测放大器输出数据锁存器 804(例如,304 和 404 的部分) 工作在与  $V_{ccSram}$  电源电压域不同的  $V_{nn}$ (例如, $V_{ccSOC}$ ) 电源 806 电压域上。

[0057] 在蜂窝电话、平板电脑、微型服务器和上网本市场空间中,SOC 设计变得越来越令人期望且具有竞争性。然而,由于芯片上的多个功能单元的复杂性以及功率相对于性能的挑战性的折衷,全局  $V_{ccSOC}$  电源轨(也被称为  $V_{nn}$ ) 电压在不同 SOC 设计之间变化极大。而且, $V_{nn}$  806 电压目标可以在生产寿命周期中继续改变。SOC 的 SRAM 可以具有专用电源轨( $V_{ccSram}$ ),以确保满足可靠性和  $V_{ccmin}$  要求。术语“ $V_{ccmin}$ ”通常指代 SRAM 保持其数据的最小操作电压。因为  $V_{nn}$  轨电压典型地过低(由于 SOC 低功率要求)而不能满足 SRAM  $V_{ccmin}$  要求,所以使用了专用轨  $V_{ccSram}$ 。术语“ $V_{ccSram}$ ”和“ $V_{cc}$ ”可互换地使用,并且表示相同的电压,除非另有指明。

[0058] 图 1 中示出了 SOC 设计中使用的 6T SRAM 的例子。传统的感测放大器输出数据锁存器 804 工作在低于  $V_{ccSram}$  轨 805 的  $V_{nn}$  806 上。在 SRAM 读取操作期间,输出数据向下电平移位到处理器的其余部分使用的  $V_{nn}$  域 806。SRAM 架构 800 示出了读取过程,其中,位线被选择用于读取,多路复用到  $rddata$  线,其中,感测放大器 803 随后在  $saout$  上将 1 或 0 状态输出到感测放大器输出数据锁存器 804。数据随后电平移位到  $dout$  上的  $V_{nn}$  域。

[0059] 图 9 是具有感测放大器数据输出驱动器和锁存器的电路 900。电路 900 包括耦合到输出驱动器 902 的锁存器 901,其中,锁存器 901 工作在  $V_{ccSram}$  805 上,而输出驱动器 902 工作在  $V_{nn}$  806 上。锁存器 901 包括反相器、传输门 903 和保持器(keeper)904。电路 900 中的信号  $saout\_b$  用于将适当的数据承载到驱动器 902,驱动器 902 包括在  $V_{nn}$  域 806 上的 NAND 门和输出反相器。输出驱动器 902 生成 SRAM 数据输出  $dout$ 。电路 900 使用  $saclk\_b$ (输出锁存时钟)信号在  $saclk\_b$  的上升沿锁存  $saout\_b$ 。电路 900 在传输门 903 的输出还使用保持器 904 来在锁存时钟关闭时保持保留的锁存值。输出可以被防火墙保护(由  $fwen$  信号),以防止当在电源门控(低功率)操作期间  $V_{ccSram}$  崩溃(即,减小)但  $V_{nn}$  仍开启且在相同的电平时,在电压域(806 和 805)之间的短路电流。在一个实施例中,防火墙用于电源关闭和电源门控模式,并且可以与写入辅助不相关。

[0060] 因为当  $V_{nn}$  大于  $V_{ccSram}$  电压时读取操作失败,所以 902 的 NAND 逻辑门和反相器可能不是鲁棒的电平移位器设计。例如,当具有 SRAM 阵列(和架构)的处理器工作在突发模式(或加速模式)上时, $V_{nn}$  会高于  $V_{ccSram}$  很多。然而,当  $V_{nn}$  上升到  $V_{ccSram}$  以上时,

因为输出驱动器 902 会不能适当地工作,所以电路 900 会不能适当地工作。例如,在 VccSram 上的 IR 电压跌落(例如,VccSram 可以从 1.05v 下降到 0.94v)和 Vnn 上的尖峰(例如,Vnn 可以上升到 1.25v)的期间,由于输出驱动器 902,在电路 900 中会出现功能故障。

[0061] 图 10 是根据本公开内容的一个实施例的具有用以代替图 9 的感测放大器数据输出驱动器和锁存器 900 的集成锁存器的双输入电平移位器 1000。应指出,图 10 的具有与任何其它附图的元件相同的附图标记(或名称)的那些元件可以以与所述方式类似的任何方式来操作或运行,但不限于此。图 10 的实施例提供对 SRAM 数据输出 dout 的解决方案,使得其在宽范围的 SOC Vnn 电压目标是可靠的。

[0062] 在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括双输入端口 saout\_b 和 saout、电源 Vnn、可选的防火墙使能信号端口 fwen、输出端口 dout、p 型器件 Msaopb、Msaop、Mfw1、Mkp0 和 Mkp2、n 型器件 Mkp1、Mkp3、Mfw0、Mfw2、Msaonb 和 Msaon,驱动 n0 作为 dout 的反相器或缓冲器。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括:第一电源(Vnn),第一电源(Vnn)用以为电平移位器的多个晶体管供电,包括 p 型器件 Msaopb、Msaop、Mfw1、Mkp0 和 Mkp2;n 型器件 Mkp1、Mkp3、Mfw0、Mfw2、Msaonb 和 Msaon;以及驱动 n0 作为 dout 的反相器或缓冲器。

[0063] 在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括第一输入节点,所述第一输入节点用以接收由工作在第二电源(VccSram)上的电路生成的第一信号(saout\_b),第二电源与第一电源(Vnn)不同。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括用以接收第一信号(saout\_b)的第一 n 型晶体管(Msaonb)。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括用以接收第二信号(saout)的第二输入节点,其是第一信号(saout\_b)的反相,第二信号由电路(其工作在 SramVcc 上)生成。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括用以接收第二信号(saout)的第二 n 型晶体管(Msaon),第一 n 型晶体管和第二 n 型晶体管具有交叉耦合到多个晶体管中的一些晶体管的漏极端子。

[0064] 例如,Msaonb(第一 n 型晶体管)的漏极端子耦合到 Mfw0、Mkp1、Mkp0、Mkp2、Mkp3 和生成 dout\_b 的输出反相器。Msaon(第二 n 型晶体管)的漏极端子耦合到 Mfw1、Mkp2、Mkp3、Mkp1 和 Mkp0 器件。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括用以根据第一信号和第二信号(saout\_b 和 saout)生成输出 dout 信号的输出节点 dout。与电路 900 不同,具有集成锁存器的双输入电平移位器 1000 是异步的。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 独立于时钟信号。

[0065] 在一个实施例中,具有集成锁存器的双输入电平移位器 1000 还包括耦合到多个晶体管中的一些晶体管(例如,Mfw1、Mfw2 和用以生成 fwen\_b 的反相器)的第三输入节点(fwen)。在一个实施例中,第三输入节点接收第三信号(fwen 信号),以生成确定性输出。例如,当 fwen 信号为逻辑高时,Mfw2 导通,以将虚地提供给 Msaon 源极端子,fwen\_b 是逻辑低,其截止 Mfw0,并且 Mfw1 也是截止的。当 fwen\_b 为逻辑低时,Mfw1 导通,以将节点 n1 拉高(即,Vnn 电平),其导通 Mkp1,使得节点 n0 转低,这导通 Mkp2。逻辑低 n0 使得输出缓冲器生成逻辑低 dout 信号。

[0066] 在一个实施例中,具有集成锁存器的双输入电平移位器 1000 包括用以根据第一信号(saout\_b)和第二(saout)信号或第三(fwen)信号生成输出信号(dout 信号)的输

出节点 (dout)。在一个实施例中,双输入电平移位器 1000 的多个晶体管中的一些晶体管起锁存器的作用。在一个实施例中,当第二电源 (SramVcc) 高于或低于第一电源 (Vnn) 时,具有集成锁存器的双输入电平移位器 1000 适当地操作。

[0067] 在一个实施例中,具有集成锁存器的双输入电平移位器 1000 代替电路 900 并且支持双轨设计 (即,VccSram 和 Vnn)。在此实施例中,saout 和 saout\_b 输入在来自感测放大器电路 (例如,图 8 的 803) 的 VccSram 电压域上。在一个实施例中,具有集成锁存器的双输入电平移位器 1000 的剩余部分在 Vnn 域上。在一个实施例中,Msaon、Msaonb、Msaop 和 Msaopb 器件设定节点 n1 和 n0 上的状态。在一个实施例中,Mkp0-Mkp3 器件充当用于 n0 和 n1 节点的保持器。在一个实施例中,通过使用 Mfw0、Mfw1 和 Mfw2 器件来实现防火墙模式操作 (当 fwen = 0 时)。在一个实施例中,防火墙模式操作确保了当 fwen = 0 时,dout 为“0” (即,dout 上的确定性输出)。

[0068] 图 10 的实施例具有集成锁存器,并且因而不再需要锁存器 902 及其相关联的时钟,因为 saout 和 saout\_b 信号已经由在前的感测放大器电路自身中的感测放大器使能时钟证明合格。在一个实施例中,因为 saout 和 saout\_b 已经是感测放大器电路自身中的感测放大器使能时钟的函数,并且在读取操作之前都预充电到低,所以具有集成锁存器的双输入电平移位器 1000 就无需 saclk\_b (例如:参见图 9 的 901)。

[0069] 图 10 的实施例中存在许多非穷举性 (非限制性) 技术效果。图 10 的实施例是鲁棒的方案,该鲁棒的方案用于在 SOC 电源轨的挑战性范围上输出针对 SRAM (以及其它存储器设计) 的读取数据。例如,SOC 电源轨可以典型地在 0.5V-1.3V 变化,并且 VccSram 轨在 0.7V-1.3V 的范围变动。图 10 的实施例提供了输出数据的鲁棒的电平移位操作。例如,双轨电平移位器 100 可以将数据从 VccSram 电平移位到 SOC 电源域 Vnn 的宽范围。图 10 的实施例减小了电路 900 的复杂性。例如,无需输出锁存时钟来以双轨电平移位器 100 安全地锁存输出读取数据。在一个实施例中,双轨电平移位器 1000 利用预充电的两个感测放大器输出 (saout\_b 和 saout) 来锁存输出数据自身。双轨电平移位器 1000 在面积上是高效的,因为其以最小的晶体管数量在自身中包括电平移位器、防火墙逻辑和锁存器。

[0070] 尽管图 10 的实施例示出为用在存储器架构中,以代替图 9 的实施例,但是具有集成锁存器的双输入电平移位器 1000 可以用在需要将信号从一个电源域电平移位到另一个电源域的任何电路中。例如,双输入电平移位器可以用在输入-输出 (I/O) 缓冲器、时钟架构等中。

[0071] 图 11A-B 是根据本公开内容的一个实施例的与图 10 的具有集成锁存器的双输入电平移位器相关联的时序图 1100 和 1120。应指出,图 11A-B 的具有与任何其它附图的元件相同的附图标记 (或名称) 的那些元件可以以与所述方式类似的任何方式来操作或运行,但不限于此。

[0072] 图 11A 示出了当 saout 具有脉冲且 saout\_b 为逻辑低时的情况,而图 11B 示出了当 saout\_b 具有脉冲且 saout 为逻辑低时的情况。示出了节点 n1、n0 和 dout 上的信号转变。在 SRAM 设计的典型的读取操作期间,字线被确定为高,并且典型地由 SRAM 参考时钟 (高或低) 来触发。感测放大器随后感测在用于使能的行的位线之间的差别,并且随后感测放大器输出 saout 或 saout\_b 高以触发适当的 dout 状态。

[0073] 图 12 是根据本公开内容的一个实施例的用于减小动态功率和峰值电流的双轨写



入辅助电路 1200。应指出,图 12 的具有与任何其它附图的元件相同的附图标记(或名称)的那些元件可以以与所述方式类似的任何方式来操作或运行,但不限于此。

[0074] 如参考图 1 所述的,为了克服在存在器件变化的情况下的写入操作故障,当前用于辅助写入操作的方法是在写入操作期间降低存储器单元 SramVcc。进行降低 SramVcc,以减小存储器单元 100 内部的 Mdn0 和 Mdn1 器件的战斗强度(fighting strength)。图 2 中示出了写入辅助电路(WRA)的例子。通过激活 Mcollapse n 型器件来降低 SramVcc 轨。可以通过激活 Mpbias0-Mpbias2 器件来编程 SramVcc 的崩溃(或减小)的速度和水平。图 2 的写入辅助电路消耗了额外的功率。额外的功率主要由通过 Mpbias0-Mpbias2 器件和 Mcollapse 器件的暂时短路而引起。

[0075] 尽管用于如 L2(2 级高速缓冲)的高速缓冲的较高动态功率由于较低的活动和较少的并行存取(例如,8/64 得到存取)是可接受的,但这不是用于诸如平板电脑和智能设备(例如,智能电话)的手持产品的 SOC 而设计的情况。在这种 SOC 设计中,同时对存储器的 40-50 个子阵列进行存取是非常常见的。例如,在高使用率状况、视频回放模式期间,几个 SRAM 块可以具有大量的并行 SRAM 存取。这种并行 SRAM 存取的一个含义是显著增大了 SramVcc 轨的平均功率和峰值功率,主要是由于一直将位单元写入到此较高电压轨。

[0076] SRAM 写入动态功率的增大可暗示总体 SOC 设计复杂性和成本。例如,针对 SRAM 的功率传送的需要基于单轨的子阵列设计解决方案上增大。针对 SRAM 电压调节器的电流/功率传送需要由于出于性能而过度使用管芯上 SRAM 而不断增大,并且直接影响了平台成本。SOC 设计复杂性和成本还可以由于 SRAM 电压轨的峰值电流的大小增大了 3X-4X 而增大,需要用于 SRAM 轨的昂贵的封装解决方案(即,多管芯侧帽(die-side cap))和管芯上帽解决方案—这两个解决方案增加了集成复杂性,并且促成晶圆和封装级成本。因为 SramVcc 轨(从写入辅助)上的电压跌落的大小会相当大,并且可迫使在用于特定位单元的技术的有效 Vccmin 以下的 SRAM 存取, SOC 设计复杂性和成本也会增大。结果,会需要较大的 SRAM 位单元,并且固定轨的益处受到让步。

[0077] 图 12 的实施例通过减小在写入处理期间所需的峰值电流和平均电流来解决以上的 SRAM 功率传送难题。图 12 的实施例类似于图 2 的实施例,除了写入辅助脉冲偏置部分 1202 工作在 Vnn 电源上而生成 write\_assist\_pulse 的逻辑 1201 工作在与 Vnn 不同的 VccSram 上,以及其它区别。

[0078] 双轨写入辅助电路 1200 的实施例通过使用可以工作在与 VccSram 轨相比较低电压下的 SOC “Vnn”轨的可用性解决了由于高写入功率引起的 SOC SRAM 功率传送挑战。在一个实施例中,借助双轨写入辅助电路 1200,位单元、感测放大器和预充电电路可以放置在较高 VccSram 电压轨(例如,1.0V-1.05V)上,并且接口逻辑可以放置在可变 SOC 轨(Vnn)上,其可以工作在产品最小工作电压(例如 0.7V)下。

[0079] 根据一个实施例,通过将写入辅助电路分别分割为 VccSram(例如,1.05V)和 Vnn(例如,0.7V)电压域部分 1201 和 1202 来解决高功耗的写入辅助问题。在一个实施例中,1202 的 Mphen 和 Mcollapse 器件用于实现初始写入辅助 SramVcc 下降。在一个实施例中,1202 的 Mpbias0-Mpbias2 器件在 Vnn 轨上,并且确定 SramVcc 轨下降到什么电压电平。

[0080] 在一个实施例中,在初始 SramVcc 下降后, Mphen 和 Mcollapse 器件关闭,激活 Mwake,并且将 SramVcc 上拉到 VccSram(例如,1.05V)。在一个实施例中,反相器 inv2 防止

仅 Mcollapse 器件活动的情况,这会使得 SramVcc 轨在小延迟窗口上下降过快。在一个实施例中,SramVccWake 信号确定 SRAM 睡眠(低功耗)或唤醒(正常操作)模式。如果在睡眠模式中,则 SramVcc 连接到低于正常可操作电压 SramVcc 的特定睡眠电压。在一个实施例中,Loco1VccPulse 信号由 SRAM 控制/定时器(未示出)生成,并且确定 Mcollapse 写入辅助下拉的长度持续时间。在一个实施例中,ColEn 信号容许写入字节和写入位功能(例如,对于位设计,ColEn 信号容许仅写入到 64 位中的 8 位)。

[0081] 图 13 是根据本公开内容的一个实施例的示出了与图 2 的写入辅助电路相比使用图 12 的双轨写入辅助电路的峰值电流的减小的曲线图 1300。曲线图 1300 示出了四个波形,其中,x 轴是时间(以 ns 为单位),以及 y 轴是电流(以 mA 为单位)。

[0082] 曲线图 1300 示出了与图 2 的写入辅助电路 200 相比的使用了图 12 的双轨写入辅助电路 1200 的益处。波形 1301 是图 2 的 VccSram 电源的峰值电流。波形 1302 是图 12 的 VccSram 电源的峰值电流。波形 1304 是图 2 的 Vnn 电源的峰值电流。在一个例子中,Vnn 电源的电流高于现有技术的 Vnn 电源的电流电平。波形 1303 是图 12 的 Vnn 电源的峰值电流。波形示出了双轨写入辅助电路 1200 消耗的功率远小于图 2 的写入辅助电路 200 消耗的功率。

[0083] 在写入操作期间,见到峰值电流与动态功率都减小,其中,例如益处是功率减小约 40%。曲线图 1300 示出了如何将写入辅助操作的电流/功率负担从 VccSram 轨转移到 Vnn 轨。在一个实施例中,通过如图 12 所示的对两个电源域的分割—VccSram 1201 域和 Vnn 1202 域,减小了 VccSram 电源轨上的电压跌落。

[0084] 在这种实施例中,由于对电压域的分割,VccSram 具有的电容比主 SOC Vnn 轨小得多。如图 12 所示的对电压域进行分割的一个技术效果是解决了与用于 SRAM 轨的 SRAM 电压调节器相关联的成本(封装-帽、较大的调节器等)。图 12 的实施例还容许较小位单元的集成,因为电压跌落被限制为满足 SRAM 位单元的有效 Vccmin。

[0085] 图 14 是根据本公开内容的一个实施例的具有(图 4 和图 5 的)分段 SRAM 阵列布局 400、500、(图 10 的)具有集成锁存器的双输入电平移位器 1000、和/或(图 12 的)双轨写入辅助电路 1200 的智能设备 1600 或计算机系统或 SOC。应指出,图 14 的具有与任何其它附图的元件相同的附图标记(或名称)的那些元件可以以与所述方式类似的任何方式来操作或运行,但不限于此。

[0086] 图 14 示出了移动设备的实施例的框图,其中,可以使用平面接口连接器。在一个实施例中,计算设备 1600 表示移动技术设备,诸如计算平板电脑、移动电话或智能电话、具有无线功能的电子阅读器或者其它无线移动设备。应当理解的是,大体示出了某些部件,并且在计算设备 1600 中没有示出这种设备的全部部件。

[0087] 根据本文所述的实施例,在一个实施例中,计算设备 1600 包括:第一处理器 1610,处理器 1610 具有包含图 4 的分段布局 400 的存储器;和第二处理器 1690,第二处理器 1690 具有包含图 4 的分段布局 400 的存储器。具有 I/O 驱动器的计算设备的其它块也可以包括具有图 4 的分段布局 400 的存储器。本公开内容的不同实施例还可以包括 1670 内的网络接口(诸如,无线接口),以使得系统实施例可以包含到例如蜂窝电话或个人数字助理的无线设备中。

[0088] 在一个实施例中,第一处理器 1610 包括(图 10 的)具有集成锁存器的双输入电

平移器 1000。在一个实施例中,第二处理器 1690 包括(图 10 的)具有集成锁存器的双输入电平移位器 1000。具有 I/O 驱动器的计算设备的其它块也可以包括(图 10 的)具有集成锁存器的双输入电平移位器 1000。

[0089] 在一个实施例中,第一处理器 1610 包括(图 12 的)双轨写入辅助电路 1200。在一个实施例中,第二处理器 1690 包括(图 12 的)双轨写入辅助电路 1200。具有 I/O 驱动器的计算设备的其它块也可以包括(图 12 的)双轨写入辅助电路 1200。

[0090] 在一个实施例中,处理器 1610 可以包括一个或多个物理器件,诸如微处理器、应用处理器、微控制器、可编程逻辑器件或其它处理构件。由处理器 1610 执行的处理操作包括在其上执行应用和 / 或设备功能的操作平台或操作系统的执行。处理操作包括与和用户的或和其它设备的 I/O(输入 / 输出)相关的操作、与电源管理相关的操作、和 / 或与将计算设备 1600 连接到另一个设备相关的操作。处理操作还可以包括与音频 I/O 和 / 或显示 I/O 相关的操作。

[0091] 在一个实施例中,计算设备 1600 包括音频子系统 1620,其表示与向计算设备提供音频功能相关联的硬件(例如,音频硬件和音频电路)部件和软件(例如,驱动器、编码解码器)部件。音频功能可以包括扬声器和 / 或耳机输出,以及麦克风输入。用于这种功能的设备可以集成到计算设备 1600 中,或者连接到计算设备 1600。在一个实施例中,用户通过提供由处理器 1610 接收并处理的音频命令来与计算设备 1600 进行交互。

[0092] 显示子系统 1630 表示硬件(例如,显示设备)部件和软件(例如,驱动器)部件,其提供视觉和 / 或触觉显示,以用于用户与计算设备 1600 进行交互。显示子系统 1630 包括显示接口 1632,其包括用于向用户提供显示的特定屏幕或硬件设备。在一个实施例中,显示接口 1632 包括与处理器 1610 分离的逻辑,处理器 1610 用以执行与显示有关的至少一些处理。在一个实施例中,显示子系统 1630 包括向用户提供输出和输入的触摸屏(或触控板)设备。

[0093] I/O 控制器 1640 表示与和用户的交互有关的硬件设备和软件部件。I/O 控制器 1640 可操作用于管理是音频子系统 1620 和 / 或显示子系统 1630 的部分的硬件。另外,I/O 控制器 1640 示出了用于另外的设备连接到计算设备 1600 的连接点,用户可以通过其与系统交互。例如,可以附接到计算设备 1600 的设备可以包括麦克风设备、扬声器或立体声系统、视频系统或其它显示设备、键盘或小键盘设备、或者用于与诸如读卡器或其它设备的特定应用一起使用的其它 I/O 设备。

[0094] 如上所述,I/O 控制器 1640 可以与音频子系统 1620 和 / 或显示子系统 1630 进行交互。例如,通过麦克风或其它音频设备的输入可以提供输入或命令,所述输入或命令用于计算设备 1600 的一个或多个应用或功能。另外,代替或除了显示输出,可以提供音频输出。在另一个例子中,如果显示子系统 1630 包括触摸屏,显示设备还充当输入设备,其可以至少部分地由 I/O 控制器 1640 来管理。计算设备 1600 上也可以有另外的按钮或开关,以提供由 I/O 控制器 1640 管理的 I/O 功能。

[0095] 在一个实施例中,I/O 控制器 1640 管理设备,诸如加速度计、相机、光传感器或其它环境传感器、或者可以包括在计算设备 1600 中的其它硬件。输入可以是直接用户交互中的部分,以及向系统提供环境输入以影响其操作(诸如,滤除噪声、针对亮度检测调整显示、为相机应用闪光灯、或其它特征)。

[0096] 在一个实施例中,计算设备 1600 包括电源管理 1650,电源管理 1650 管理电池电力使用、电池的充电、和与省电操作有关的特征。存储器子系统 1660 包括用于在计算设备 1600 中存储信息的存储器设备。存储器可以包括非易失性(如果中断到存储器设备的电力,则状态不改变)和/或易失性(如果中断到存储器设备的电力,则状态不确定)存储器设备。存储器子系统 1660 可以存储应用数据、用户数据、音乐、照片、文档、或其它数据、以及与计算设备 1600 的应用和功能的执行有关的系统数据(不管是长期的还是暂时的)。

[0097] 实施例的单元也可以被提供为用于存储计算机可执行指令(例如,用以实现本文所述的任何其它处理的指令)的机器可读介质(例如,存储器 1660)。机器可读介质(例如,存储器 1660)可以包括但不限于闪存、光盘、CD-ROM、DVD ROM、RAM、EPROM、EEPROM、磁卡或光卡、相变存储器(PCM)或者适合于存储电子或计算机可执行指令的其它类型的机器可读介质。例如,本公开内容的实施例可以被下载为计算机程序(例如,BIOS),其可以经由进行通信链路(例如,调制解调器或网络连接)通过数据信号的方式从远程计算机(例如,服务器)传送到请求计算机(例如,客户端)。

[0098] 连接 1670 包括硬件设备(例如,无线和/或有线连接器和通信硬件)和软件部件(例如,驱动器、协议栈),以使得计算设备 1600 能够与外部设备进行通信。设备 1600 可以是分离的设备,诸如其它计算设备、无线接入点或基站,以及外设,例如耳机、打印机或其它设备。

[0099] 连接 1670 可以包括多个不同类型的连接。概括地说,将计算设备 1600 示出为具有蜂窝连接 1672 和无线连接 1674。蜂窝连接 1672 通常指代由无线载波提供的蜂窝网络连接,诸如经由 GSM(全球移动通信系统)或变型或派生物、CDMA(码分多址)或变型或派生物、TDM(时分复用)或变型或派生物、或者其它蜂窝服务标准提供的。无线连接(或无线接口)1674 指代不是蜂窝的无线连接,并且可以包括个域网(诸如,蓝牙、近场等)、局域网(诸如,Wi-Fi)和/或广域网(诸如,WiMax)或其它无线通信。

[0100] 外设连接 1680 包括硬件接口和连接器,以及软件部件(例如,驱动器、协议栈),以获得外设连接。应当理解的是,计算设备 1600 可以是到其它计算设备的外围设备(“至”1682),以及具有连接到它的外围设备(“自”1684)。计算设备 1600 通常具有“坞”连接器,用以连接到其它计算设备,以用于诸如管理(例如,下载和/或上载、改变、同步)设备 1600 上的内容的目的。另外,坞连接器可以容许设备 1600 连接到特定外设,其容许计算设备 1600 控制例如到视听或其它系统的内容输出。

[0101] 除了专有的坞连接器或其它专有连接硬件,计算设备 1600 可以经由常用或基于标准的连接器来获得外设连接 1680。常用类型可以包括通用串行总线(USB)连接器(其可以包括若干不同硬件接口的任意一个)、包括 MiniDisplayPort(MDP)的 DisplayPort、高清晰度多媒体接口(HDMI)、火线或其它类型。

[0102] 说明书中对“实施例”、“一个实施例”、“一些实施例”或“其它实施例”的提及意指结合实施例描述的特定特征、结构或特性包括在至少一些实施例中,但不一定是所有实施例。“实施例”、“一个实施例”或“一些实施例”的多次出现不一定全都指代相同的实施例。如果说明书表述“可以”、“或许”或“能够”包括部件、特征、结构或特性,那么不需要包括该特定部件、特征、结构或特性。如果说明书或权利要求书提及“一”或“一个”元件,那并不意指仅存在一个元件。如果说明书或权利要求书提及“另外的”元件,那并不排除存在多于

一个另外的元件。

[0103] 而且,特定特征、结构、功能或特性可以以任何适合的方式组合到一个或多个实施例中。例如,第一实施例可以与第二实施例相结合,只要与这两个实施例相关联的特定特征、结构、功能或特性不相互排斥。

[0104] 尽管结合其具体实施例描述了本公开内容,但鉴于前述描述,这种实施例的许多替代、修改和变化对于本领域技术人员而言是显而易见的。例如,动态 RAM(DRAM) 的其它存储器架构可以使用所述的实施例。尽管实施例示出了 6T SRAM 架构,但也可以使用其它 SRAM 架构。例如,可以结合实施例使用 4T、5T、8T、16T SRAM 架构。本公开内容的实施例旨在包含落入所附权利要求书的宽泛范围内的所有这种替代、修改和变化。

[0105] 另外,为了简化图示和论述,在所呈现的附图内可以或不示出到集成电路(IC) 芯片或其它部件的公知的电力/接地连接,以避免使得本公开内容模糊不清。此外,可以以框图形式示出布置,以避免使本公开内容模糊不清,并且同样鉴于以下事实:相对于这种框图布置的实现方式的细节高度依赖于要在其中实现本公开内容的平台(即,这种细节应完全在本领域技术人员的权限范围内)。在阐述了特定细节(例如,电路)以便描述本公开内容的示例性实施例的情况下,对于本领域技术人员显而易见的是,可以无需这些具体细节或者借助这些具体细节的变化来实施本公开内容。本说明因而应视为示例性而非限制性的。

[0106] 以下例子属于进一步的实施例。例子中的细节可以用在一个或多个实施例中的任何地方。也可以相对于方法或过程实现本文所述装置的所有可选的特征。

[0107] 例如,在一个实施例中,装置包括:成组耦合在一起的多个存储器阵列、本地写入辅助逻辑单元、和读取/写入本地列复用器,以使得由组中的本地写入辅助逻辑单元和读取/写入本地列复用器占用的面积小于在使用全局写入辅助逻辑单元和读取/写入全局列复用器时所占用的面积。

[0108] 在一个实施例中,全局写入辅助逻辑单元和读取/写入全局列复用器耦合到存储器单元的未分段阵列。在一个实施例中,存储器单元的未分段阵列在面积上大于多个存储器阵列中的每一个存储器阵列。在一个实施例中,存储器单元的未分段阵列在面积上大于组合的多个存储器阵列、本地写入辅助逻辑单元、和读取/写入本地列复用器中的每一个。

[0109] 在一个实施例中,所述装置还包括用于向组中的多个存储器阵列提供电力的电源金属线。在一个实施例中,本地写入辅助逻辑单元包括用以调整到电源金属线的电力的写入辅助 p 型上拉晶体管,并且其中,p 型晶体管在尺寸上小于全局写入辅助逻辑单元的 p 型上拉晶体管。在一个实施例中,读取/写入本地列复用器包括传输门,所述传输门用以提供全局读取和写入数据线的电耦合,以生成本地读取和写入信号。

[0110] 在另一个例子中,一种用于对存储器进行布局的方法,包括:将存储器单元的阵列分段为多个存储器单元的分段阵列;以及减小用于存储器单元的分段阵列的全局写入辅助逻辑单元的面积,以生成多个本地写入辅助逻辑单元,其中,多个本地写入辅助逻辑单元中的本地写入辅助逻辑单元中的每一个耦合到多个存储器单元的分段阵列中的存储器单元的分段阵列中的每一个。

[0111] 在一个实施例中,所述方法还包括减小用于存储器单元的分段阵列的全局读取/写入列复用器的面积,以生成多个本地读取/写入列复用器,其中,本地读取/写入列复用

器中的每一个本地读取 / 写入列复用器耦合到多个存储器单元的分段阵列中的存储器单元的分段阵列中的每一个。在一个实施例中,减小用于存储器单元的分段阵列的全局写入辅助逻辑单元的面积以生成多个本地写入辅助逻辑单元包括:减小全局写入辅助逻辑单元的上拉 p 型晶体管的尺寸,以生成用于本地写入辅助逻辑单元的本地上拉 p 型晶体管。

[0112] 在另一个例子中,一种系统,包括:存储器单元;以及处理器,所述处理器耦合到存储器单元,所述处理器包括高速缓冲存储器,所述高速缓冲存储器包括:成组耦合在一起的多个存储器阵列、本地写入辅助逻辑单元、和读取 / 写入本地列复用器,以使得由组中的本地写入辅助逻辑单元和读取 / 写入本地列复用器占用的面积小于在使用全局写入辅助逻辑单元和读取 / 写入全局列复用器时所占用的面积。

[0113] 在一个实施例中,所述系统还包括:显示单元;以及无线接口,所述无线接口用以容许处理器以无线方式与其它设备进行通信。在一个实施例中,存储器单元是 DRAM。在一个实施例中,全局写入辅助逻辑单元和读取 / 写入全局列复用器耦合到存储器单元的未分段阵列。在一个实施例中,存储器单元的未分段阵列在面积上大于多个存储器阵列中的每一个存储器阵列。在一个实施例中,存储器单元的未分段阵列在面积上大于组合的多个存储器阵列、本地写入辅助逻辑单元、和读取 / 写入本地列复用器中的每一个。

[0114] 在一个实施例中,所述处理器还包括用于向组中的多个存储器阵列提供电力的电源金属线。在一个实施例中,本地写入辅助逻辑单元包括用以调整到电源金属线的电力的写入辅助 p 型上拉晶体管,并且其中,p 型上拉晶体管在尺寸上小于全局写入辅助逻辑单元的 p 型上拉晶体管。在一个实施例中,读取 / 写入本地列复用器包括传输门,所述传输门用以提供全局读取和写入数据线的电耦合,以生成本地读取和写入信号。

[0115] 在另一个例子中,在一个实施例中,提供了一种计算机可读储存介质,所述计算机可读储存介质具有计算机可读指令,所述计算机可读指令在被执行时使得机器执行方法,所述方法包括:将存储器单元的阵列分段为多个存储器单元的分段阵列;以及减小用于存储器单元的分段阵列的全局写入辅助逻辑单元的面积,以生成多个本地写入辅助逻辑单元,其中,多个本地写入辅助逻辑单元中的本地写入辅助逻辑单元中的每一个耦合到多个存储器单元的分段阵列中的存储器单元的分段阵列中的每一个。

[0116] 在一个实施例中,所述计算机可读储存介质还具有计算机可读指令,所述计算机可读指令在被执行时使得机器执行进一步的方法,所述进一步的方法包括减小用于存储器单元的分段阵列的全局读取 / 写入列复用器的面积,以生成多个本地读取 / 写入列复用器,其中,本地读取 / 写入列复用器中的每一个本地读取 / 写入列复用器耦合到多个存储器单元的分段阵列中的存储器单元的分段阵列中的每一个。在一个实施例中,减小用于存储器单元的分段阵列的全局写入辅助逻辑单元的面积以生成多个本地写入辅助逻辑单元包括:减小全局写入辅助逻辑单元的上拉 p 型晶体管的尺寸,以生成用于本地写入辅助逻辑单元的本地上拉 p 型晶体管。

[0117] 在另一个例子中,在一个实施例中,一种电平移位器,包括:第一电源,所述第一电源用以电移位器的多个晶体管供电;第一输入节点,所述第一输入节点用以接收由工作在第二电源上的电路生成的第一信号,第二电源与第一电源不同;第一 n 型晶体管,所述第一 n 型晶体管用以接收第一信号;第二输入节点,所述第二输入节点用以接收第二信号,第二信号是第一信号的反相,第二信号由电路生成;以及第二 n 型晶体管,所述第二 n 型晶

体管用接收第二信号,第一 n 型晶体管和第二 n 型晶体管具有交叉耦合到多个晶体管中的一些晶体管的漏极端子。

[0118] 在一个实施例中,电平移位器还包括输出节点,所述输出节点用以根据第一信号和第二信号生成输出信号。在一个实施例中,电平移位器是异步的。在一个实施例中,电平移位器不依赖于时钟信号。在一个实施例中,电平移位器还包括耦合到多个晶体管中的一些晶体管的第三输入节点,第三输入节点用以接收第三信号以生成确定性输出。在一个实施例中,电平移位器还包括输出节点,所述输出节点用以根据第一信号和第二信号或者第三信号生成输出信号。

[0119] 在一个实施例中,多个晶体管中的一些晶体管起锁存器的作用。在一个实施例中,第二电源高于第一电源。在一个实施例中,第一电源高于第二电源。

[0120] 在另一个例子中,一种存储器单元,包括:存储器单元的阵列;列复用器,所述列复用器耦合到存储器单元的阵列;感测放大器,所述感测放大器耦合到列复用器;以及具有集成的电平移位器的输出数据锁存器,包括:第一电源,所述第一电源用以电平移位器的多个晶体管供电;第一输入节点,所述第一输入节点用以接收由工作在第二电源上的电路生成的第一信号,第二电源与第一电源不同;第一 n 型晶体管,所述第一 n 型晶体管用以接收第一信号;第二输入节点,所述第二输入节点用以接收第二信号,第二信号是第一信号的反相,第二信号由电路生成;以及第二 n 型晶体管,所述第二 n 型晶体管用以接收第二信号,第一 n 型晶体管和第二 n 型晶体管具有交叉耦合到多个晶体管中的一些晶体管的漏极端子。

[0121] 在一个实施例中,存储器单元的阵列是 SRAM 单元的阵列。在一个实施例中,存储器单元还包括预充电耦合到列复用器的位线。在一个实施例中,存储器单元还包括输出节点,所述输出节点用以根据第一信号和第二信号生成输出信号。在一个实施例中,具有集成的电平移位器的输出数据锁存器是异步的。在一个实施例中,具有集成的电平移位器的输出数据锁存器不依赖于时钟信号。

[0122] 在一个实施例中,存储器单元还包括第三输入节点,所述第三输入节点耦合到多个晶体管中的一些晶体管,所述第三输入节点用以接收第三信号以生成确定性输出。在一个实施例中,存储器单元还包括输出节点,所述输出节点用以根据第一信号和第二信号或者第三信号生成输出信号。在一个实施例中,多个晶体管中的一些晶体管起锁存器的作用。在一个实施例中,第二电源高于第一电源。在一个实施例中,第一电源高于第二电源。

[0123] 在另一个例子中,在一个实施例中,一种系统,包括:存储器单元;以及处理器,所述处理器耦合到存储器单元,所述处理器包括高速缓冲单元,所述高速缓冲单元具有根据实施例中所述的电平移位器的电平移位器。

[0124] 在另一个例子中,一种装置,包括:写入辅助脉冲发生器,所述写入辅助脉冲发生器工作在第一电源上;一个或多个上拉器件,所述一个或多个上拉器件耦合到写入辅助脉冲发生器,所述一个或多个上拉器件工作在与第一电源不同的第二电源上;以及输出节点,所述输出节点用以向存储器单元提供电源。

[0125] 在一个实施例中,存储器单元是 SRAM 单元。在一个实施例中,写入辅助脉冲发生器可操作用于生成写入辅助脉冲,以使得一个或多个上拉器件将第二电源耦合到输出节点。在一个实施例中,写入辅助脉冲发生器可操作用于生成写入辅助脉冲,以使得电源相对

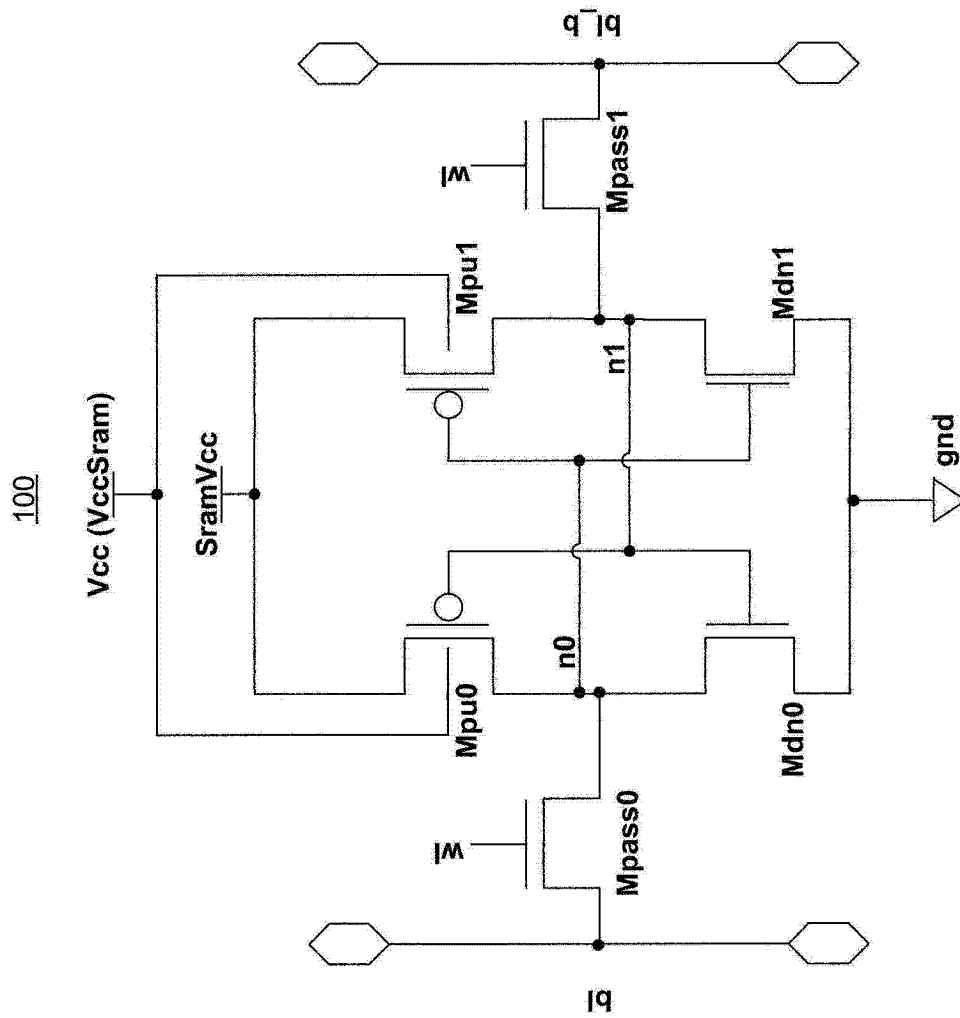
于另一个电源进行调整。在一个实施例中,输出节点耦合到写入辅助脉冲发生器。

[0126] 在一个实施例中,输出节点响应于唤醒信号而耦合到第一电源。在一个实施例中,输出节点响应于睡眠信号而耦合到第三电源。在一个实施例中,第三电源是睡眠电源。

[0127] 在另一个例子中,在一个实施例中,一种系统,包括:存储器单元;以及处理器,所述处理器耦合到存储器单元,所述处理器具有高速缓冲存储器单元,所述高速缓冲存储器单元包括:存储器单元的阵列,所述存储器单元的阵列工作在第一电源上;以及写入辅助电路,所述写入辅助电路耦合到存储器单元的阵列,所述写入辅助电路用以在向存储器单元的阵列的写入操作期间降低第一电源,所述写入辅助电路根据实施例中所述的写入辅助电路。在一个实施例中,系统还包括显示单元;以及无线接口,所述无线接口用以容许处理器以无线方式与其它设备进行通信。在一个实施例中,存储器单元是 DRAM。

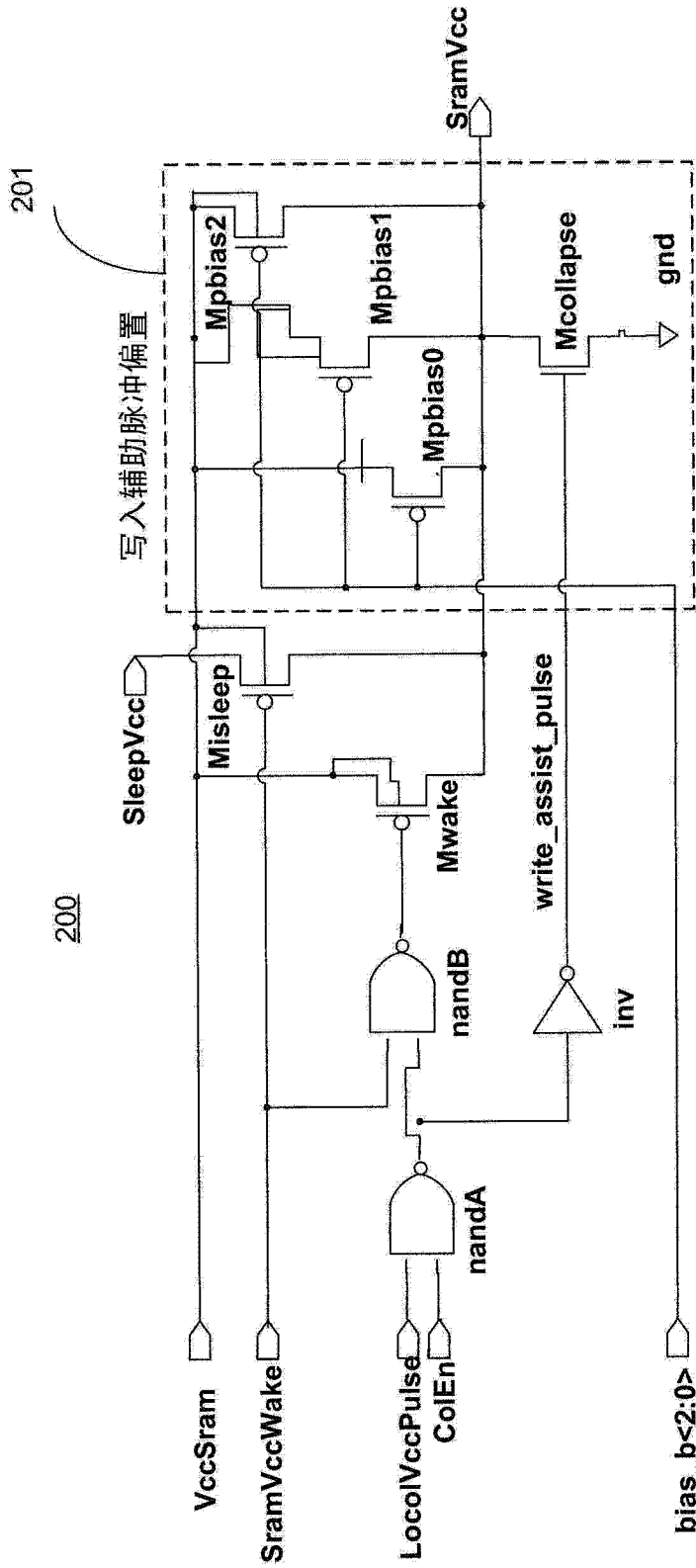
[0128] 提供了摘要,其将容许读者确定本技术公开内容的本质和要旨。本摘要的提交应理解为它不用于限制权利要求书的范围或含义。以下权利要求书由此包含在具体实施方式中,其中每一项权利要求自身作为单独的实施例。





现有技术

图 1



现有技术

图 2

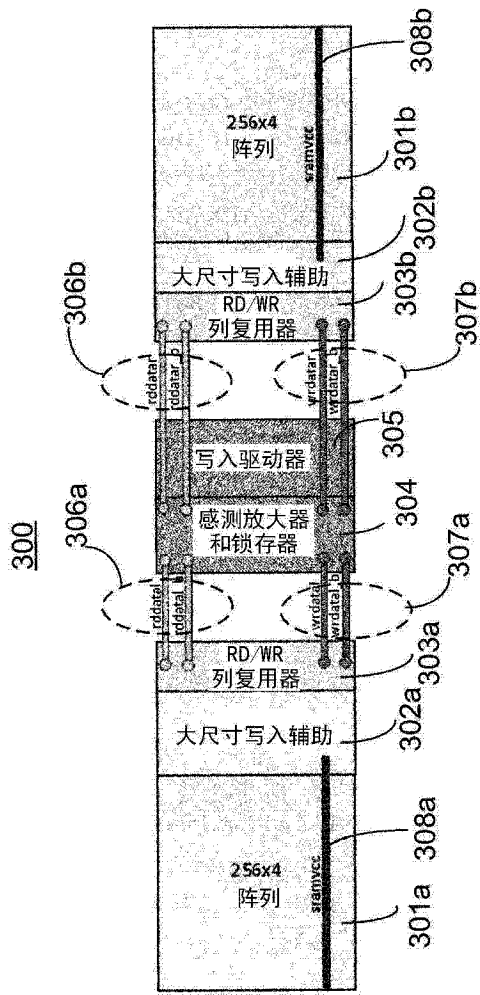


图 3

现有技术

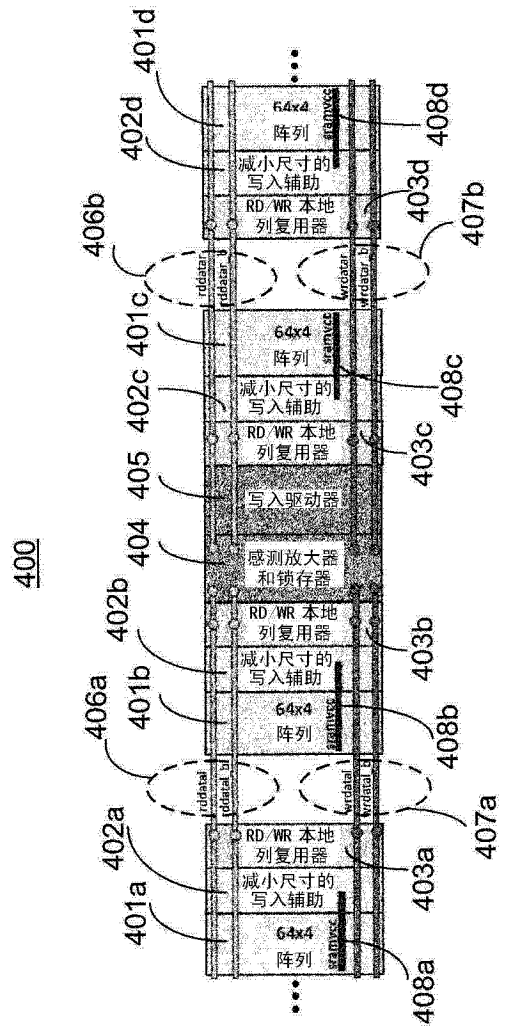


图 4

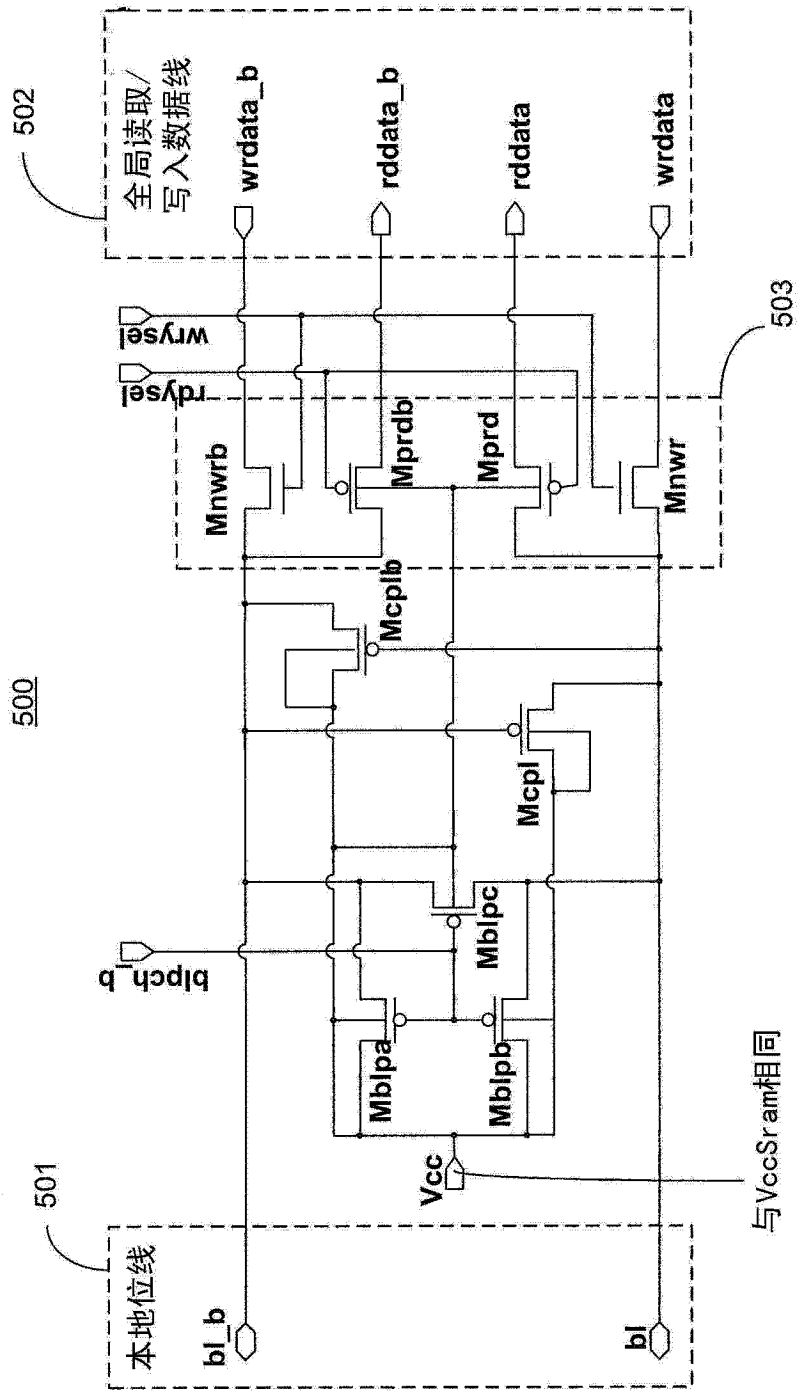


图 5

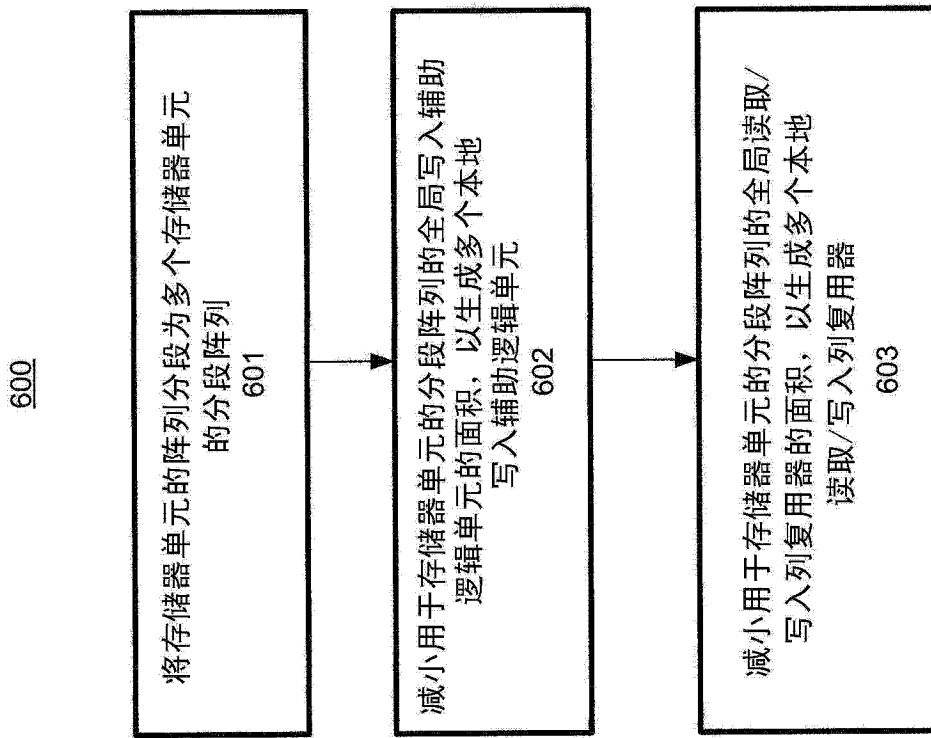


图 6

700

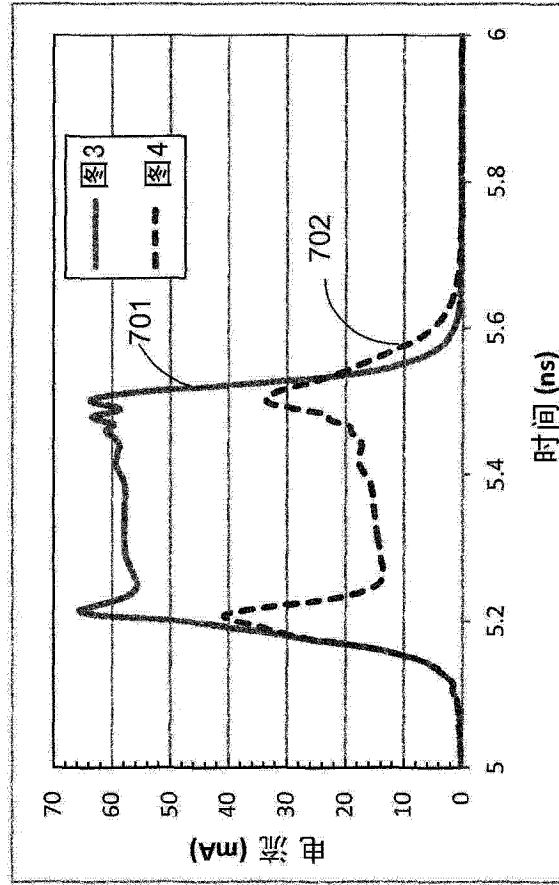


图 7

800

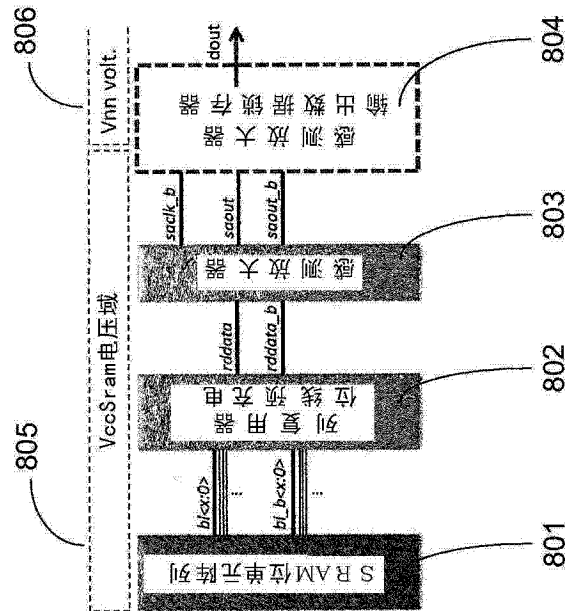
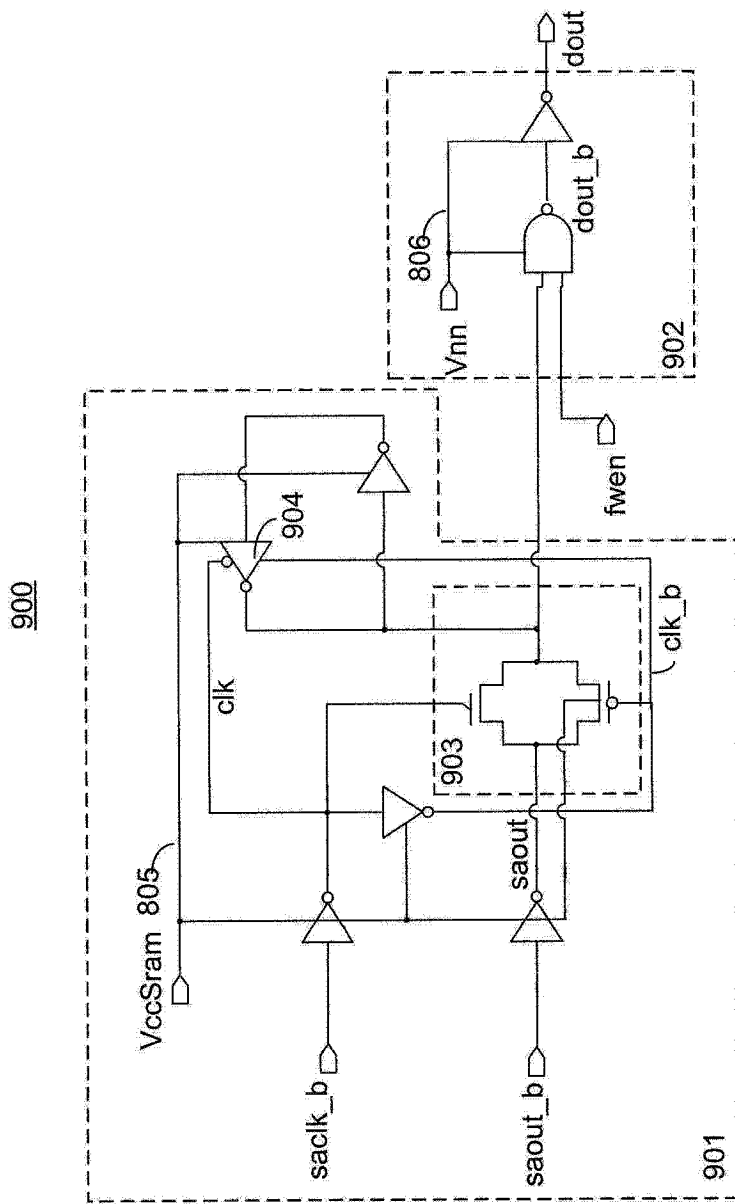


图 8



现有技术

图 9

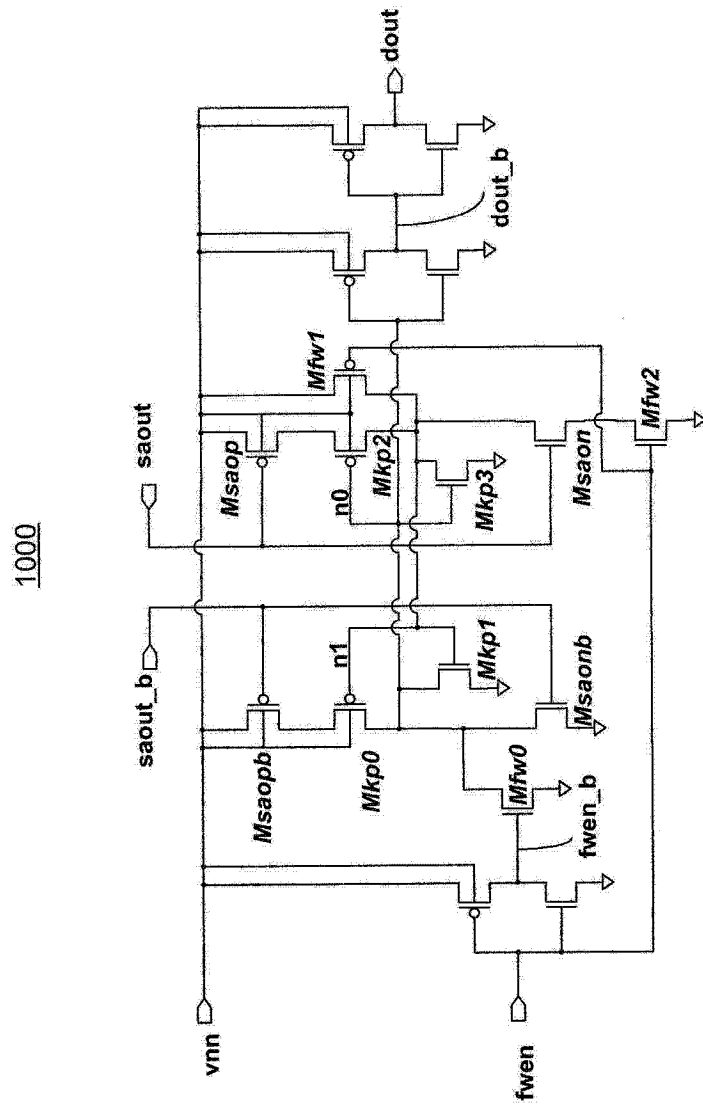


图 10



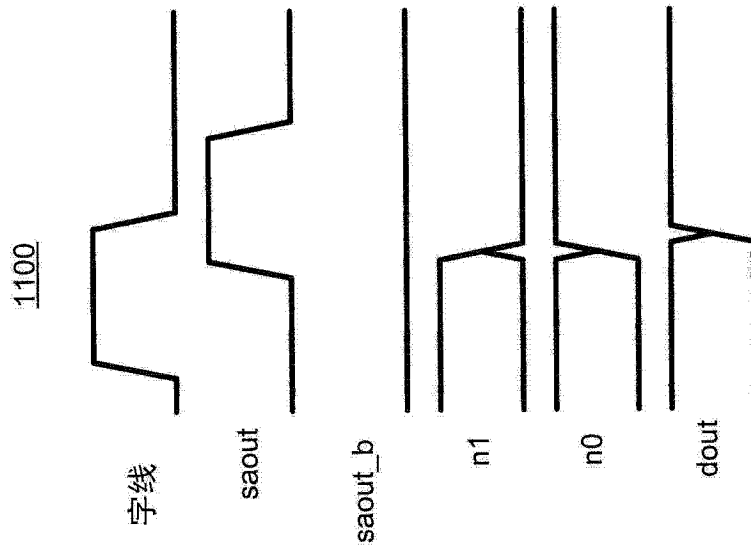


图 11A

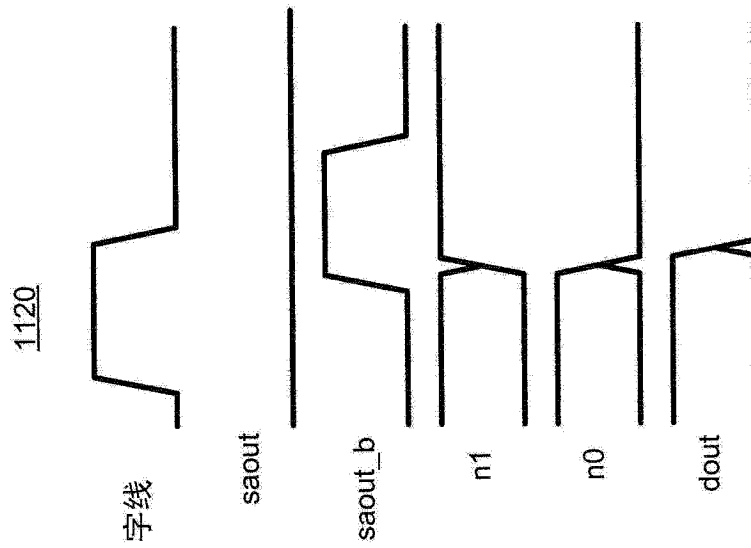


图 11B

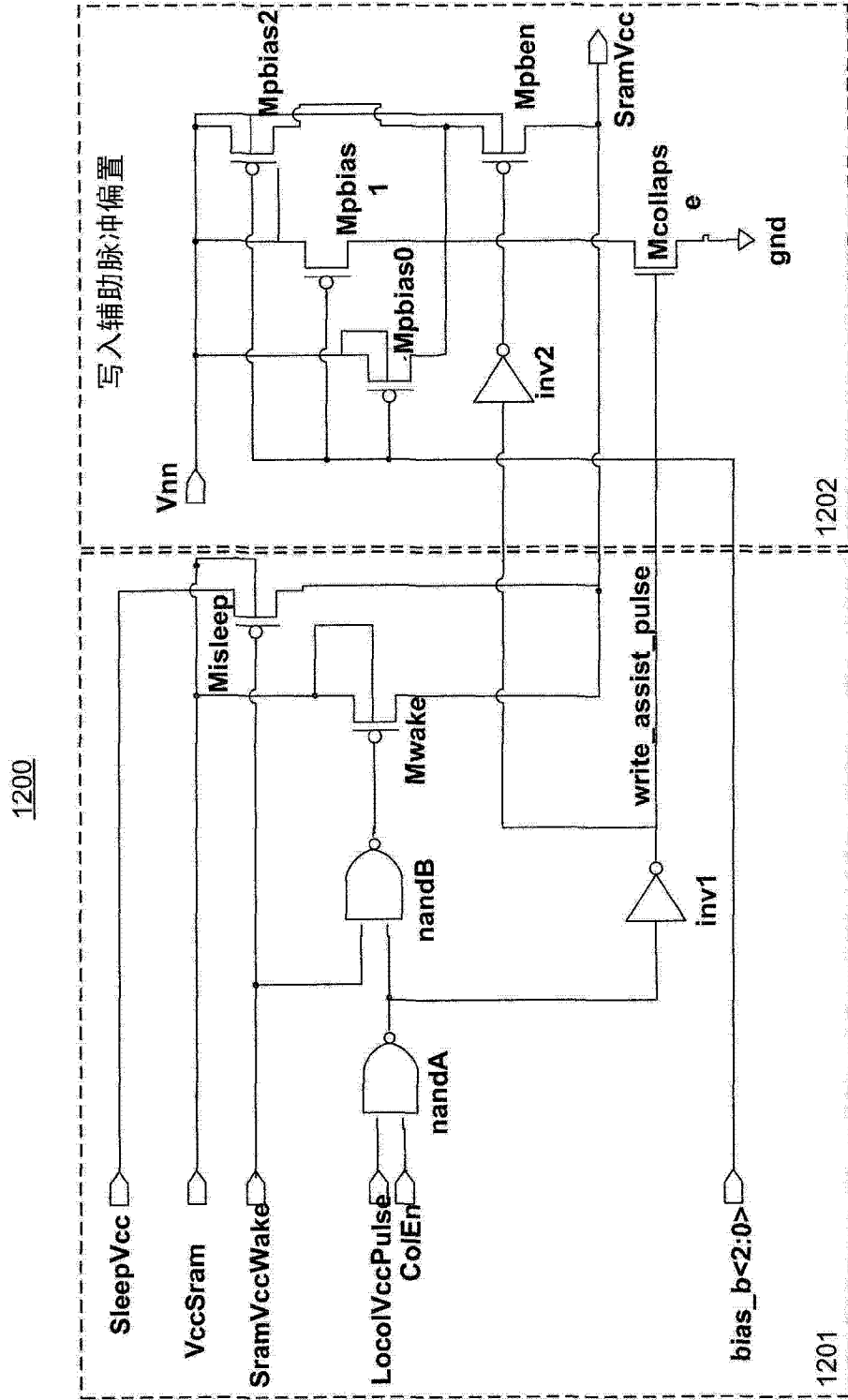


图 12

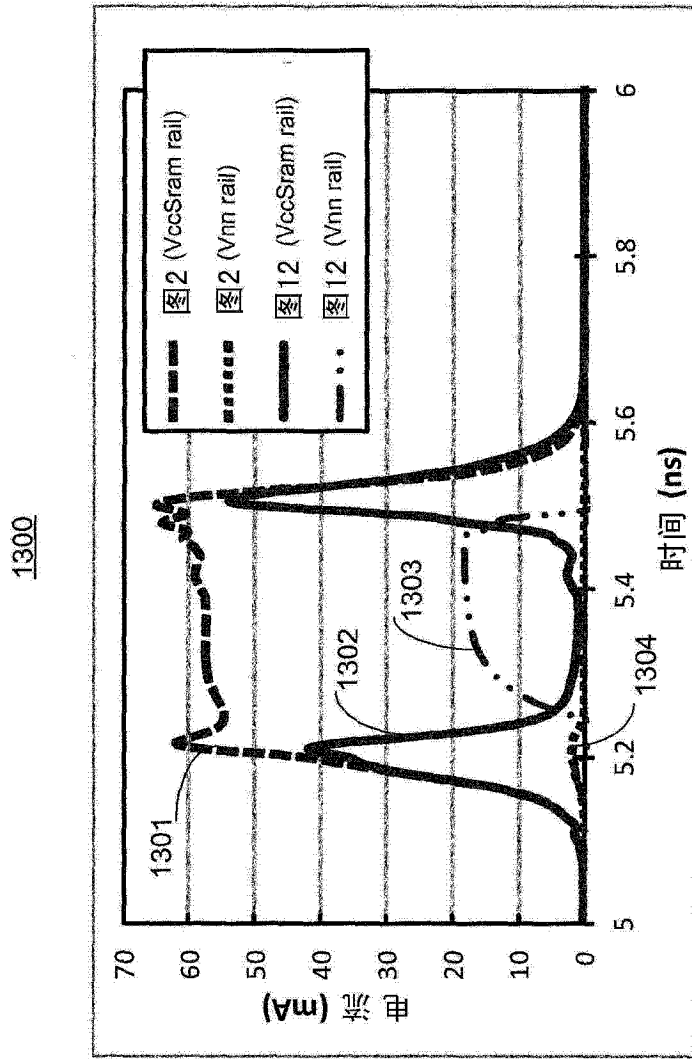


图 13

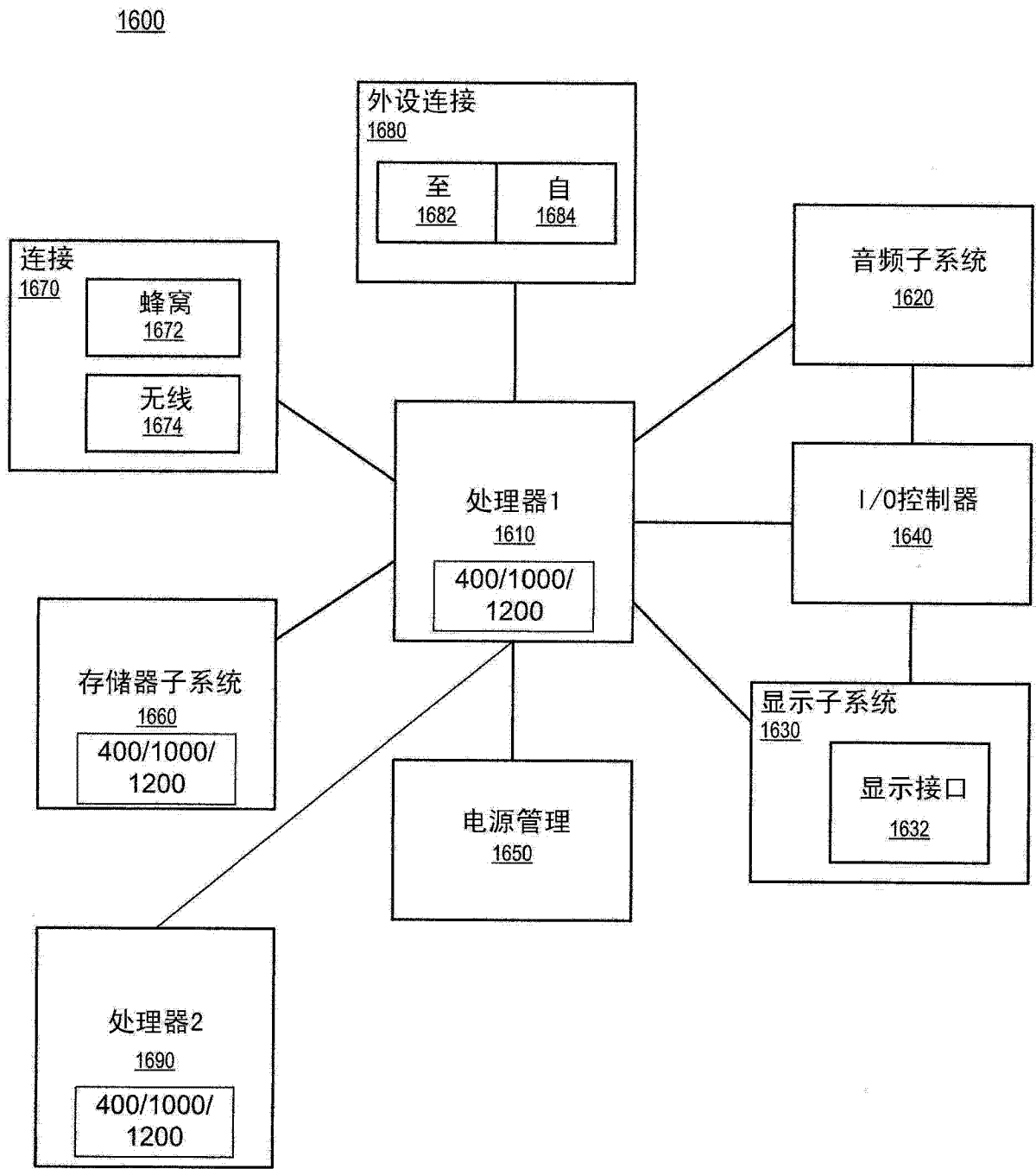


图 14