

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6624979号  
(P6624979)

(45) 発行日 令和1年12月25日(2019.12.25)

(24) 登録日 令和1年12月6日(2019.12.6)

(51) Int. Cl. F 1  
**G 0 5 F 1/56 (2006.01)** G 0 5 F 1/56 3 2 0 S

請求項の数 3 (全 10 頁)

<p>(21) 出願番号 特願2016-51497 (P2016-51497)                  (22) 出願日 平成28年3月15日 (2016. 3. 15)                  (65) 公開番号 特開2017-167753 (P2017-167753A)                  (43) 公開日 平成29年9月21日 (2017. 9. 21)                  審査請求日 平成31年1月11日 (2019. 1. 11)</p>	<p>(73) 特許権者 715010864                  エイブリック株式会社                  千葉県千葉市美浜区中瀬一丁目8番地                  (72) 発明者 高田 幸輔                  千葉県千葉市美浜区中瀬1丁目8番地 エ                  スアイアイ・セミコンダクタ株式会社内                  (72) 発明者 宇野 正幸                  千葉県千葉市美浜区中瀬1丁目8番地 エ                  スアイアイ・セミコンダクタ株式会社内                    審査官 佐藤 匡</p>
--	---

最終頁に続く

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【特許請求の範囲】

【請求項1】

出力電圧に基づく電圧と基準電圧とを比較して第1の電圧を出力する第1の差動増幅回路と、

前記第1の電圧と第2の電圧とを比較して第3の電圧を出力する第2の差動増幅回路と、

前記第3の電圧をゲートに受け、ドレインに前記出力電圧が生成される第1のトランジスタと、

前記第1のトランジスタとゲートが共通接続され、前記第1のトランジスタに対して所定のサイズ比を有する第2のトランジスタと、

一端が前記第2のトランジスタのドレインに接続され、前記一端に前記第2の電圧を生成する電圧生成部とを備えることを特徴とするボルテージレギュレータ。

【請求項2】

前記電圧生成部は、抵抗素子を有することを特徴とする請求項1に記載のボルテージレギュレータ。

【請求項3】

前記電圧生成部は、前記抵抗素子と直列に接続され、ゲートとドレインが共通接続され、前記第1の差動増幅回路の差動対を構成するトランジスタと同一導電型の第3のトランジスタをさらに有することを特徴とする請求項2に記載のボルテージレギュレータ。

【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ボルテージレギュレータに関し、特に、過電流保護機能を備えたボルテージレギュレータに関する。

## 【背景技術】

## 【0002】

図4に、従来のボルテージレギュレータ300の回路図を示す。

従来のボルテージレギュレータ300は、電源端子301と、接地端子302と、基準電圧源310と、誤差増幅回路311と、抵抗312、317、318、319と、NMOSトランジスタ316と、PMOSトランジスタ313、314、315と、出力端子320とを備えている。

10

## 【0003】

PMOSトランジスタ315は、ソースが電源端子301に接続され、ドレインが出力端子320と抵抗318の一端に接続されている。抵抗318は、他端が抵抗319の一端と誤差増幅回路311の非反転入力端子に接続されている。抵抗319は、他端が接地端子302に接続されている。PMOSトランジスタ314は、ソースが電源端子301に接続され、ドレインが抵抗317の一端とNMOSトランジスタ316のゲートに接続されている。PMOSトランジスタ313は、ソースが電源端子301に接続され、ドレインがPMOSトランジスタ315のゲートとPMOSトランジスタ314のゲートと誤差増幅回路311の出力に接続されている。抵抗312は、一端が電源端子301に接続され、他端がPMOSトランジスタ313のゲートとNMOSトランジスタ316のドレインに接続されている。誤差増幅回路311は、反転入力端子が基準電圧源310の一端に接続されている。基準電圧源310は、他端が接地端子302に接続されている。NMOSトランジスタ316は、ソースが接地端子302に接続されている。

20

## 【0004】

かかる従来のボルテージレギュレータ300においては、誤差増幅回路311とPMOSトランジスタ315と抵抗318、319から構成される負帰還回路によって、抵抗319の一端の電圧が基準電圧源の電圧VREFと等しくなるように動作する。

## 【0005】

この状態から、出力端子320に接続される負荷（図示せず）への電流が増加すると、PMOSトランジスタ315のドレイン電流I1が増加し、PMOSトランジスタ315に対して所定のサイズ比で構成されるPMOSトランジスタ314のドレイン電流I2も増加する。電流I2は、抵抗317に供給されて抵抗317の一端に電圧Vxを生成する。電圧Vxが増加してNMOSトランジスタ316のしきい値を超えたところで、NMOSトランジスタ316はオンしてドレイン電流を発生する。NMOSトランジスタ316のドレイン電流が供給される抵抗312は、他端の電圧が低下してPMOSトランジスタ313をオンさせる。PMOSトランジスタ313のオンに伴ってPMOSトランジスタ315のゲート電圧が上昇し、そのドレイン電流I1が制限される。

30

## 【0006】

ここで、抵抗317の抵抗値をR1、PMOSトランジスタ315、314のサイズ比をK、NMOSトランジスタ316のしきい値電圧を|VTHN|とすると、電流I1の制限電流I1mは、式(1)で表される。

40

## 【0007】

## 【数1】

$$I_{1m} = \frac{K \times V_{THN}}{R1} \dots (1)$$

## 【0008】

このように、従来のボルテージレギュレータ300には、過電流保護機能が設けられ、負荷が短絡した場合などに、出力電流を制限することを可能としている（例えば、特許文

50

献 1 参照)。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2003 29856 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、上記のような従来のボルテージレギュレータ 300 では、制限電流  $I_{1m}$  のばらつきが大きいという課題があった。この原因は、式 (1) が示すように  $V_{THN}$  のばらつきが制限電流  $I_{1m}$  に影響してしまうためである。

10

【0011】

図 5 は、従来のボルテージレギュレータ 300 の出力電流  $I_{OUT}$  に対する出力電圧  $V_{OUT}$  の波形を示している。点線は、制限電流のばらつき範囲を示している。 $V_{THN}$  は、一般的にセンター値  $0.6V$  に対して  $\pm 0.1$  程度ばらつきを持つため、 $V_{THN}$  が制限電流  $I_{1m}$  に与えるばらつきは  $\pm 16.7\%$  と、非常に大きなばらつきになってしまう。

【0012】

本発明は、以上のような課題を解決するためになされたものであり、制限電流のばらつきを抑制することが出来るボルテージレギュレータを提供するものである。

20

【課題を解決するための手段】

【0013】

本発明のボルテージレギュレータは、出力電圧に基づく電圧と基準電圧とを比較して第 1 の電圧を出力する第 1 の差動増幅回路と、前記第 1 の出力電圧と第 2 の電圧とを比較して第 3 の電圧を出力する第 2 の差動増幅回路と、前記第 3 の電圧をゲートに受け、ドレインに前記出力電圧が生成される第 1 のトランジスタと、前記第 1 のトランジスタとゲートが共通接続され、前記第 1 のトランジスタに対して所定のサイズ比を有する第 2 のトランジスタと、一端が前記第 2 のトランジスタのドレインに接続され、前記一端に前記第 2 の電圧を生成する電圧生成部とを備えることを特徴とする。

【発明の効果】

30

【0014】

本発明のボルテージレギュレータによれば、第 1 の差動増幅回路の出力電圧である第 1 の電圧が第 1 のトランジスタのドレイン電流の制限電流の基準値となり、第 2 のトランジスタと電圧生成部とにより生成される第 2 の電圧が第 1 のトランジスタのドレイン電流に比例した値となる。第 2 のトランジスタ及び電圧生成部と負帰還回路を構成する第 2 の差動増幅回路によってこれら第 1 及び第 2 の電圧が比較され、過電流保護が実現される。このとき、過電流と判断する基準となる制限電流のばらつきは、ほぼ基準電圧のみのばらつきによって決まるため、例えば、バンドギャップ電圧源等のばらつきの非常に小さい電圧源を用いて基準電圧を生成することにより、制限電流のばらつきを抑制することが可能となる。

40

【図面の簡単な説明】

【0015】

【図 1】本発明の第 1 の実施形態のボルテージレギュレータを示す回路図である。

【図 2】図 1 のボルテージレギュレータの出力電流に対する出力電圧  $V_{OUT}$  の波形を示す図である。

【図 3】本発明の第 2 の実施形態のボルテージレギュレータを示す回路図である。

【図 4】従来のボルテージレギュレータの回路図である。

【図 5】図 4 のボルテージレギュレータの出力電流に対する出力電圧  $V_{OUT}$  の波形を示す図である。

【発明を実施するための形態】

50

## 【 0 0 1 6 】

以下、本発明の実施形態について、図面を参照して説明する。

図 1 は、本発明の第 1 の実施形態のボルテージレギュレータ 1 0 0 の回路図である。

本実施形態のボルテージレギュレータ 1 0 0 は、電源端子 1 0 1 と、接地端子 1 0 2 と、第 1 の差動増幅回路 1 2 7 と、第 2 の差動増幅回路 1 2 8 と、電圧生成部 1 2 9 と、PMOS トランジスタ 1 1 2、1 1 3 と、基準電圧源 1 1 4 と、抵抗 1 2 4、1 2 5 と、出力端子 1 2 6 とを備える。

## 【 0 0 1 7 】

第 1 の差動増幅回路 1 2 7 は、PMOS トランジスタ 1 1 5、1 1 6 と、NMOS トランジスタ 1 1 7、1 1 8 と、電流源 1 1 0 とを備える。

第 2 の差動増幅回路 1 2 8 は、NMOS トランジスタ 1 1 9、1 2 0 と、電流源 1 1 1 と、抵抗 1 2 1 とを備える。

電圧生成部 1 2 9 は、PMOS トランジスタ 1 2 3 と、抵抗 1 2 2 とを備える。

## 【 0 0 1 8 】

PMOS トランジスタ 1 1 3 は、ソースが電源端子 1 0 1 に接続され、ドレインが出力端子 1 2 6 と抵抗 1 2 5 の一端に接続されている。PMOS トランジスタ 1 1 2 は、ソースが電源端子 1 0 1 に接続され、ドレインが電圧生成部 1 2 9 の一端 (PMOS トランジスタ 1 2 3 のソース) と NMOS トランジスタ 1 2 0 のゲートに接続されている。電流源 1 1 1 は、一端が電源端子 1 0 1 に接続され、他端が NMOS トランジスタ 1 1 9 のドレインと PMOS トランジスタ 1 1 2 のゲートと PMOS トランジスタ 1 1 3 のゲートに接続されている。抵抗 1 2 5 は、他端が抵抗 1 2 4 の一端と PMOS トランジスタ 1 1 6 のゲートに接続されている。抵抗 1 2 4 は、他端が接地端子 1 0 2 に接続されている。PMOS トランジスタ 1 2 3 は、ゲートがドレインと抵抗 1 2 2 の一端に接続されている。抵抗 1 2 2 の他端 (ドレインが電圧生成部 1 2 9 の他端) は、接地端子 1 0 2 に接続されている。NMOS トランジスタ 1 2 0 は、ドレインが電源端子 1 0 1 に接続され、ソースが NMOS トランジスタ 1 1 9 のソースと抵抗 1 2 1 の一端に接続されている。抵抗 1 2 1 は、他端が接地端子 1 0 2 に接続されている。電流源 1 1 0 は、一端が電源端子 1 0 1 に接続され、他端が PMOS トランジスタ 1 1 5 のソースと PMOS トランジスタ 1 1 6 のソースに接続されている。PMOS トランジスタ 1 1 5 は、ゲートが基準電圧源 1 1 4 の一端に接続され、ドレインが NMOS トランジスタ 1 1 7 のゲートとドレインに接続されている。基準電圧源 1 1 4 は他端が接地端子 1 0 2 に接続されている。PMOS トランジスタ 1 1 6 は、ドレインが NMOS トランジスタ 1 1 9 のゲートと NMOS トランジスタ 1 1 8 のドレインに接続されている。NMOS トランジスタ 1 1 8 は、ゲートが NMOS トランジスタ 1 1 7 のゲートに接続され、ソースが接地端子 1 0 2 に接続されている。NMOS トランジスタ 1 1 7 は、ソースが接地端子 1 0 2 に接続されている。

## 【 0 0 1 9 】

第 1 の差動増幅回路 1 2 7 は、PMOS トランジスタ 1 1 5 のゲートと PMOS トランジスタ 1 1 6 のゲートが入力であり、PMOS トランジスタ 1 1 6 のドレインが出力である。第 2 の差動増幅回路 1 2 8 は、NMOS トランジスタ 1 1 9 のゲートと NMOS トランジスタ 1 2 0 のゲートが入力であり、NMOS トランジスタ 1 1 9 のドレインが出力である。

## 【 0 0 2 0 】

ここでは説明のため、PMOS トランジスタ 1 1 3 のドレイン電流を  $I_1$  とし、PMOS トランジスタ 1 1 2 のドレイン電流を  $I_2$  とする。PMOS トランジスタ 1 1 2 は、PMOS トランジスタ 1 1 3 に対して所定のサイズ比を有し、レプリカ素子として動作する。また、出力端子 1 2 6 の電圧を  $V_{OUT}$  とし、NMOS トランジスタ 1 2 0 のゲート電圧を  $V_{G2}$  とし、NMOS トランジスタ 1 1 9 のゲート電圧を  $V_{G1}$  とし、電流源 1 1 0 の他端の電圧を  $V_{S1}$  とし、抵抗 1 2 1 の一端の電圧を  $V_{S2}$  とし、基準電圧源 1 1 4 の一端の電圧を  $V_{REF}$  とする。さらに、抵抗 1 2 2 の抵抗値を  $R$  とし、抵抗 1 2 4 の一端の電圧を  $V_{FB}$  とし、電流源 1 1 1 の他端の電圧を  $V_{GATE}$  とする。

10

20

30

40

50

## 【 0 0 2 1 】

次に、上記のように構成されたボルテージレギュレータ 1 0 0 の動作について説明する。

第 1 の状態として、出力端子 1 2 6 に供給される負荷電流が制限電流よりもはるかに小さい場合について説明する。

## 【 0 0 2 2 】

この場合、電流  $I_1$ 、及び PMOS トランジスタ 1 1 3 と PMOS トランジスタ 1 1 2 のサイズ比で決まる電流  $I_2$  は、いずれも電流値が小さい。また、電流  $I_2$  が電圧生成部 1 2 9 に供給されるため、電圧生成部 1 2 9 の一端に生成される電圧  $V_{G2}$  も小さい値となっている。電圧  $V_{G2}$  が NMOS トランジスタ 1 2 0 のしきい値を下回っているとすると、NMOS トランジスタ 1 2 0 はオフしている。

10

## 【 0 0 2 3 】

このような状況において、第 1 の差動増幅回路 1 2 7 は、電圧  $V_{REF}$  と電圧  $V_{FB}$  を比較し、その差分を増幅して電圧  $V_{G1}$  を出力する。第 2 の差動増幅回路 1 2 8 は、NMOS トランジスタ 1 2 0 がオフしているため、NMOS トランジスタ 1 1 9 と抵抗 1 2 1、電流源 1 1 1 によって電圧  $V_{G1}$  を増幅し、電圧  $V_{GATE}$  を出力する。PMOS トランジスタ 1 1 3 は、ゲートに電圧  $V_{GATE}$  を受け、ドレイン電流  $I_1$  を生成して出力端子 1 2 6 に接続される負荷（図示せず）に供給する。

## 【 0 0 2 4 】

抵抗 1 2 5 と抵抗 1 2 4 は、電圧  $V_{OUT}$  を分圧して第 1 の差動増幅回路 1 2 7 に入力する。このようなループによって負帰還が作用し、電圧  $V_{REF}$  と電圧  $V_{FB}$  が等しくなるように動作する。

20

## 【 0 0 2 5 】

第 2 の状態として、第 1 の状態から負荷電流が上昇した場合について説明する。

出力端子 1 2 6 に接続される負荷（図示せず）の電流が増加すると、PMOS トランジスタ 1 1 3 の電流  $I_1$  と PMOS トランジスタ 1 1 2 の電流  $I_2$  が増加する。これにより、電圧  $V_{G2}$  も増加するため、NMOS トランジスタ 1 2 0 がオンする。したがって、NMOS トランジスタ 1 2 0 のドレイン電流が抵抗 1 2 1 に供給され、電圧  $V_{S2}$  が上昇する。

## 【 0 0 2 6 】

このとき、NMOS トランジスタ 1 1 9 は、ゲートソース間電圧が小さくなってオフするようになるが、負帰還の作用によってオフにはならない。具体的には、負帰還の作用によって電圧  $V_{REF}$  と電圧  $V_{FB}$  が等しくなるように動作するため、電圧  $V_{S2}$  が上昇した分は電圧  $V_{G1}$  を上昇させて、結果的に NMOS トランジスタ 1 1 9 のゲートソース間には所定の電位差が確保される。つまり、負荷電流が増加して電圧  $V_{G2}$  が増加しても所望の電圧  $V_{OUT}$  が得られる。

30

## 【 0 0 2 7 】

第 3 の状態として、第 2 の状態から更に負荷電流が増加して過電流保護機能が動作した場合について説明する。

出力端子 1 2 6 に接続される負荷（図示せず）の電流がさらに増加すると、第 2 の状態と同様のメカニズムで電圧  $V_{G1}$  が上昇するが、電圧  $V_{G1}$  の電圧値の上限は電圧  $V_{S1}$  で制限される。電圧  $V_{S1}$  は、電圧  $V_{REF}$  と PMOS トランジスタ 1 1 5 のゲートソース間電圧の絶対値  $|V_{GSP1}|$  の和で決まり、次式 (2) で表される。

40

## 【 0 0 2 8 】

## 【 数 2 】

$$V_{S1} = V_{REF} + |V_{GSP1}| \cdots (2)$$

## 【 0 0 2 9 】

そして、電圧  $V_{G2}$  が電圧  $V_{S1}$  と等しくなると、NMOS トランジスタ 1 1 9 のゲ-

50

トソース間電圧は減少する。これにより、NMOSトランジスタ119のドレイン電流が減少すると、電圧VGATEが上昇してPMOSトランジスタ113のドレイン電流I1が制限される。ここで、PMOSトランジスタ123のゲートソース間電圧の絶対値を|VGSP2|とし、PMOSトランジスタ113、112のサイズ比をKとすると、このときの電圧VG2は、次式(3)で表される。

【0030】

【数3】

$$VG2 = \frac{I1 \times R}{K} + |VGSP2| \dots (3)$$

10

【0031】

上述のとおり、PMOSトランジスタ113のドレイン電流I1が制限された状態では、電圧VS1と電圧VG2が等しくなっており、さらに、|VGSP1|と|VGSP2|は実質的に等しいことから、式(2)及び(3)より、電流I1の制限電流I1mは、次式(4)となる。

【0032】

【数4】

$$I1m = \frac{K \times VREF}{R} \dots (4)$$

20

【0033】

このようにして電流I1の制限電流I1mが決定され、過電流保護機能が動作する。ここで、式(4)から、制限電流I1mは、電圧VREFに比例することがわかる。

【0034】

図2は、本実施形態のボルテージレギュレータ100の出力電流IOUTに対する出力電圧VOUTの波形を示している。点線は、制限電流I1mのばらつき範囲を示している。仮に基準電圧源114をバンドギャップ電圧源で構成したとすると、電圧VREFのばらつきは±3%程度となる。したがって、電圧VREFが制限電流I1mに与えるばらつきを±3%に抑えることが可能となる。

このように、本実施形態のボルテージレギュレータ100は、従来のボルテージレギュレータ300よりも制限電流I1mのばらつきを大幅に小さくすることが可能である。

30

【0035】

次に、図3を参照して、本発明の第2の実施形態のボルテージレギュレータ200について説明する。

本実施形態のボルテージレギュレータ200は、第1の実施形態のボルテージレギュレータ100に対し、電圧生成部129の構成が異なっている。すなわち、図3に示すように、電圧生成部129は、一端がPMOSトランジスタ112のドレインに接続され、他端が他端が接地端子102に接続された抵抗122により構成されている。

その他の構成については、図1のボルテージレギュレータ100と同一であるため、同一の構成要素には同一の符号を付し、重複する説明は適宜省略する。

40

【0036】

本実施形態のボルテージレギュレータ200の動作について説明する。構成の相違点と同様に、第1の実施形態のボルテージレギュレータ100との相違点について述べる。相違点は、第3の状態における電圧VG2であり、式(3)と異なり、次式(5)となる。

【0037】

【数5】

$$VG2 = \frac{I1 \times R}{K} \dots (5)$$

50

## 【0038】

電圧 $V_{S1}$ は、式(2)と同一であり、第3の状態においては電圧 $V_{S1}$ と電圧 $V_{G2}$ が等しいことから、式(2)及び(5)より、電流 $I_1$ の制限電流 $I_{1m}$ は、次式(6)となる。

## 【0039】

## 【数6】

$$I_{1m} = \frac{K}{R} (V_{REF} + |V_{GSP1}|) \cdots (6)$$

## 【0040】

このようにして電流 $I_1$ の制限電流 $I_{1m}$ が決定され、過電流保護機能が動作する。ここで、式(6)から、本実施形態における制限電流 $I_{1m}$ は、電圧 $V_{REF}$ とPMOSトランジスタ115のゲートソース間電圧の絶対値 $|V_{GSP1}|$ の和に比例することがわかる。

10

## 【0041】

仮に基準電圧源114をバンドギャップ電圧源で構成したとすると、電圧 $V_{REF}$ の電圧とばらつきは、 $1.2V \pm 0.036V$ であり、また、 $|V_{GSP1}|$ が $0.6V \pm 0.1V$ であるとする、これらの和の電圧は $1.8V \pm 0.136V$ となる。したがって、この電圧 $V_{REF}$ と $|V_{GSP1}|$ の和のばらつきが制限電流 $I_{1m}$ に与えるばらつきを $\pm 7.6\%$ に抑えることが可能となる。

20

## 【0042】

このように、電圧生成部129を抵抗122のみで構成した場合でも、従来のボルテージレギュレータ300に対して、制限電流 $I_{1m}$ のばらつきを大幅に抑制することが可能である。さらに、一般的に抵抗 $R$ は負の温度係数を有することが多く、また、 $|V_{GSP1}|$ も負の温度係数を有しているため、これらを相殺して温度特性を向上させることも可能である。

## 【0043】

このように、本実施形態のボルテージレギュレータ200は、従来のボルテージレギュレータ300よりも制限電流のばらつきを小さくするとともに温度特性を向上させることが可能である。

30

## 【0044】

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲において種々の変更が可能であることは言うまでもない。

例えば、上記第1の実施形態においては、電圧生成部129をPMOSトランジスタ123と抵抗122の直列回路で構成し、PMOSトランジスタ123をPMOSトランジスタ112側に、抵抗122を接地端子102側に配置した例を説明したが、抵抗122をPMOSトランジスタ112側に、PMOSトランジスタ123を接地端子102側に配置しても構わない。

## 【0045】

また、上記実施形態においては、ボルテージレギュレータをMOSトランジスタを用いた構成した例を説明したが、バイポーラトランジスタ等を用いてもよい。

40

また、上記実施形態において、PMOSトランジスタとNMOSトランジスタの極性を反転させた回路構成を用いることも可能である。

## 【符号の説明】

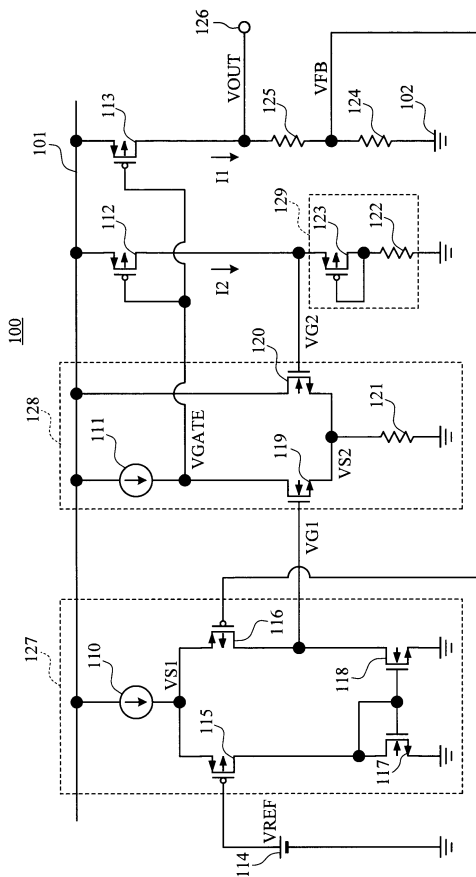
## 【0046】

- 100、200、300 ボルテージレギュレータ
- 101 電源端子
- 102 接地端子
- 110、111 電流源
- 114 基準電圧源

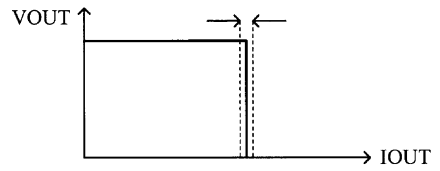
50

- 1 2 6 出力端子
- 1 2 7 第 1 の差動増幅回路
- 1 2 8 第 2 の差動増幅回路
- 1 2 9 電圧生成部

【 図 1 】

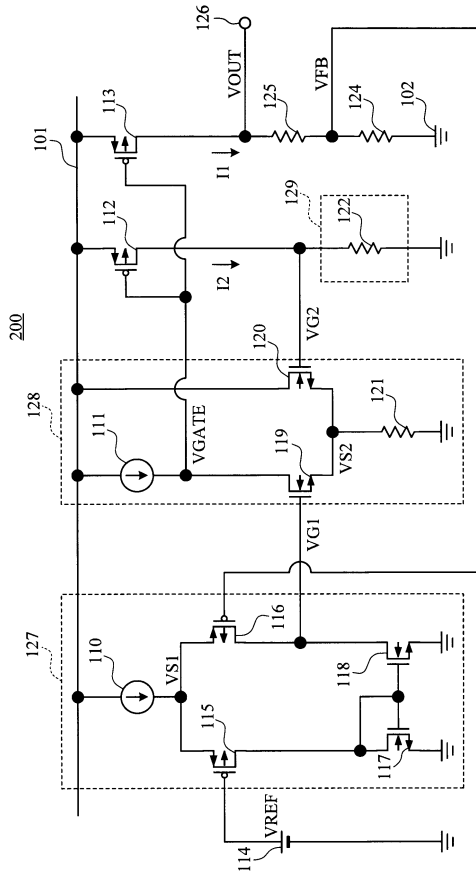


【 図 2 】

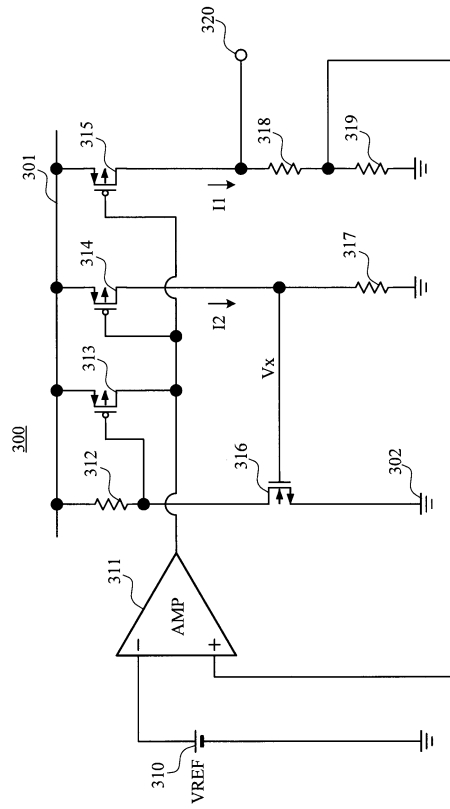




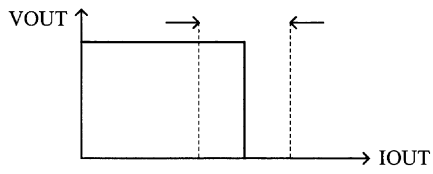
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

- (56)参考文献 特開2003-29856(JP,A)  
特開2004-38831(JP,A)  
特開2007-133730(JP,A)  
特開2007-249523(JP,A)  
特開2013-206142(JP,A)  
特開2008-276611(JP,A)  
特開2012-198624(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G05F 1/56