



[12] 发明专利申请公开说明书

[21] 申请号 200410086614.2

[43] 公开日 2005 年 5 月 4 日

[11] 公开号 CN 1612267A

[22] 申请日 2004. 10. 29

[21] 申请号 200410086614. 2

[30] 优先权

[32] 2003. 10. 30 [33] JP [31] 370589/2003

[32] 2004. 6. 29 [33] JP [31] 191947/2004

[71] 申请人 富士通株式会社

地址 日本神奈川县

[72] 发明人 小林广之 神田达哉

[74] 专利代理机构 北京东方亿思知识产权代理有限
责任公司

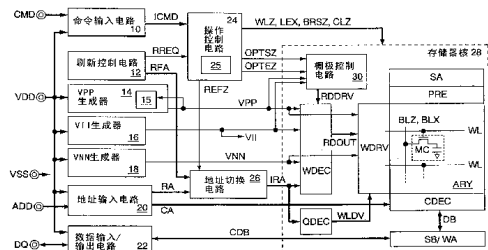
代理人 赵淑萍

权利要求书 5 页 说明书 35 页 附图 25 页

[54] 发明名称 半导体存储器

[57] 摘要

本发明公开了一种半导体存储器。其中，增高电压生成器生成增高电压，作为字线的高电平电压。多个第一字译码器在活跃周期中根据第一地址信号来输出低电平电压或高电平电压，而在待机周期中输出高电平电压。切换电路在活跃周期中将用于向所述第一字译码器提供高电平电压的高电平电压线与增高电压线相连接，而在待机周期中将其与内部电压线相连接。向内部电压线提供的电压低于增高电压。多个字驱动器在它们的晶体管的栅极接收到来自所述第一字译码器的低电平电压时向字线提供增高电压，而当其栅极接收到来自所述第一字译码器的高电平电压时向字线输出低电平电压。



1. 一种半导体存储器，包括：

存储器阵列，其具有分别连接到多个字线的多个动态存储器单元；

- 5 增高电压生成器，用于利用外部供应电压来生成恒定的增高电压作为所述字线的高电平电压，所述增高电压高于所述外部供应电压；

- 多个第一字译码器，用于在活跃周期中将第一地址信号译码，当所述第一地址信号指示选择时输出低电平电压，当所述第一地址信号指示解选时输出高电平电压，以及在待机周期中输出所述高电平电压，在所述活跃
10 周期期间，响应于存取请求和刷新请求而对所述存储器单元进行存取，而所述待机周期是除所述活跃周期之外的周期；

- 切换电路，在第一规格的操作中，用于在至少包括所述活跃周期的第一周期中将高电平电压线与增高电压线相连接，以及在除所述第一周期之外的周期中将所述高电平电压线与内部电压线相连接，所述高电平电压线
15 用于将所述高电平电压提供给所述第一字译码器，所述增高电压线是所述增高电压生成器的输出节点，所述内部电压线被提供的是低于所述增高电压的一个电压；和

- 多个字驱动器，所述字驱动器分别与所述字线相对应，并且所述字驱动器中的每一个都设有晶体管，用于当每个晶体管在其栅极处接收到来自
20 所述第一字译码器的低电平电压时向所述字线输出所述增高电压，并且当所述的每个晶体管在其栅极处接收到来自所述第一字译码器的高电平电压时向所述字线输出所述低电平电压。

2. 如权利要求 1 所述的半导体存储器，其中：

- 所述字驱动器具有 CMOS 反相器，用于分别将所述第一字译码器的输出
25 电平进行反相，并将所述反相后的输出电平输出到所述字线；并且

所述字驱动器中每一个的所述晶体管是 pMOS 晶体管，该 pMOS 晶体管是所述 CMOS 反相器中每一个的组成部分。

3. 如权利要求 2 所述的半导体存储器，包括

第二字译码器，用于在所述活跃周期中将第二地址信号译码，当所述

第二地址信号指示选择时向所述 pMOS 晶体管的源极输出所述增高电压，以及当所述第二地址信号指示解选时向所述源极输出所述低电平电压，并且其中

所述第一周期是所述活跃周期；

5 所述除第一周期之外的周期是所述待机周期；并且

在所述活跃周期的开始，在所述切换电路将与所述高电平电压线相连接的电压线从所述内部电压线切换到所述增高电压线之后，所述第二字译码器输出所述增高电压。

4. 如权利要求 3 所述的半导体存储器，其中

10 所述第二字译码器的输出端共同连接到所述多个字驱动器的 pMOS 晶体管的源极。

5. 如权利要求 3 所述的半导体存储器，其中

15 所述第一地址信号由列地址信号的多个高位组成，所述列地址信号由用于选择所述字线的多个位组成，并且所述第二地址信号由所述列地址信号的多个低位组成。

6. 如权利要求 2 所述的半导体存储器，包括

20 第二字译码器，用于在所述活跃周期中将第二地址信号译码，当所述第二地址信号指示选择时向所述 pMOS 晶体管的源极输出所述增高电压，以及当所述第二地址信号指示解选时向所述源极输出所述低电平电压，并且其中

所述第一周期是所述活跃周期；

所述除第一周期之外的周期是所述待机周期；并且

25 在所述活跃周期的末尾，在所述第二字译码器输出所述低电平电压之后，所述切换电路将与所述高电平电压线相连接的电压线从所述增高电压线切换到所述内部电压线。

7. 如权利要求 6 所述的半导体存储器，其中

在所述活跃周期的末尾，在所述第一字译码器将其输出电压从低电平变为高电平之后，所述切换电路将与所述高电平电压线相连接的电压线从所述增高电压线切换到所述内部电压线。

8. 如权利要求 6 所述的半导体存储器，其中

所述第一地址信号由列地址信号的多个高位组成，所述列地址信号由用于选择所述字线的多个位组成，并且所述第二地址信号由所述列地址信号的多个低位组成。

5 9. 如权利要求 2 所述的半导体存储器，包括

负电压生成器，用于利用所述外部供应电压来生成恒定的负电压，并且其中

所述 CMOS 反相器的 nMOS 晶体管在其源极处接收到所述负电压。

10. 如权利要求 1 所述的半导体存储器，包括

10 内部电源电压生成器，用于利用所述外部供应电压来生成恒定的内部供应电压，所述内部供应电压低于所述外部供应电压。

11. 如权利要求 1 所述的半导体存储器，其中：

所述字驱动器具有 CMOS 反相器，用于分别将所述第一字译码器的输出电平进行反相，并将所述反相后的输出电平输出到所述字线；

15 所述字驱动器中每一个的所述晶体管是 pMOS 晶体管，该 pMOS 晶体管是所述 CMOS 反相器中每一个的组成部分，所述 pMOS 晶体管在其衬底处接收到所述增高电压；

所述增高电压生成器具有比较控制电路，用于将所述增高电压和参考电压进行比较，并且在所述增高电压低于所述参考电压的时间内执行增高操作；并且

20 所述比较控制电路在所述活跃周期和所述待机周期期间，持续执行所述比较操作。

12. 如权利要求 1 所述的半导体存储器，包括：

命令译码器，用于将读命令和写命令译码，所述读命令和写命令是通过外部终端提供的存取请求；

25 刷新控制电路，用于以预定的时间间隔生成刷新命令，该刷新命令是所述刷新请求；和

操作控制电路，用于输出用于操作所述存储器阵列的定时信号，以便响应于所述读命令和所述写命令而执行存取操作，并且响应于所述刷新命

令而执行刷新操作，其中

所述操作控制电路具有仲裁器，用于当所述读或写命令与所述刷新命令彼此冲突时，确定所述存取操作和刷新操作中哪一个被给予优先权。

13. 如权利要求 1 所述的半导体存储器，包括：

5 命令译码器，用于在正常操作模式期间将读命令和写命令译码，所述读命令和写命令是所述存取请求，并通过外部终端提供；

刷新控制电路，用于在自刷新模式期间以预定的时间间隔生成刷新命令，该刷新命令是所述刷新请求，在所述自刷新模式中不接受所述存取请求中的任何一个；和

10 操作控制电路，用于输出用于操作所述存储器阵列的定时信号，以便响应于所述读命令和所述写命令而执行存取操作，并且响应于所述刷新命令而执行刷新操作。

14. 如权利要求 1 所述的半导体存储器，其中：

15 所述半导体存储器具有正常操作模式和自刷新模式，所述正常操作模式和自刷新模式作为操作模式，在所述正常操作模式中接受所述存取请求，在所述自刷新模式中不接受所述存取请求，而是仅执行响应于在所述半导体存储器内部产生的所述刷新请求而进行的刷新操作；

所述第一周期是所述自刷新模式中的所述活跃周期及所述正常操作模式的周期；并且

20 所述除第一周期之外的周期是所述自刷新模式中的所述待机周期。

15. 如权利要求 1 所述的半导体存储器，其中：

25 所述半导体存储器具有正常操作模式和低功率模式，所述正常操作模式和低功率模式作为操作模式，所述正常操作模式接受所述存取请求及所述刷新请求，所述低功率模式既不接受所述存取请求也不接受所述刷新请求；并且

所述第一周期是所述正常操作模式的周期，

所述除第一周期之外的周期是所述低功率模式的周期。

16. 如权利要求 1 所述的半导体存储器，还包括：

程序电路，用于将所述半导体存储器的操作规格设定为第一规格或第

二规格，并且其中

当所述程序电路的设定值指示所述第二规格时，所述切换电路将所述高电平电压线持续连接在所述增高电压线上。

17. 如权利要求 1 所述的半导体存储器，其中

5 包括模式寄存器，用于将半导体存储器的操作规格设定为所述第一规格或第二规格，并且其中

当所述模式寄存器的设定值指示所述第二规格时，所述切换电路将所述高电平电压线持续连接在所述增高电压线上。

18. 如权利要求 1 所述的半导体存储器，其中：

10 所述半导体存储器的操作规格根据导电膜的连接端的电压，被设定为所述第一规格或第二规格，所述导电膜根据在半导体制造过程中使用的遮光膜的图案形状而被形成在半导体衬底的预定位置上；并且

当所述导电膜的连接端的电压指示所述第二规格时，所述切换电路将所述高电平电压线持续连接在所述增高电压线上。

半导体存储器

5 技术领域

本发明涉及一种半导体存储器，其具有动态存储器单元（memory cell）和连接到所述存储器单元的字线（word line），并在对所述存储器单元进行存取时向所述字线提供高于电源电压的电压。

10 背景技术

本申请基于 2003 年 10 月 30 日提出的日本专利申请 No. 2003-370589 并要求其优先权，在此通过引用而包含该申请的全部内容。

最近，已将具有动态存储器单元（DRAM（动态随机存取存储器）或伪 SRAM（静态随机存取存储器））的半导体存储器用于安装在诸如移动电话之类的便携式设备上的工作存储器（work memory）。因为 DRAM 存储器单元比 SRAM 存储器单元要小，所以使用 DRAM 可以降低产品成本。同时，为了延长电池的工作时间，安装在便携式设备上的半导体存储器要求具有低功耗。具体到移动电话上来说，为了延长可用待机（standby）时间，待机电流低是很重要的。即使便携式设备未工作，
20 DRAM 和伪 SRAM 也需要执行周期性的刷新（refresh）操作，而这些刷新操作导致了待机电流的增加。因而，人们做出了各种用于降低 DRAM 和伪 SRAM 的待机电流的设计。

例如，提出了一种技术，其中在自刷新模式（self-refresh mode）期间，增高电压生成器（boost voltage generator）的操作被停止，所述增高电压生成器用于生成字线的增高电压，并将增高电压生成器的输出节点（增高节点）固定于一个外部供应电压（例如在以下称为参考文献 1 的日本未经实审的专利申请公开 No. 平 7-287980 中所公开的）。还提出了一种技术，其中在刷新操作（自刷新模式期间的集中刷新操作）完成之后，将增高电压生成器的操作停止一段预定的时间，并且在此段时间内将字线接地
25

(例如在以下称为参考文献 2 的日本未经实审的专利申请公开 No. 2003-77273 中所公开的)。

另一方面，在具有动态存储器单元的半导体存储器中，将字线的选择电压设定为高于电源电压的增高电压，使得存储器单元中所保存的数据的电荷更多，以提高读容差 (read margin)。在栅极处提供了所述增高电压的晶体管可能会有栅极感应漏极泄漏 (GIDL) 电流。由于 GIDL 电流取决于栅极电压而在晶体管的漏极和衬底之间、或者在其源极和衬底之间流动，因此所述 GIDL 电流随栅极电压的增加而增加。因此在这种类型的半导体存储器中，由于字驱动器 (word driver) 内部的晶体管基于 GIDL 的待机电流增加而产生了严重的问题，特别是当所述晶体管在其栅极处接收到增高电压的时候。具体而言，当 pMOS 晶体管在其栅极处接收到增高电压时，增高电压被提供给衬底 (阱)。这增加了漏极与衬底间的电压差或者源极与衬底间的电压差，容易导致更大的 GIDL 电流。

例如，在 3.2V 的栅极电压 (增高电压) 下的 pMOS 晶体管产生一个单位栅极宽度的 GIDL 电流 (例如 $1 \times 10^{-11} \text{A}/\mu\text{m}$)，此电流大约是 1.8V 栅极电压 (电源电压) 下 GIDL 电流 (例如 $2 \times 10^{-13} \text{A}/\mu\text{m}$) 的 50 倍。假定在一种伪 SRAM 中，字驱动器中的 pMOS 晶体管在其栅极处接收到增高电压 (3.2V)，并且具有大约 $1 \times 10^6 \mu\text{m}$ 的栅极总宽度，则这些 pMOS 晶体管的 GIDL 电流总共是大约 $10 \mu\text{A}$ 。

此外，GIDL 降低 pMOS 晶体管的衬底电压 (增高电压)。因而，用于生成增高电压的增高电压生成器必须进行的操作来补偿所述电压降。一般而言，增高电压生成器通过向其耦合电容器充电来产生增高电压。在用单个耦合电容器来产生增高电压的单阶段 (single-stage) 结构的增高电压生成器中，增高电压的生成效率约为 40-50% 的量级。在用两个耦合电容器来产生增高电压的两阶段 (two-stage) 结构的增高电压生成器中，增高电压的生成效率约为 20-25% 的量级。最近，由于晶体管的微型化，外部供应电压已在降低，并且采用两阶段结构增高电压生成器的半导体存储器也在增多。假定两阶段结构增高电压生成器具有 20% 的生成效率，则 $10 \mu\text{A}$ 的 GIDL 必须通过消耗五倍的电流，即 $50 \mu\text{A}$ 来补偿。由于典型的 DRAM

的待机电流有 100-200 μ A 的规格，因此 GIDL 对待机电流的影响是不可忽略的。

同时，将 nMOS 晶体管设置为负的衬底电压需要负电压生成器。但是其生成效率约为 75-80%的量级。因此，nMOS 晶体管中产生的归因于 GIDL 的电流消耗的增加量小于 pMOS 晶体管中产生的归因于 GIDL 的电流消耗的增加量。

没有一种传统技术能在具有动态存储器单元并且对字线提供增高电压的半导体存储器中，避免在其栅极处接收到增高电压的晶体管中 GIDL 的产生。

10 在前面的参考文献 1 中，增高电压生成器在自刷新期间停止，并且强行将增高电压供应线的电压设置在电源电压。因此在执行刷新操作时，必须将选择字线的操作一直推迟到增高电压达到预定电压的时候。这意味着伪 SRAM 性能的劣化。另外，增高电压生成器停止之后的下一次存储器存取不得不在增高电压生成器重新开始操作，并且增高电压升到预定值之后才能开始。结果，如果将参考文献 1 应用于这样的伪 SRAM，在该伪 SRAM
15 中可能发生存取请求（读请求和写请求）与刷新请求之间的冲突，则刷新后进行第一次存取需要很长时间。这导致伪 SRAM 性能的劣化，因为不得不将产品规格中的存取时间设置为最坏的值。

前面的参考文献 2 仅适用于执行集中刷新操作的自刷新模式期间。例如，如果将参考文献 2 应用于在自刷新模式期间执行分散刷新操作的 DRAM，则无法令人满意地降低待机电流，因为增高电压生成器的停止时间减少了，而其停止和重启的频率增加了。此外，如果将参考文献 2 应用于这样的伪 SRAM，在该伪 SRAM 中可能发生存取请求和刷新请求之间的冲突，以及应用于这样的 DRAM，在该 DRAM 中刷新请求是在任意时刻从外部提供的，则与参考文献 1 一样，刷新后进行第一次存取需要很长时间。
25

发明内容

本发明的一个目的是降低在其栅极处接收增高电压的晶体管的

GIDL。

本发明的另一个目的是降低具有动态存储器单元的半导体存储器的待机电流，而不停止其增高电压生成器。

本发明还有一个目的是降低所述待机电流而不增加存取时间。

5 根据本发明的半导体存储器的一个方面，存储器阵列具有分别连接到多个字线的多个动态存储器单元。增高电压生成器利用外部供应电压来生成增高电压作为字线的高电平电压，所述增高电压高于所述外部供应电压。多个第一字译码器在活跃周期中将第一地址信号译码，当所述第一地址信号指示选择时输出低电平电压，并且当所述第一地址信号指示解选时
10 输出高电平电压，其中对于所述活跃周期，响应于存取请求和刷新请求而对存储器单元进行存取。在除活跃周期之外的周期，或者待机周期中，第一字译码器也输出高电平电压。

在第一规格的操作中，切换电路在至少包括所述活跃周期的第一周期中将高电平电压线与增高电压线相连接，而在除第一周期之外的周期中将其与内部电压线相连接，所述高电平电压线用于将高电平电压提供给第一
15 字译码器。所述增高电压线是增高电压生成器的输出节点。所述内部电压线被提供的是低于增高电压的一个电压。形成了分别与字线相对应的多个字驱动器，并且所述字驱动器中的每一个都设有晶体管。当所述晶体管的栅极接收到来自第一字译码器的低电平电压时，字驱动器向字线输出增高
20 电压，并且当其栅极接收到来自第一字译码器的高电平电压时向字线输出低电平电压。

根据此半导体存储器，在除第一周期之外的周期中，第一字译码器根据切换电路的切换操作，输出低于增高电压的电压作为所述高电平电压。从而在除第一周期之外的周期中，字驱动器的晶体管的栅极接收到低于增高
25 电压的电压。结果，与栅极接收到增高电压的情况相比，可以大大降低在除第一周期之外的周期中从字驱动器晶体管产生的栅极感应漏极泄漏电流。也就是说，可以显著降低半导体存储器的待机电流。

根据本发明的半导体存储器的另一方面，所述字驱动器分别具有CMOS反相器，用于分别将第一字译码器的输出电平进行反相，并将反相

后的输出电平输出到字线。所述字驱动器中每一个的晶体管是 pMOS 晶体管，该 pMOS 晶体管是所述 CMOS 反相器中每一个的组成部分。

5 根据此半导体存储器，在待机周期中，向字驱动器的 pMOS 晶体管的栅极提供低于增高电压的电压作为高电平电压。尽管如此，由于栅极电压低于增高电压，因此可以避免栅极感应漏极泄漏的产生。

10 根据本发明的半导体存储器的又一方面，第一周期是活跃周期，除第一周期之外的周期是所述待机周期。第二字译码器在活跃周期中将第二地址信号译码。当所述第二地址信号指示选择时，第二字译码器向 pMOS 晶体管的源极输出增高电压，而当所述第二地址信号指示解选时向所述源极输出低电平电压。在活跃周期的开始，在切换电路将与高电平电压线相连接的电压线从内部电压线切换到增高电压线之后，第二字译码器输出增高电压。

15 根据此半导体存储器，在活跃周期的开始，在 pMOS 晶体管的栅极电压从低于增高电压的电压变为增高电压之后，pMOS 晶体管的源极电压从低电平电压变为增高电压。从而，可以防止栅极电压下降到低于源极电压，从而防止了 CMOS 反相器的 pMOS 晶体管和 nMOS 晶体管同时导通。结果，就可以避免在源极和漏极之间流动的穿通电流（feedthrough current）。

20 根据本发明的半导体存储器的再一方面，第二字译码器的输出端共同连接到多个字驱动器的 pMOS 晶体管的源极。

25 根据此半导体存储器，第二字译码器的输出端共同连接到多个字驱动器的 pMOS 晶体管的源极。因此，从第二字译码器输出的增高电压不但被提供给从第一字译码器接收到低电平电压的字驱动器以选择字线，而且还被提供给在其栅极处从第一字译码器接收到高电平电压的字驱动器以解选字线。由于自来自第一字译码器的高电平电压被设置为增高电压之后向 pMOS 晶体管的源极提供增高电压，因此可以防止处于未选择状态的字驱动器的 pMOS 晶体管和 nMOS 晶体管在活跃周期的开始同时导通。结果，就可以避免在源极和漏极之间流动的穿通电流。

根据本发明的半导体存储器的另一方面，第一周期是活跃周期，除第

一周期之外的周期是所述待机周期。第二字译码器在活跃周期中将第二地址信号译码。当所述第二地址信号指示选择时，第二字译码器向 pMOS 晶体管的源极输出增高电压，当所述第二地址信号指示解选时，其向所述源极输出低电平电压。在活跃周期的末尾，在第二字译码器输出低电平电压之后，切换电路将与高电平电压线相连接的电压线从增高电压线切换到内部电压线。

根据此半导体存储器，在活跃周期的末尾，在 pMOS 晶体管的源极电压从增高电压变为低电平电压之后，pMOS 晶体管的栅极电压从增高电压变为低于该增高电压的电压。从而，可以防止栅极电压下降到低于源极电压，从而防止了 CMOS 反相器的 pMOS 晶体管和 nMOS 晶体管同时导通。结果，就可以避免在源极和漏极之间流动的穿通电流。

根据本发明的半导体存储器的另一方面，在活跃周期的末尾，在第一字译码器将其输出电压从低电平变为高电平之后，切换电路将与高电平电压线相连接的电压线从增高电压线切换到内部电压线。

根据此半导体存储器，在活跃周期的末尾，第一字译码器暂时向字线提供增高电压，然后提供低于增高电压的电压作为高电平电压。因此，字驱动器的 CMOS 反相器的 nMOS 晶体管暂时强导通。因此，就可以在活跃周期的末尾迅速将字线电压降低到解选电平。结果，利用存取时间的减少就可以缩短字线的复位操作周期。还可以防止因为活跃周期连续出现（连续提供存取请求）时字线复位不足而引起的对字线的多重选择。也就是说，可以防止半导体存储器发生故障。

根据本发明的半导体存储器的另一方面，内部电源电压生成器利用外部供应电压来生成恒定的内部供应电压，所述内部供应电压低于所述外部供应电压。

根据此半导体存储器，可以用内部电源电压生成器所生成的恒定的内部供应电压来作为所述低于增高电压的电压，使得能够向字驱动器提供变动更小的高电平电压。

根据本发明的半导体存储器的另一方面，增高电压生成器具有比较控制电路，用于将增高电压和参考电压进行比较，并在增高电压低于参考电

压的时间内执行增高操作。比较控制电路在活跃周期和待机周期期间持续执行比较操作。

根据此半导体存储器，增高电压生成器的比较控制电路不仅在活跃周期期间，而且在待机周期期间也继续比较操作。尽管如此，本发明的应用使得能够显著降低栅极感应漏极泄漏电流，从而增高电压（pMOS 晶体管的衬底电压）几乎不降落。因此，即使比较控制电路在待机周期期间继续比较操作，增高电压生成器执行增高操作的频率也很低。结果，可以降低增高电压生成器的电流消耗，而无需在待机周期期间强行停止增高电压生成器的增高操作。也就是说，可以在不对增高电压生成器进行复杂控制的情况下降低待机电流。

根据本发明的半导体存储器的另一方面，命令译码器将读命令和写命令译码，所述读命令和写命令是所述存取请求，并通过外部终端提供。刷新控制电路以预定的时间间隔生成刷新命令，或刷新请求。操作控制电路向存储器阵列输出定时信号，以便响应于读命令和写命令而执行存取操作，并且响应于刷新命令而执行刷新操作。所述操作控制电路具有仲裁器，用于当读命令或写命令与刷新命令彼此冲突时，确定存取操作和刷新操作的执行顺序。

根据此半导体存储器，该半导体存储器具有仲裁器，用于当读命令或写命令与刷新命令彼此冲突时，确定存取操作和刷新操作的执行顺序，就可以利用半导体存储器待机电流的降低，来实现栅极感应漏极泄漏电流的显著降低。

根据本发明的半导体存储器的另一方面，命令译码器在正常操作模式期间将读命令和写命令译码，所述读命令和写命令是所述存取请求，并通过外部终端提供。刷新控制电路在自刷新模式期间以预定的时间间隔生成刷新命令，或刷新请求，在所述自刷新模式中不接受任何存取请求。操作控制电路向存储器阵列输出定时信号，以便响应于读命令和写命令而执行存取操作，并且响应于刷新命令而执行刷新操作。

根据这种具有自刷新模式的半导体存储器，可以利用降低其待机电流，来实现栅极感应漏极泄漏电流的显著降低。

根据本发明的半导体存储器的另一方面，半导体存储器作为操作模式具有正常操作模式和自刷新模式，所述正常操作模式接受存取请求，所述自刷新模式不接受存取请求，而是仅执行响应于在半导体存储器内部发生的刷新请求的刷新操作。第一周期（将高电平电压线连接到增高电压线上的周期）是正常操作模式及自刷新模式的活跃周期和正常操作模式中的待机周期。除第一周期之外的周期（将高电平电压线连接到内部电压线上的周期）是自刷新模式中的待机周期。

在此半导体存储器中，切换电路仅在自刷新模式中将高电平电压线的电压切换到增高电压线或内部电压线，而在正常操作模式中不进行电压的切换。例如，对于在正常操作模式中频繁对存储器单元进行存取的系统，通过降低切换电路的切换频率，高电平电压线与增高电压线或内部电压线交替连接的频率下降。其结果是，高电平电压线的充放电频率下降，可以减少功耗。通过减少增高电压的无谓的消耗，可以减少增高电压生成器的无谓操作。一般来说，由于增高电压生成器中的增高电压的生成效率是百分之几十，因此由减少增高电压的无谓消耗而引起的功耗的削减效果很大。

根据本发明的半导体存储器的另一方面，半导体存储器作为操作模式具有正常操作模式和低功率模式，所述正常操作模式接受存取请求及刷新请求，所述低功率模式不接受存取请求及刷新请求。第一周期是正常操作模式周期，除第一周期之外的周期是所述低功率模式周期。

在此半导体存储器中，切换电路除了在正常操作模式和低功率模式的切换之时以外，不切换高电平电压线的电压。通过降低切换电路的切换频率，如上所述，高电平电压线的充放电频率下降，从而可减少功耗。特别是由减少增高电压的无谓消耗而引起的功耗的削减效果很大。

根据本发明的半导体存储器的另一方面，半导体存储器的操作规格通过程序电路被设定为第一规格或第二规格。当程序电路的设定值显示为第二规格时，切换电路将高电平电压线持续连接在增高电压线上。即，在第二规格中，切换电路不切换高电平电压线的电压。例如，当搭载有半导体存储器的系统高频率地对存储器单元进行存取，待机电流并不是很重要的

情况下，半导体存储器设定在第二规格。当是存储器单元的存取频率低、重视待机电流的系统的情况下，半导体存储器设定在第一规格。如此，可以对应系统的规格来恰当地切换半导体存储器的产品规格（操作规格）。

根据本发明的半导体存储器的另一方面，半导体存储器的规格通过模式寄存器被设定为第一规格或第二规格。当模式寄存器的设定值表示第二规格时，切换电路将高电平电压线持续连接在增高电压线上。即，在第二规格中，切换电路不切换高电平电压线的电压。因此，与上述的具有程序电路的半导体存储器一样，可以对应系统的规格来恰当地切换半导体存储器的操作规格。此外，通过向客户开放模式寄存器，客户可以恰当地切换半导体存储器的产品规格（操作规格）。

根据本发明的半导体存储器的另一方面，半导体存储器的操作规格（产品规格）根据导电膜连接端的电压被设定为第一规格或第二规格，所述导电膜根据在半导体制造工序中使用的遮光膜的图案形状而被形成在半导体衬底的预定位置上。当导电膜连接端的电压表示第二规格时，切换电路将高电平电压线持续连接在所述增高电压线上。在此例中，也可以对应系统的规格来恰当地切换半导体存储器的操作规格。

附图说明

以下的详细描述，当结合附图来阅读时，本发明的特性、原理和作用将会变得更清楚，在附图中，相同的部分用同样的标号来指定，其中：

图 1 是一个框图，示出了本发明的半导体存储器的第一实施例；

图 2 是一个框图，详细示出了图 1 所示的存储器核的主要部件；

图 3 是一个框图，示出了图 1 所示的栅极控制电路、字译码器和字驱动器的细节；

图 4 是一个时序图，示出了在第一实施例的伪 SRAM 的待机周期内执行刷新操作的例子；

图 5 是一个时序图，示出了在第一实施例的伪 SRAM 的待机周期内的操作的概要；

图 6 是一个时序图，示出了在第一实施例的伪 SRAM 的待机周期内执

行存取操作的例子；

图 7 是一个框图，示出了本发明的半导体存储器的第二实施例；

图 8 是一个框图，示出了本发明的半导体存储器的第三实施例；

图 9 是一个框图，详细示出了图 8 所示的栅极控制电路、字译码器及
5 字驱动器；

图 10 是一个时序图，示出了第三实施例的 DRAM 的操作的概要；

图 11 是一个时序图，示出了在第三实施例的正常操作模式中执行存取操作的例子；

图 12 是一个框图，示出了本发明半导体存储器的第四实施例；

10 图 13 是一个框图，详细示出了图 12 所示的栅极控制电路、字译码器及字驱动器；

图 14 是一个时序图，示出了第四实施例的 DRAM 的操作的概要；

图 15 是一个框图，示出了本发明半导体存储器的第五实施例；

图 16 是一个电路图，详细示出了图 15 所示的程序电路；

15 图 17 是一个电路图，详细示出了图 15 所示的栅极控制电路；

图 18 是一个电路图，详细示出了图 17 所示的栅极控制电路的操作；

图 19 是一个时序图，示出了第五实施例的 DRAM 的操作的例子；

图 20 是一个时序图，示出了第五实施例的 DRAM 的操作的另一例子；

图 21 是一个框图，示出了本发明半导体存储器的第六实施例；

20 图 22 是一个框图，示出了本发明半导体存储器的第七实施例；

图 23 是一个框图，示出了本发明半导体存储器的第八实施例；

图 24 是一个电路图，详细示出了图 23 所示中显示的栅极控制电路；

图 25 是一个时序图，示出了第八实施例的伪 SRAM 的操作的概要。

25 具体实施方式

在下文中，将参照附图，对本发明的实施例进行描述。附图中的双重圆圈表示外部终端。在附图中，各条粗线表示由多条线组成的信号线。与这些粗线相连接的某些方框每个都由多个电路组成。通过外部终端提供的信号用与这些终端的名称相同的符号来指定。用于传输信号的信号线用与

这些信号的名称相同的符号来指定。以“Z”结尾的信号具有正逻辑。以“X”结尾的信号具有负逻辑。

图 1 示出了本发明的半导体存储器的第一实施例。这个半导体存储器是使用 CMOS 工艺形成为硅衬底上的伪 SRAM 芯片。该伪 SRAM 具有 DRAM 存储器核和 SRAM 接口。该伪 SRAM 在芯片内部执行周期性的刷新操作而不从外部接收刷新命令，从而保持写入其存储器单元的数据。该伪 SRAM 例如用于安装在移动电话上的工作存储器。根据通过外部终端提供的命令信号 CMD（读命令和写命令）来执行读操作和写操作。此外，伪 SRAM 与后述的第五～第八实施例不同，操作规格（产品规格）仅为一个，即，伪 SRAM 通常以第一规格进行操作。

所述伪 SRAM 具有命令输入电路 10、刷新控制电路 12、VPP 生成器 14、VII 生成器 16、VNN 生成器 18、地址输入电路 20、数据输入/输出电路 22、操作控制电路 24、地址切换电路 26 和存储器核 28。顺便说一下，图 1 仅示出了本发明描述所必需的主要信号。接地电压 VSS 被提供给除存储器阵列 ARY 之外的大部分电路。

命令输入电路 10（命令译码器）接收通过命令终端提供的命令信号 CMD（例如芯片使能信号/CE、写使能信号/WE 和输出使能信号/OE）。命令输入电路 10 将接收到的命令信号 CMD（读命令和写命令=存取请求）译码，并输出用于操作存储器核 28 的内部命令信号 ICMD。

刷新控制电路 12 具有未示出的刷新定时器和刷新地址计算器。刷新定时器以预定时间间隔输出刷新请求信号 RREQ（刷新命令）。刷新地址计算器根据刷新请求信号 RREQ 来执行计算操作，并输出由多个位（bit）组成的刷新地址信号 RFA。刷新地址信号 RFA 是用于选择以后将要描述的字线 WL 的列（row）地址信号。

VPP 生成器 14 具有两个耦合电容器，以及分别经由二极管连接到这些耦合电容器的晶体管。VPP 生成器 14 使用通过外部终端提供的电源电压 VDD（外部供应电压）来生成恒定的增高电压 VPP，该恒定的增高电压 VPP 高于电源电压。也就是说，VPP 生成器 14 作为两阶段结构的增高电压生成器而工作。增高电压 VPP 被用作字线 WL 的高电平电压。VPP 生

成器 14 具有比较控制电路 15，用于将通过电阻分压而从增高电压 VPP 下降了的电压与参考电压相比较，并在所述降压后的电压（以相对条件指示增高电压 VPP）低于参考电压 VREF 的时间段内执行增高操作。比较控制电路 15 在用于对存储器单元 MC 进行存取的活跃周期期间、以及在所述活跃周期以外的周期（即待机周期）期间，持续所述比较操作。以后将会讲到，在待机周期期间，字驱动器 WDRV 的 pMOS 晶体管所产生的栅极感应漏极泄漏电流（从 VPP 到 VNN 的泄漏）几乎是可以忽略的。因而，VPP 生成器 14 的操作即使在待机周期受到了影响，其频率也是很低的，因而 VPP 生成器 14 仅消耗微小的电流。因此可以降低待机电流，而不必在待机周期期间强行停止 VPP 生成器 14，也就是说，不必对 VPP 生成器 14 进行复杂的控制。

VII 生成器 16（内部电源电压生成器）降低电源电压 VDD，以生成恒定的内部供应电压 VII。将内部供应电压 VII 提供给除存储器阵列 ARY、输入电路 10、20 和输入/输出电路 22（以上这些是连接到外部终端的）以及电压生成器 14、16 和 18 之外的大部分电路。

VNN 生成器 18（负电压生成器）具有一个耦合电容器和一个经由二极管连接到该耦合电容器的晶体管。VNN 生成器 18 通过使用电源电压 VDD 和接地电压 VSS 来生成恒定的负电压 VNN。该负电压 VNN 被用作字线 WL 的低电平电压。

电源电压 VDD 的输入规格（产品规格）被确定为例如 1.65 至 1.95V。当电源电压 VDD 落入上述范围内时，VPP 生成器 14 生成恒定增高电压 VPP（例如 3.2V）。当电源电压 VDD 落入上述范围内时，VII 生成器 16 生成恒定的内部供应电压 VII（例如 1.65V）。当电源电压 VDD 落入上述范围内时，VNN 生成器 18 生成恒定的负电压 VNN（例如 -0.2V）。所述的伪 SRAM 内部的主要电路利用内部供应电压 VII、增高电压 VPP 和负电压 VNN（这些电压都是恒定的）来工作，而不管电源电压 VDD。这可以避免由电源电压 VDD 的变化所导致的操作定时偏差（定时容差的降低）。结果，可以通过提高利用率而提高伪 SRAM 的性能。

地址输入电路 20 接收到通过地址终端提供的地址信号 ADD，并将接

收到的信号作为列地址信号 RA 和行 (column) 地址信号 CA 输出。用列地址信号 RA 来选择字线 WL。用行地址信号 CA 来选择位线 (bit line) BLZ (或 BLX)。

在读操作中, 数据输入/输出电路 22 将从存储器核 28 通过公共数据总线 CDB 传输而来的读数据输出到数据终端 DQ (例如是 16 位的)。在写操作中, 数据输入/输出电路 22 接收到通过数据终端 DQ 提供的写数据, 并将接收到的数据通过公共数据总线 CDB 传输到存储器核 28。

操作控制电路 24 具有仲裁器 25, 用于当异步输入的内部命令信号 ICMD 和刷新请求信号 RREQ 彼此冲突时, 确定将优先权给予其中哪一个。操作控制电路 24 在响应于刷新命令而执行刷新操作时, 输出刷新信号 REFZ。由于仲裁器 25 的作用, 刷新操作在响应于从伪 SRAM 外部提供而来的读命令的读操作之间执行, 或者在响应于从伪 SRAM 外部提供而来的写命令的写操作之间执行。也就是说, 刷新操作是在伪 SRAM 内部自动执行的。

操作控制电路 24 响应于仲裁器 25 已确定给予优先权的内部命令信号 ICMD (读命令和写命令) 或者刷新请求信号 RREQ (刷新命令), 输出用于操作存储器阵列 ARY 的定时信号, 所述定时信号包括字线控制信号 WLZ、锁存器使能信号 LEX 和位线复位信号 BRSX。操作控制电路 24 还响应于内部命令信号 ICMD 或刷新请求信号 RREQ, 输出操作开始信号 OPTSZ 和操作结束信号 OPTEZ, 这两个信号分别指示字线 WL 的选择开始定时和选择结束定时。用于选择存储器核 28 中的行开关的定时信号, 或者行线控制信号 CLZ, 仅响应于内部命令信号 ICMD 而被输出。字线控制信号 WLZ 是用于选择字线 WL 的定时信号。锁存器使能信号 LEX 是用于操作存储器核 28 中的读出放大器 (sense amplifier) SA 的定时信号。位线复位信号 BRSX 是用于操作存储器核 28 中的预充电电路 PRE 的定时信号。

当地址切换电路 26 (在读操作、写操作或待机周期期间) 接收到低电平的刷新信号 REFZ 时, 它将列地址信号 RA 作为内部列地址信号 IRA 输出。当地址切换电路 26 (在刷新操作期间) 接收到高电平的刷新信号

REFZ 时，它将刷新地址信号 RFA 作为内部列地址信号 IRA 输出。也就是说，在读操作、写操作和待机周期期间，选择从外部提供的列地址信号 RA。在刷新操作中，选择内部生成的刷新地址信号 RFA。

存储器核 28 具有栅极控制电路 30、字译码器 WDEC、1/4 译码器 QDEC、字驱动器 WDRV、读出放大器 SA、预充电电路 PRE、存储器阵列 ARY、行译码器 CDEC、读出缓冲器 (sense buffer) SB 和写放大器 WA。

栅极控制电路 30 在操作开始信号 OPTSZ 或操作结束信号 OPTEZ 被激活时 (活跃周期=第一周期)，将列驱动信号 RDDRIV 设置在增高电压 VPP，并且在操作开始信号 OPTSZ 和操作结束信号 OPTEZ 都被禁止时 (待机周期=除第一周期之外的周期)，将驱动信号 RDDRIV 设置在内部供应电压 VII。以后将会讲到，列驱动信号 RDDRIV 设置字线 WL 的高电平电压。

字译码器 WDEC (第一字译码器) 根据第一地址信号和定时信号，将列输出信号 RDOUT 设置在选择电平或者解选电平，所述第一地址信号由内部列地址信号 IRA 的高位 (通过去掉后面将会讲到的用于选择存储器块的那些位而得到) 所组成，所述定时信号 (例如 WLZ 信号) 来自操作控制电路 24。此处，将所述选择电平设置在负电压 VNN。取决于列驱动信号 RDDRIV 而将所述解选电平设置在增高电压 VPP 或内部供应电压 VII。

1/4 译码器 QDEC (第二字译码器) 将第二地址信号译码，所述第二地址信号由内部列地址信号 IRA 的低两位组成。与来自操作控制电路 24 的定时信号 (例如 WLZ 信号) 同步，1/4 译码器 QDEC 在所述第二地址信号指示选择时将译码信号 WLDV 设置在选择电平 (VPP)，而在所述第二地址信号指示解选时将译码信号 WLDV 设置在解选电平 (VNN)。

字驱动器 WDRV 根据列输出信号 RDOUT 和译码信号 WLDV，将字线 WL 设置在选择电平 (VPP) 或解选电平 (VNN)。

存储器阵列 ARY 具有排成矩阵的多个动态存储器单元 MC，还具有连接到所述存储器单元 MC 的多个字线 WL 和多个位线对 BLZ、BLX。存储器阵列 ARY 由四个存储器块 (memory block) 所组成。存储器单元 MC 与

典型的 DRAM 存储器单元相同，每个都具有以电荷形式保存数据的电容器（存储器节点）和设置在此电容器和位线 BL 之间的传输晶体管。所述传输晶体管的栅极连接到字线 WL。

5 读出放大器 SA 与锁存器使能信号 LEX 同步地操作，并且在锁存器使能信号 LEX 被激活时（在低电平期间）放大位线 BLZ 和 BLX 之间的电压差。预充电电路 PRE 与位线复位信号 BRSX 同步地操作，并且在存储器核 28 未工作时将位线 BLZ 和 BLX 设置在预定的电压。

10 行译码器 CDEC 根据行地址信号 CA，对分别用于连接位线 BLZ、BLX 和数据总线 DB 的行开关进行选择，并与行线控制信号 CLZ 同步地导通所选择的行开关。

在读操作中，读出缓冲器 SB 放大数据总线 DB 上的读数据的信号量，并将结果输出到公共数据总线 CDB。在写操作中，写放大器 WA 放大公共数据总线 CDB 上的写数据的信号量，并将结果输出到数据总线 DB。

15 图 2 示出了图 1 所示的存储器核 28 的主要部件的细节。此图示出了要被连接到存储器阵列 ARY 的一个存储器块上的电路。也就是说，每个存储器块都具有 32 个列块（row block）RBLK。为所述列块 RBLK 中的每一个都形成了栅极控制电路 30 和 1/4 译码器 QDEC。

20 所述列块 RBLK 中的每一个都具有 64 个字译码器 WDEC 和 256 个字驱动器 WDRV。也就是说，对于每个字译码器 WDEC 都形成了四个字驱动器 WDRV。在每个列块 RBLK 中，分别形成了对应于 256 条字线 WL（WL0, WL1, ... , WL255）的字驱动器 WDRV。在读操作、写操作和刷新操作中，对于每个数据终端 DQ，根据列地址信号 RA 来选择任何一个字译码器 WDEC。所选择的字译码器 WDEC 将其列输出信号 RDOUT
25 （RDOUT0, RDOUT1, ... ）设置在负电压 VNN。未被选择的字译码器 WDEC 将其列输出信号 RDOUT 设置在增高电压 VPP。

1/4 译码器 QDEC 根据列地址信号（第二地址信号）的低两位，将译码信号 WLDV（WLDV0-3）中的任何一个从负电压 VNN 变为增高电压 VPP。将四个译码信号 WLDV 共同输出到列块 RBLK 中的多个字驱动器

WDRV。在接收到具有负电压 VNN 的列输出信号 RDOUT 的四个字驱动器 WDRV 当中，接收到被设置在增高电压 VPP 的译码信号 WLDV 的那个字驱动器 WDRV 将其字线 WL 设置在增高电压 VPP。也就是说，根据列地址信号 RA，对于每个数据终端 DQ 激活了一个字驱动器 WDRV，选择了一个字线 WL。然后，将存储器单元 MC 的电容器和位线 BLZ（或 BLX）相连接，以执行读操作、写操作或刷新操作。

图 3 示出了图 1 所示的栅极控制电路 30、字译码器 WDEC 和字驱动器 WDRV 的细节。在此图中，附在晶体管上的箭头连接到各自的阱电压。具有两个相反箭头的 nMOS 晶体管具有三阱（triple-well）结构。没有箭头的 nMOS 晶体管的衬底电压（阱电压）被设置在接地电压 VSS。

栅极控制电路 30 包括：NOR 电路 30a，用于当操作开始信号 OPTSZ 或操作结束信号 OPTEZ 处于高电平（VPP）时，输出低电平（VSS）的操作信号 OPTX；nMOS 晶体管 30b，用于当操作信号 OPTX 处于高电平（VPP）时，输出高电平（VII）的驱动信号 RDDR；以及 pMOS 晶体管 30c，用于当操作信号 OPTX 处于低电平（VSS）时，输出高电平（VPP）的驱动信号 RDDR。nMOS 晶体管 30b 和 pMOS 晶体管 30c 作为切换电路而工作，用于在活跃周期（第一周期）将用于向字译码器 WDEC 提供高电平电压的高电平电压线 RDDR 与增高电压线 VPP 相连接，以及在待机周期（除第一周期之外的周期）将其与内部电压线 VII 相连接，所述内部电压线 VII 被提供以低于增高电压 VPP 的内部供应电压。

当操作开始信号 OPTSZ 和操作结束信号 OPTEZ 都处于低电平（VSS）时，即在伪 SRAM 的待机周期期间，要被提供给 pMOS 晶体管 30c 的操作信号 OPTX 被设置在增高电平 VPP。尽管如此，在此情况下，pMOS 晶体管 30c 的源极、漏极和衬底分别被设置在增高电平 VPP、内部供应电压 VII 和增高电压 VPP。这意味着在衬底和漏极之间、以及衬底和源极之间的电压差更小了。因此，几乎没有栅极感应漏极电流 GIDL（或者栅极感应源极电流 GISL）。这样就不必处理 pMOS 晶体管 30c 中的 GIDL 了。

字译码器 WDEC 包括：译码单元 32a，具有在增高线 VPP 和接地线

VSS 之间串联的 pMOS 晶体管和 nMOS 晶体管，藉以将列地址信号 RA 译码；锁存器 32b，连接到译码单元 32a 的输出端；pMOS 晶体管 32c，其栅极连接到锁存器 32b 的输出节点 DECOUTZ；以及电平转换单元 32d，连接到输出节点 DECOUTZ 和 pMOS 晶体管 32c 的漏极。当输出节点 DECOUTZ 处于低电平时，pMOS 晶体管 32c 将列输出信号 RDOUT 的电平设置在内部供应电压 VII 或增高电压 VPP。当输出节点 DECOUTZ 处于高电平（VPP）时，电平转换单元 32d 将列输出信号 RDOUT 的电平设置在负电压 VNN。

在活跃周期期间，译码单元 32a 根据列地址信号 RA（第一地址信号）的预译码信号 RDEC（RDEC0-1）和定时信号 TIMZ，输出列输出信号 RDOUTZ。具体而言，当所有的预译码信号 RDEC 都处于高电平时，即当列地址信号 RA 指示选择时，与定时信号 TIMZ 的高电平周期同步地激活译码单元 32a，从而将输出节点 DECOUTZ 转变为高电平（VPP）。此处，字译码器 WDEC 将列输出信号 RDOUT 设置在负电压 VNN（低电平电压）。

在活跃周期期间，当任何一个预译码信号 RDEC 处于低电平时，即当列地址信号 RA 指示解选时，译码单元 32a 将输出节点 DECOUTZ 维持在低电平（VSS）。此处，字译码器 WDEC 将列输出信号 RDOUT 设置在增高电压 VPP（高电平电压）。

此外，在伪 SRAM 的待机周期期间，将所有译码单元 32a 的输出节点 DECOUTZ 维持在低电平（VSS）。此处，字译码器 WDEC 将它们的列输出信号 RDOUT 设置在与驱动信号 RDDRIV 的电压相等的内部供应电压 VII（高电平电压）。在待机周期期间，pMOS 晶体管 32c 的栅极接收到接地电压 VSS。因此，无需处理 pMOS 晶体管 32c 中的 GIDL。

字驱动器 WDRV 具有：CMOS 反相器 34a，用于向字线 WL（WL0-3）输出高电平（译码信号 WLDV 的 VPP 电平或 VII 电平）或低电平（VNN）；以及 nMOS 晶体管 34b，用于根据字复位信号 WLRST（WLRST0-3）而将字线 WL 连接到负电压线 VNN。字驱动器 WDRV 在 pMOS 晶体管 34c 的栅极从字译码器 WDEC 接收到负电压 VNN（低电平

电压) 时向字线 WL 提供增高电压 VPP, 而在所述栅极从字译码器 WDEC 接收到增高电压 VPP 或内部供应电压 VII (两者都是高电平电压) 时向字线 WL 输出负电压 VNN (低电平电压)。

5 当字复位信号 WLRST 处于高电平 (VII) 时, 字线 WL 被固定到解选电平 (VNN)。字复位信号 WLRST 是具有与译码信号 WLDV 相反相位的信号, 其在各自的字驱动器 WDRV 中生成。在本发明中, 在伪 SRAM 的待机周期期间, CMOS 反相器 34a 的 pMOS 晶体管 34c 的栅极接收到内部供应电压 VII。这使得与从前相比, 待机周期期间的 GIDL 电流显著降低 (例如, 从 $1 \times 10^{-11} \text{ A}/\mu\text{m}$ 下降到 $2 \times 10^{-13} \text{ A}/\mu\text{m}$)。

10 在传统的伪 SRAM 中, 由于没有栅极控制电路 30, 因此字译码器 WDEC 的 pMOS 晶体管 32c 的源极直接连接到增高线 VPP。因而所有的列输出信号 RDOUT 在待机周期期间都被设置在增高电压 VPP, 并且所有的字驱动器 WDRV 的 pMOS 晶体管 34c 的栅极都被提供以增高电压 VPP。pMOS 晶体管 34c 的衬底被固定于增高电压 VPP。在待机周期期间, 15 pMOS 晶体管 34c 的源极 (WLDV) 和漏极 (WL) 分别被设置在负电压 VNN。从而在传统上, 因为 pMOS 晶体管 34c 的栅极感应漏极泄漏 (在下文中称为 GIDL) 而将待机电流增加了 $50 \mu\text{A}$ 左右。在本发明中, pMOS 晶体管 34c 引起可忽略的微小 GIDL, 使得与从前相比可以使待机电流降低约 $50 \mu\text{A}$ 。

20 图 4 示出了一个例子, 其中在第一实施例的伪 SRAM 的待机周期期间执行刷新操作。图中的待机周期 STB 示出了下述周期, 其中不提供外部命令 (读存取请求或写存取命令), 在伪 SRAM 内部不产生刷新请求, 并且图 3 所示的字译码器 WDEC 的译码单元 32a 被禁止。活跃周期 ACT 则是下述周期, 其中提供了外部命令或产生了刷新命令, 并且字译码器 WDEC 25 的译码单元 32a 中的任意一个被激活。

在待机周期 STB 中, 图 3 所示的 NOR 电路 30a 接收到低电平 (VSS) 的操作开始信号 OPTSZ 和操作结束信号 OPTEZ (图 4(a)), 并输出高电平 (VPP) 的操作信号 OPTX (图 4(b))。高电平的操作信号 OPTX 将 nMOS 晶体管 30b 导通, 使得驱动信号 RDDR 被保持在内部供

应电压 VII (图 4(c))。因为译码单元 32a 的输出节点 DECOUTZ 在待机周期期间被保持在低电平, 所以字译码器 WDEC 的 pMOS 晶体管 32c 导通。这一导通将所有列输出信号 RDOUT 的电平保持在内部供应电压 VII (图 4(d, e))。因此, 如上所述, 在其栅极处接收到列输出信号 RDOUT 的 pMOS 晶体管 34c 几乎不引起 GIDL。

接下来, 在待机周期期间, 从图 1 所示的刷新控制电路 12 输出刷新请求信号 RREQ (图 4(f))。因为操作控制电路 24 不接收外部命令, 所以它响应于刷新请求信号 RREQ, 输出刷新信号 REFZ、操作开始信号 OPTSZ、操作结束信号 OPTEZ、定时信号 TIMZ (WLZ), 以及未示出的锁存器使能信号 LEX 和位线复位信号 BRSX (图 4(g, h, i, j))。

刷新控制电路 12 与刷新请求信号 RREQ 同步地算出刷新地址信号 RFA (图 4(k))。地址切换电路 26 将刷新地址信号 RFA (RF2) 作为内部列地址信号 IRA 输出 (图 4(l))。

当操作开始信号 OPTSZ 或操作结束信号 OPTEZ 处于高电平时, 栅极控制电路 30 将列驱动信号 RDDRIV 从内部供应电压 VII 切换到增高电压 VPP (图 4(m))。在待机周期 STB 中, 所有字译码器 WDEC 的输出节点 DECOUTZ 都处于低电平, 并且 pMOS 晶体管 32c 导通。因而, 所有的列输出信号 RDOUT 都响应于列驱动信号 RDDRIV 变为增高电压 VPP 这一事件, 而从内部供应电压 VII 变为增高电压 VPP (图 4(n, o))。由刷新地址信号 RFA 所选择的字译码器 WDEC 与定时信号 TIMZ 同步地将它们的译码单元 32a 的输出节点 DECOUTZ 变为高电平 (VPP) (图 4(p))。所选择的字译码器 WDEC 响应于输出节点 DECOUTZ 的改变, 将它们的列输出信号 RDOUT 变为低电平 (VNN) (图 4(q))。

1/4 译码器 QDEC 将与内部列地址信号 IRA 的低两位相对应的译码信号 WLDV 之一 (例如 WLDV0) 从低电平 (VNN) 变为高电平 (VPP) (图 4(r))。接收到高电平译码信号 WLDV 的字驱动器 WDRV 与译码信号 WLDV 同步地禁止它们的字复位信号 WLRST, 从而释放了字线 WL 的复位状态 (图 4(s))。在接收到低电平列输出信号 RDOUT 的四个字驱动器 WDRV 当中, 接收到高电平 (VPP) 译码信号 WLDV 的字驱动器

WDRV 与译码信号 WLDV 同步地将字线 WL (例如 WL0) 变为增高电压 VPP (如图中粗虚线所示), 从而执行刷新操作 (图 4(t))。

在活跃周期 ACT 的开始, 在栅极控制电路 30 将与字译码器 WDEC 的高电平电压线 RDDR_V 相连接的电压线从内部电压线 VII 切换到增高电压线 VPP (前面的符号(m)) 之后, 1/4 译码器 QDEC 输出增高电压 VPP (前面的符号(r))。因此, 在字驱动器 WDRV 中的 pMOS 晶体管 34c 的栅极电压从内部供电电压 VII 变为增高电压 VPP 之后, pMOS 晶体管 34c 的源极电压从负电压 VNN (低电平电压) 变为增高电压 VPP。与 pMOS 晶体管 34c 一起组成 CMOS 反相器的 nMOS 晶体管通过在栅极处接收到内部供电电压 VII 而导通。从而, 由于防止了 pMOS 晶体管 34c 的栅极电压下降到低于源极电压, 因此可以防止 CMOS 反相器的 pMOS 晶体管和 nMOS 晶体管同时导通。结果, 就可以避免在源极和漏极之间流动的穿通电流。

在接收到低电平列输出信号 RDOUT 的四个字驱动器 WDRV 当中, 接收到低电平 (L; VNN) 译码信号 WLDV 的三个字驱动器 WDRV 将其字复位信号 WLRST 保持在高电平 (H; VII) (图 4(u)), 以将字线 WL 保持在负电压 VNN (图 4(v))。因此, 不会执行刷新操作。

未由刷新地址信号 RFA 选择的字译码器 WDEC 将其译码单元 32a 的输出节点 DECOUTZ 保持在低电平 (L; VSS) (图 4(w))。这导通了 pMOS 晶体管 32c, 从而将从未被选择的字译码器 WDEC 输出的列输出信号 RDOUT 保持在高电平 (VPP) (图 4(x))。在接收到高电平列输出信号 RDOUT 的字驱动器 WDRV 当中, 接收到低电平译码信号 WLDV 的字驱动器 WDRV 将其字复位信号 WLRST 保持在高电平 (H; VII) (图 4(y)), 以将字线 WL 保持在负电压 VNN (图 4(z))。同时, 如图 2 所示, 将译码信号 WLDV 共同提供给多个字驱动器 WDRV。从而, 存在这样的字驱动器 WDRV, 其接收到高电平的列输出信号 RDOUT 和高电平的译码信号 WLDV (符号(z)周围的虚线)。即使在这些字驱动器 WDRV 中, 如上所述, 也可以防止 pMOS 晶体管 34c 的栅极电压下降到源极以下, 从而避免在源极和漏极之间流动的穿通电流。

1/4 译码器 QDEC 在译码信号 WLDV 变为增高电压 VPP 后一段预定时

间之后，将译码信号 WLDV 变为负电压 VNN（图 4(z1)）。译码信号 WLDV 的负电压 VNN 通过导通的 pMOS 晶体管 34c 被传输到所选择的字线 WL，使得字线 WL 的电压逐渐降低（图 4(z2)）。随后，字复位信号 WLRST 从负电压 VNN 变为内部供应电压 VII（图 4(z3)），并且 nMOS 晶体管 34b 导通，以可靠地迅速将字线 WL 复位到负电压 VNN。

响应于定时信号 TIMZ 变为低电平（图 4(z4)），字译码器 WDEC 将输出节点 DECOUTZ 变为接地电压 VSS（图 4(z5)）。此处，将操作结束信号 OPTEZ 保持在高电平，并且将列驱动信号 RDDRIV 保持在增高电压 VPP。因此，字译码器 WDEC 的 pMOS 晶体管 32c 导通，并且列输出信号 RDOUT 从负电压 VNN 变为增高电压 VPP（图 4(z6)）。

由于列输出信号 RDOUT 变为增高电压 VPP，使组成字驱动器 WDRV 的 CMOS 反相器 34a 的 nMOS 晶体管暂时强导通。这使字线 WL 的复位操作更快。随后，操作结束信号 OPTEZ 变为低电平（图 4(z7)），从而将列驱动信号 RDDRIV 从增高电压 VPP 变为内部供应电压 VII（图 4(z8)）。响应于列驱动信号 RDDRIV 的改变，列输出信号 RDOUT 从增高电压 VPP 变为内部供应电压 VII（图 4(z9, z10)）。然后，活跃周期 ACT 结束，待机周期 STB 重新开始。如上，在活跃周期 ACT 的末尾，将字译码器 WDEC 的输出节点 DECOUTZ 变为低电平，并将列输出信号 RDOUT 从低电平变为高电平，然后将列驱动信号 RDDRIV 从增高电压 VPP 变为内部供应电压 VII。从而，可以使组成字驱动器 WDRV 的 CMOS 反相器 34a 的 nMOS 晶体管暂时强导通。因此，可以在活跃周期 ACT 的末尾可靠地迅速将字线 WL 的电压降低到解选电平。结果，可以缩短字线 WL 的复位操作时间，减少了存取时间。还可以防止当活跃周期 ACT 连续出现时（当连续提供存取请求时）由于字线 WL 复位不足而引起的对字线的多重选择。也就是说，可以防止伪 SRAM 发生故障。

顺便说一下，在活跃周期 ACT 的末尾，在 1/4 译码器 QDEC 将译码信号 WLDV 变为负电压 VNN（前面的符号(z1)）之后，栅极控制电路 30 将与字译码器 WDEC 的高电平电压线 RDDRIV 相连接的电压线从增高电压 VPP 设置为内部供应电压 VII（前面的符号(z8)）。从而，在将 pMOS 晶

5 晶体管 34c 的源极电压从增高电压 V_{PP} 变为负电压 V_{NN} 之后, pMOS 晶体管 34c 的栅极电压从增高电压 V_{PP} 变为内部供应电压 V_{II} 。从而, 可以防止 pMOS 晶体管 34c 的栅极电压下降到低于源极电压, 从而防止了 CMOS 反相器的 pMOS 晶体管和 nMOS 晶体管同时导通。结果, 就可以避免在源极和漏极之间流动的穿通电流。

10 图 5 示出了在伪 SRAM 的待机周期期间的操作的纵览。当未提供外部命令 (读请求或写请求) 时, 伪 SRAM 除了在刷新请求出现的时候以外都保持在待机状态。当刷新请求信号 RREQ 出现时, 如图 4 所示, 伪 SRAM 选择与刷新地址信号 RFA 相对应的字线 WL, 并执行刷新操作。此处, 还输出位线复位信号 BRSX 和读出放大器激活信号 LEX。

15 刷新请求信号 RREQ 例如每 $16\mu\text{s}$ 输出一次。与刷新请求信号 RREQ 相对应的刷新操作 (图中的活跃周期 ACT) 延续几十纳秒 (例如 80ns)。从而, 待机周期 STB 和活跃周期 ACT 具有 200 : 1 的比例。因此, 在给定时间段中占很大比例的待机周期 STB 中 GIDL 电流的降低产生了很好的效果。

图 6 示出了一个例子, 其中在第一实施例的伪 SRAM 的待机周期期间执行存取操作 (读操作或写操作)。以下将省略对与上述图 4 中相同的操作的详细描述。

20 当读命令 RD 和写命令 WR 被提供给命令终端 CMD, 并且地址信号 RA 和 CA 被提供给地址终端 ADD 时, 执行读操作和写操作 (图 6(a, b))。操作控制电路 24 响应于内部命令信号 ICMD, 输出操作开始信号 OPTSZ、操作结束信号 OPTEZ、定时信号 TIMZ (WLZ), 以及未示出的锁存器使能信号 LEX 和位线复位信号 BRSX (图 6(c, d, e))。随后的操作与图 4 中的相同。如上, 即使伪 SRAM 响应于存取命令 RD 和 WR 而执行
25 存储器存取, 也可以和图 4 中一样, 降低了存储器存取之外的待机周期 STB 中的 GIDL 电流。

已经描述过, 根据本实施例, 在待机周期 STB 中, 字驱动器 WDRV 的 pMOS 晶体管 34c 的栅极接收到低于增高电压 V_{PP} 的内部供应电压 V_{II} 。因此, 与从前相比, 在待机周期期间发生的 pMOS 晶体管 34c 的栅

极感应漏极泄漏电流可以被大大降低。也就是说，可以显著降低伪 SRAM 的待机电流。

在活跃周期 ACT 的开始和末尾，可以防止字驱动器 WDRV 中的 pMOS 晶体管 34c 的栅极电压下降到低于源极电压，从而防止了 CMOS 反相器的 pMOS 晶体管和 nMOS 晶体管同时导通。结果，可以避免在源极和漏极之间流动的穿通电流。

在活跃周期 ACT 的末尾，向字驱动器 WDRV 的 CMOS 反相器 34a 的输入端暂时提供增高电压 VPP，从而可以使 CMOS 反相器 34a 的 nMOS 晶体管暂时强导通。因此，可以在活跃周期的末尾迅速地将字线 WL 的电压降低到解选电平。结果，可以缩短字线 WL 的复位操作时间，减少了存取时间。还可以防止当活跃周期 ACT 连续出现时（当连续提供存取请求时）由于字线 WL 复位不足而引起的对字线的多重选择。也就是说，可以防止伪 SRAM 发生故障。

因为由 VPP 生成器 14 生成的恒定的增高电压 VPP 和由 VII 生成器 16 生成的恒定的内部供应电压 VII 被用作驱动信号 RDDR 的高电平电压，所以可以向字驱动器 WDRV 提供恒定的高电平电压。结果，可以使字驱动器 WDRV 的操作定时和操作容差一致。

因为大大降低了栅极感应漏极漏电流，所以增高电压 VPP（pMOS 晶体管 34c 的衬底电压）几乎不降落。这可以降低 VPP 生成器 14 执行增高操作的频率。结果，可以降低待机电流，而无需在待机周期期间停止 VPP 生成器 14 的增高操作。

图 7 示出了本发明的半导体存储器的第二实施例。与在第一实施例中描述过的相同的元件将会用同样的标号或符号来指定。以下将省略对其的详细描述。本实施例的半导体存储器是通过使用 CMOS 工艺形成在硅衬底上的，例如具有自刷新功能的 DRAM。所述 DRAM 在正常操作模式下，响应于外部指令 CMD 而执行读操作、写操作或刷新操作（自动刷新）。在自刷新模式期间，所述 DRAM 响应于刷新控制电路 12A 周期性输出的刷新请求信号 RREQ 来执行刷新操作。所述 DRAM 用作为例如安装在笔记本 PC（个人计算机）上的工作存储器。此外，DRAM 与第一实施例相

同，操作规格仅为一个，即 DRAM 通常以第一规格操作。

所述 DRAM 具有命令输入电路 10A、刷新控制电路 12A、VPP 生成器 14A、VII 生成器 16A、VNN 生成器 18A 和操作控制电路 24A，代替了第一实施例的命令输入电路 10、刷新控制电路 12、VPP 生成器 14、VII 生成器 16、VNN 生成器 18 和操作控制电路 24。这个配置的其余部分与第一

5 实施例中的几乎相同。

在正常操作模式下，命令输入电路 10A（命令译码器）接收到通过命令终端提供而来的命令信号 CMD（例如列地址选通信号/RAS、行地址选通信号/CAS 和写使能信号/WE）。命令输入电路 10A 将接收到的命令信号

10 号 CMD（读命令、写命令、自动刷新命令）译码，并输出用于操作存储器核 28 的内部命令信号 ICMD。

刷新控制电路 12A 具有未示出的刷新定时器和刷新地址计算器。刷新定时器在正常操作模式期间停止操作。在正常操作模式期间，刷新地址计算器响应于来自命令输入电路 10A 的自动刷新命令信号 AREF，计算刷新

15 地址信号 RFA。在自刷新模式期间，刷新定时器以预定的时间间隔来输出刷新请求信号 RREQ（刷新命令），在所述自刷新模式中，既不接受任何存取请求（读命令、写命令），也不接受自动刷新命令。刷新地址计算器根据刷新请求信号 RREQ 来执行计算操作，并输出刷新地址信号 RFA。

VPP 生成器 14A、VII 生成器 16A 和 VNN 生成器 18A 所具有的功能

20 与第一实施例的 VPP 生成器 14、VII 生成器 16 和 VNN 生成器 18 几乎相同。

当操作控制电路 24A 在正常操作模式期间从命令输入电路 10A 接收到读命令、写命令或刷新命令时，其输出用于允许存储器核 28 执行读操作、写操作或刷新操作的定时信号。当操作控制电路 24A 在自刷新模式期间

25 接收到刷新请求信号 RREQ 时，其输出用于允许存储器核 28 执行刷新操作的定时信号。操作控制电路 24A 所执行的操作与在第一实施例中的相同（图 4 和图 6）。尽管如此，在此实施例中，在读请求或写请求和刷新请求之间不会发生冲突。因此，操作控制电路 24A 没有仲裁器。

栅极控制电路 30 的操作与第一实施例相同。即，栅极控制电路 30 将

高电平电压线 RDDR_V 在活跃周期（第一周期）与增高电压线 VPP 连接，在待机周期（除第一周期之外的周期）与内部电压线 VII 连接。

此实施例可以提供与上述第一实施例同样的效果。此外，在此实施例中，即使在具有自刷新模式的 DRAM 中，也可以大大降低 GIDL，从而降低了待机电流（自刷新电流）。

图 8 示出了本发明半导体存储器的第三实施例。用相同的标号标注与第一及第二实施例中所说明的元件相同的元件，并省略这些元件的详细说明。用 CMOS 工艺在硅衬底上将此实施例的半导体存储器形成为具有自刷新功能的 DRAM 芯片。DRAM 具有操作控制电路 24B 及栅极控制电路 30B，它们代替第二实施例的操作控制电路 24A 及栅极控制电路 30。其他结构与第二实施例相同，即，DRAM 的操作规格仅为一个，DRAM 通常以第一规格进行操作。

操作控制电路 24B 仅执行响应于由刷新控制电路 12A 所产生的刷新请求信 RREQ 而进行的刷新操作，并在不接受存取请求的自刷新模式中，输出低电平的自刷新模式信号 SREFX。操作控制电路 24B 在接受存取请求（读命令、写命令、自动刷新命令）的正常操作模式中，输出高电平的自刷新模式信号 SREFX。操作控制电路 24B 的其他功能与上述第二实施例的操作控制电路 24A 相同。

栅极控制电路 30B 在作为自刷新模式中的活跃周期和正常操作模式周期的第一周期中，将列驱动信号 RDDR_V（高电平电压线）设定为增高电压 VPP。栅极控制电路 30B 在作为除第一周期之外的周期的自刷新模式中的待机周期中，将列驱动信号 RDDR_V 设定为内部电源电压 VII。栅极控制电路 30B 的其他功能与上述第一及第二实施例的栅极控制电路 30 相同。

图 9 详细示出了图 8 所示的栅极控制电路 30B、字译码器 WDEC 及字驱动器 WDRV。字译码器 WDEC 及字驱动器 WDRV 与上述第一实施例（图 3）相同。

栅极控制电路 30B 具有 NOR 电路 30d，以代替第一实施例的栅极控制电路 30 的 NOR 电路 30a。其他结构和栅极控制电路 30 相同。NOR 电

路 30d 具有三个输入，当操作开始信号 OPTSZ、操作结束信号 OPTEZ 和自刷新模式信号 SREFX 中的任一个为高电平时，输出低电平（VSS）的操作信号 OPTX，当操作开始信号 OPTSZ、操作结束信号 OPTEZ 和自刷新模式信号 SREFX 均为低电平时，输出高电平（VPP）的操作信号 OPTX。由此，在自刷新模式信号 SREFX 保持高电平的正常操作模式中，操作信号 OPTX 保持低电平。因此，高电平电压线 RDDR_V 在正常操作模式中被固定在增高电压 VPP 上。

图 10 示出了第三实施例的 DRAM 的操作概要。关于与上述图 4 及图 5 相同的操作，并省略其详细说明。在此例中，DRAM 在正常操作模式中接受到自刷新命令从而转移为自刷新模式，在自刷新模式中接受到自刷新解除命令从而转移为正常操作模式。

在正常操作模式中，由于自刷新模式信号 SREFX 保持在高电平上，因此操作信号 OPTX 被固定在低电平上。由此，图 9 所示的 nMOS 晶体管 30b、pMOS 晶体管 30c（切换电路）的导通、关闭不能切换，从而高电平电压线 RDDR_V 被固定在增高电压 VPP 上。因此，没有随着切换电路 30b、30c 切换操作而产生的功耗。

具体来说，由于 NOR 电路 30d 不驱动切换电路 30b、30c，因此几乎没有功耗。此外，由于不发生高电平电压线 RDDR_V 的充放电，因此不产生用于充放电的电能。由此，可抑制增高电压 VPP 的无谓使用，从而降低了增高电压生成器 14A 的操作频率。其结果是，增高电压发生器 14A 的功耗也下降。对于安装有 DRAM 的系统来说，在频繁产生存取请求的情况下，相比于由 GIDL 引起的功耗的增加，有时由切换电路 30b、30c 的切换引起的功耗的增加更大。在这样的系统中，在正常操作模式中，在不进行高电平电压线 RDDR_V 的电压的切换而将高电平电压线 RDDR_V 保持在增高电压 VPP 上时，反而可削减功耗。

另一方面，在自刷新模式中，自刷新模式信号 SREFX 保持低电平。因此，操作信号 OPTX 在待机周期被固定在高电平上，而只在执行自刷新操作的活跃周期被固定在低电平上。即，在此实施例中，切换电路 30b、30c 仅在自刷新模式中进行刷新操作时进行切换操作。

自刷新操作每隔数十 μs 执行，操作频率低。为此，几乎没有随之切换电路 30b、30c 的操作而增加的功耗的影响。高电平电压线 RDDR_V 及列输出信号 RDOUT 除在自刷新操作的执行期间外都保持在内部电源电压 VII 上。因此，可以削减自刷新模式中的 GIDL 电流。

5 图 11 示出了在第三实施例的正常操作模式中执行存取操作的例子。关于与上述图 6 相同的操作，省略其详细说明。在此例中，高电平电压线 RDDR_V 在正常操作模式中被固定在增高电压 VPP 上。为此，列输出信号 RDOUT 的高电平电压仅是增高电压 VPP。其他操作与图 6 相同。

在此实施例中也可以获得与上述第一及第二实施例相同的效果。而且
10 在此实施例中，通过在正常操作模式中将高电平电压线 RDDR_V 固定为增高电压 VPP，切换电路 30b、30c 不进行在正常操作模式中的切换操作。因此，高电平电压线 RDDR_V 的充放电频率下降，从而可削减功耗。特别是，将本发明用于被安装在如下系统上的 DRAM 中时，可获得更好的效果，所述系统在正常操作模式中对存储器单元进行频繁存取。而且，由于
15 在自刷新模式中可削减 GIDL 电流，因此可削减待机电流。

通过减少增高电压 VPP 的无谓消耗，可减少增高电压生成器 14A 的无谓操作。一般来说，由增高电压生成器 14A 引起的增高电压的生成效率是百分之几十，因此由减少增高电压 VPP 的无谓消耗而带来的功耗的削减效果很大。

20 图 12 示出了本发明半导体存储器的第四实施例。用相同的标号标注与第一及第二实施例中所说明的元件相同的元件，并省略这些元件的详细说明。使用 CMOS 工艺在硅衬底上将此实施例的半导体存储器形成为具有自刷新功能的 DRAM 芯片。DRAM 具有命令输入电路 10C、操作控制电路 24C 及栅极控制电路 30B，它们代替第二实施例的命令输入电路 10A、
25 操作控制电路 24A 及栅极控制电路 30。其他结构与第二实施例相同。即 DRAM 的操作规格仅为一个，DRAM 通常以第一规格进行操作。

命令输入电路 10C 具有如下功能：当通过命令终端 CMD 接受了低功率命令时，激活低功率命令信号（内部命令信号 ICMD 之一），当接受了低功率解除命令时，使低功率命令信号静止（非活性化）。命令输入电路

10C 的其他功能与图 7 所示的命令输入电路 10A 相同。

低功率命令是由安装有 DRAM 的系统在持续长时间的 DRAM 的待机时间时为减少待机电流而产生的。DRAM 响应低功率命令，使芯片从正常操作模式转换到低功率模式，所述低功率模式既不接受存取请求，也不执行刷新操作。此外，DRAM 响应低功率解除命令，使芯片从低功率模式转换到正常操作模式。在低功率模式中，例如，地址信号 ADD 及数据信号 DQ 的输入缓冲器的输入操作是被禁止的。通过削减输入缓冲器的泄漏电流，待机电流被削减。

操作控制电路 24C 具有如下功能：在低功率命令信号被激活时将低功率模式信号 PDX 激活为低电平。低功率模式信号 PDX 被提供给栅极控制电路 30B。操作控制电路 24C 的其他功能与图 7 所示的操作控制电路 24A 相同。

图 13 详细示出了图 12 所示的栅极控制电路 30B、字译码器 WDEC 及字驱动器 WDRV。这些电路的结构与上述第三实施例（图 9）相同。但是，在此实施例中，栅极控制电路 30B 接受低功率模式信号 PDX 以代替自刷新模式信号 SREFX。

为此，栅极控制电路 30B，在操作开始信号 OPTSZ、操作结束信号 OPTEZ 或低功率模式信号 PDX 中的任一个为高电平时，输出低电平（VSS）的操作信号 OPTX，在操作开始信号 OPTSZ、操作结束信号 OPTEZ 及低功率模式信号 PDX 均为低电平时，输出高电平（VPP）的操作信号 OPTX。由此，在低功率模式信号 PDX 保持高电平的正常操作模式中（在第一周期期间），操作信号 OPTX 保持低电平，高电平电压线 RDDR_V 被固定为增高电压 VPP。在低功率模式信号 PDX 保持低电平的低功率模式中（在除第一周期之外的周期期间），由于操作开始信号 OPTSZ、操作结束信号 OPTEZ 不被激活，操作信号 OPTX 保持高电平，高电平电压线 RDDR_V 被固定为内部电源电压 VII。

图 14 示出了第四实施例的 DRAM 的操作概要。关于与上述图 10 相同的操作，省略其详细说明。在此例中，DRAM 在正常操作模式中接受到低功率命令从而转换为低功率模式，在低功率模式中接受到低功率解除命令

从而转换为正常操作模式。低功率模式的最大周期 TPD1 是不需要插入刷新操作的最大周期，一般为数十 μs 。

正常操作模式中的操作与上述图 10 相同。在低功率模式中不执行存取操作及刷新操作。即，持续待机周期。因此，高电平电压线 RDDR_V 及列输出信号 RDOUT 在低功率模式中被固定为内部电源电压 V_{II}。因此，
5 可削减低功率模式中的 GIDL 电流。

在此实施例中也可以获得与上述第一~第三实施例相同的效果。而且，在此实施例中，通过在低功率模式中将高电平电压线 RDDR_V 固定为内部电源电压 V_{II}，可削减低功率模式中的功耗（待机电流）。切换电路
10 30b、30c 不进行在正常操作模式中的切换操作。因此，特别是，将本发明用于被安装在如下系统上的 DRAM 中时，可获得更好的效果，所述系统在正常操作模式中对存储器单元进行频繁存取，并需要低功率模式。

图 15 示出了本发明半导体存储器的第五实施例。用相同的标号标注与第一~第四实施例中所说明的元件相同的元件，并省略这些元件的详细
15 说明。使用 CMOS 工艺在硅衬底上将此实施例的半导体存储器形成为具有自刷新功能的 DRAM 芯片。DRAM 具有命令输入电路 10D、操作控制电路 24D 及栅极控制电路 30D，它们代替第二实施例的命令输入电路 10A、操作控制电路 24A 及栅极控制电路 30。此外，形成有新的程序电路 32。其他结构与第二实施例相同。

20 命令输入电路 10D 具有接受自刷新命令、自刷新解除命令、低功率命令及低功率解除命令的功能。命令输入电路 10D 的其他功能和图 7 所示的命令输入电路 10A 相同。

操作控制电路 24D 具有响应自刷新命令、自刷新解除命令、低功率命令及低功率解除命令而分别激活或静止自刷新模式信号 SREFX 及低功率
25 模式信号 PDX 的功能。操作控制电路 24D 的其他功能和图 7 所示的操作控制电路 24A 相同。

程序电路 32 根据在 DRAM 制造过程中预设的程序值来输出多位的设定信号 SET。根据程序电路 32 的设定值制造功能各异的多种产品中的某一种 DRAM 并将其出厂。在图 16 中详细说明程序电路 32。

栅极控制电路 30D 响应程序电路 32 的设定信号 SET，在 DRAM 以后述的第一规格进行操作时的待机周期中，将高电平电压线 RDDR_V 设定为增高电压 V_{PP} 或内部电源电压 V_{II}。

图 16 详细示出了图 15 所示的程序电路 32。程序电路 32 具有 ROM 电路 32a 和译码器 32b，所述 ROM 电路 32a 输出在 DRAM 制造过程中逻辑已被固定了的熔丝信号 FS₁、FS₀，所述译码器 32b 译码熔丝信号 FS₁、FS₀ 并输出设定信号 SET (SET₁₁、SET₁₀、SET₀₁、SET₀₀)。ROM 电路 32a 具有两个 ROM 单元 32c、32d。各 ROM 单元 32c、32d 具有串联连接在内部电源线 V_{II} 和接地线 V_{SS} 之间的熔丝及 nMOS 晶体管、连接在熔丝及 nMOS 晶体管的连接节点上的反相器。nMOS 晶体管通过将其栅极连接在内部电源线 V_{II} 上而长期导通，从而起高电阻作用。

有熔丝存在的 ROM 单元 (32c 或 32d) 输出低电平的熔丝信号 (FS₁ 或 FS₀)。熔丝熔断的 ROM 单元 (32c 或 32d) 输出高电平的熔丝信号 (FS₁ 或 FS₀)。在 DRAM 的制造过程中，根据制造规格分别熔断或不熔断两个熔丝，从而译码器 32b 仅将设定信号 SET 中的任一个设定为低电平。设定信号 SET 的高电平电压及低电平电压分别被设定为增高电压 V_{PP} 及接地电压 V_{SS}。此外，设定信号 SET 的高电平电压是通过没有图示的电平转换电路被转换为增高电压 V_{PP} 的。此外，设定信号 SET₁₁、SET₁₀、SET₀₁、SET₀₀ 的末尾的数字表示熔丝信号 FS₁、FS₀ 的逻辑。例如，熔丝信号 FS₁、FS₀ 的逻辑是 2 进制的“10”时，设定信号 SET₁₀ 维持低电平，其他的设定信号 SET₁₁、SET₀₁、SET₀₀ 维持高电平。

图 17 详细示出了图 15 所示的栅极控制电路 30D。栅极控制电路 30D 是在第三实施例的栅极控制电路 30B 上增加模式选择电路 34 而形成的。模式选择电路 34 的输出节点 MODEX 与操作开始信号 OPTSZ 及操作结束信号 OPTEZ 一起被输入到栅极控制电路 30B 的 NOR 电路 30d 上。

模式选择电路 34 具有在接收低电平的设定信号 SET₁₁、SET₁₀、SET₀₁、SET₀₀ 期间分别导通的开关 34a、34b、34c、34d。各开关 34a、34b、34c、34d 由 CMOS 传输门构成。模式选择电路 34 响应设定在程序电路 32 上的信息，将输出节点 MODEX 连接到增压线 V_{PP} 或接地线 V_{SS}

上，或者向输出节点 MODEX 提供自刷新模式信号 SREFX 或低功率模式信号 PDX。

图 18 示出了图 17 所示的栅极控制电路 30D 的操作。当程序电路 32 将设定信号 SET11 激活为低电平时，输出节点 MODEX 被设定为增高电压 VPP。此时，高电平电压线 RDDR_V 被长期设定为增高电压 VPP 而与操作模式（正常操作模式、自刷新模式、低功率模式）无关。在将设定信号 SET10 激活为低电平时，输出节点 MODEX 被设定为接地电压 VSS。此时，高电平电压线 RDDR_V 在活跃周期 ACT 被设定为增高电压 VPP，在待机周期 STB 被设定为内部电源电压 VII。

10 将设定信号 SET01 激活为低电平时，输出节点 MODEX 被连接在自刷新模式信号 SREFX 的信号线上。此时，高电平电压线 RDDR_V 与上述第三实施例相同，只有在自刷新模式的待机周期 STB 被设定为内部电源电压 VII，而在其他周期被设定为增高电压 VPP。将设定信号 SET00 激活为低电平时，输出节点 MODEX 被连接在自低功率模式信号 PDX 的信号线上。此时，高电平电压线 RDDR_V 与上述第四实施例相同，在低功率模式中被设定为内部电源电压 VII，而在其他周期被设定为增高电压 VPP。

例如，通过将设定信号 SET11 激活为低电平地将程序电路 32 预先程序化，可制造出不发生高电平电压线 RDDR_V 的电压切换的 DRAM。该 DRAM 可为频繁产生存取请求的系统生产。通过将设定信号 SET10 激活为低电平地将程序电路 32 预先程序化，可制造出这样的 DRAM：高电平电压线 RDDR_V 在活跃周期 ACT 被切换为增高电压 VPP，在待机周期 STB 被切换为内部电源电压 VII。该 DRAM 可为存取请求的产生频率低且希望自刷新模式中的功耗小的系统生产。

25 通过将设定信号 SET01 激活为低电平地将程序电路 32 预先程序化，可制造出如下的 DRAM，所述 DRAM 与第三实施例（图 10）相同，仅在自刷新模式的待机周期 STB 将高电平电压线 RDDR_V 切换为内部电源电压 VII。该 DRAM 可为频繁产生存取请求，且希望自刷新模式中的功耗小的系统生产。通过将设定信号 SET00 激活为低电平地将程序电路 32 预先程序化，可制造出如下的 DRAM，所述 DRAM 与第四实施例（图 14）相

同，仅在低功率模式中将高电平电压线 RDDR_V 切换为内部电源电压 VII。由此，在此实施例中，可根据程序电路 32 的设定值来用一个 DRAM 芯片制造出操作规格（产品规格）不同的四个 DRAM。

在此例中，当将设定信号 SET₁₁ 激活为低电平时，DRAM 的操作规格成为将高电平电压线 RDDR_V 连接在增高电压线 VPP 上的第二规格。当将设定信号 SET₁₀、SET₀₁、SET₀₀ 中的任一个激活为低电平时，DRAM 的操作规格成为将高电平电压线 RDDR_V 切换到增高电压线 VPP 或内部电压线 VII 上的第一规格。

图 19 示出了第五实施例的 DRAM 的操作的例子。此例示出了这样的 DRAM 操作：设定信号 SET₁₁ 通过程序电路 32 被激活为低电平，从而高电平电压线 RDDR_V 长期保持增高电压 VPP。

图 20 示出了第五实施例的 DRAM 的操作的另一例子。此例示出了这样的 DRAM 操作：例如设定信号 SET₁₀ 通过程序电路 32 被激活为低电平，从而高电平电压线 RDDR_V 仅在活跃周期 ACT 被设定为增高电压 VPP，而在待机周期 STB 被设定为内部电源电压 VII。

在此实施例中，也可以获得与上述第一～第四实施例相同的效果。而且在此实施例中，通过程序电路 32，可以改变 DRAM 的产品规格。因此，通过根据安装 DRAM 的系统的操作规格，将程序电路程序化，能够为系统的各种规格提供最佳的 DRAM。例如，当安装有半导体存储器的系统以高频率对存储器单元进行存取，待机电流并不重要时，半导体存储器被设定为第二规格。当存储器单元的存取频率低，重视待机电流时，半导体存储器被设定为第一规格。由于能够用一个产品的设计成本来设计、制造出多种产品，因此可削减 DRAM 的开发成本和开发周期。

图 21 示出了本发明半导体存储器的第六实施例。用相同的标号标注与第一～第五实施例中所说明的元件相同的元件，并省略对这些元件的详细说明。使用 CMOS 工艺在硅衬底上将此实施例的半导体存储器形成为具有自刷新功能的 DRAM 芯片。DRAM 具有命令输入电路 10E 及模式寄存器 36，它们代替第五实施例的命令输入电路 10D 及程序电路 32。其他结构与第五实施例相同。

命令输入电路 10E 具有接受模式寄存器设定命令的功能。命令输入电路 10E 的其他功能和图 15 所示的命令输入电路 10D 相同。

模式寄存器 36 根据经由命令输入电路 10E 接收的模式寄存器设定信号 MRS 而重写内部的寄存器。模式寄存器 36 的设定内容作为设定信号 SET 输出到栅极控制电路 30D 中。设定信号 SET 的逻辑与 DRAM 的操作模式之间的关系与上述图 18 相同。即，通过在 DRAM 的制造之后重写模式寄存器 36，可将此 DRAM 设定为功能不同的多种产品规格（图 18 所示的四种操作规格）中的任一种。

在此实施例中，也可以获得和上述第一～第五实施例相同的效果。而且，在此实施例中，例如通过向客户开放模式寄存器，能够由客户根据系统的使用最适当地切换 DRAM 的操作规格。

图 22 示出了本发明半导体存储器的第七实施例。用相同的标号标注与第一～第五实施例中所说明的元件相同的元件，并省略这些元件的详细说明。使用 CMOS 工艺在硅衬底上将此实施例的半导体存储器形成为具有自刷新功能的 DRAM 芯片。DRAM 具有配线连接部 38 来代替第五实施例的程序电路 32。其他结构与第五实施例相同。

配线连接部 38 例如使用金属配线层形成四个导电膜 CL（图中只示出了四个中的两个）。导电膜 CL 根据在半导体制造过程中使用的遮光膜的图案形状而被形成在半导体衬底的预定位置上。导电膜 CL 的一端与设定信号 SET（SET11、SET10、SET01、SET00）的信号线连接，导电膜 CL 的另一端根据遮光膜的图案形状与增高电压线 VPP 或接地线 VSS 连接。

设定信号 SET11、SET10、SET01、SET00 中的任一个在 DRAM 的制造过程（配线过程）中被设定为接地电压 VSS，剩下的设定信号被设定为增高电压 VPP。即，根据在 DRAM 的制造中形成的导电膜 CL 的形状（连接端），DRAM 被制造成功能各异的多种产品（图 18 所示的四个操作规格）中的任一种出厂。

在此实施例中，也可以获得和上述第一～第五实施例相同的效果。而且，在此实施例中，通过在半导体制造过程中使用的遮光膜的切换，可改变 DRAM 的产品规格。

图 23 示出了本发明半导体存储器的第八实施例。用相同的标号标注与第一~第五实施例中所说明的元件相同的元件，并省略这些元件的详细说明。使用 CMOS 工艺在硅衬底上将此实施例的半导体存储器形成为伪 SRAM 芯片。伪 SRAM 具有栅极控制电路 30G 来代替第一实施例的栅极控制电路 30。此外，具有新的程序电路 32G。其他结构与第五实施例相同。

程序电路 32G 由与上述第五实施例（图 16）的 ROM 电路 32a 相同的电路构成，并通过在伪 SRAM 的制造过程中熔断内置熔丝来输出高电平或低电平的设定信号 SET1。栅极控制电路 30G 根据程序电路 32G 的设定信号 SET1 的逻辑，将高电平电压线 RDDR_V 设定为增高电压 VPP 或内部电源电压 VII。DRAM 根据程序电路 32G 的设定值被制造成功能各异的多种产品中的任一种出厂。

图 24 详细示出了图 23 所示的栅极控制电路 30G。栅极控制电路 30G 是在第三实施例的栅极控制电路 30B 上增加模式选择电路 40 形成的。模式选择电路 40 的输出节点 MODEX 与操作开始信号 OPTSZ 及操作结束信号 OPTEZ 一起被输入到栅极控制电路 30B 的 NOR 电路 30d 上。

模式选择电路 40 具有在接收高电平的设定信号 SET 期间导通的开关 40a 和在接收低电平的设定信号 SET1 期间导通的开关 40b。开关 40a、40b 由 CMOS 传输门构成。模式选择电路 40 根据设定在程序电路 32G 上的信息，将输出节点 MODEX 连接到增高电压线 VPP 或接地线 VSS 上。当输出节点 MODEX 为接地线 VSS 时，伪 SRAM 进行与第一实施例相同的操作。当输出节点 MODEX 为增高电压线 VPP 时，高电平电压线 RDDR_V 被长期设定在增高电压 VPP 上。此时，伪 SRAM 进行与第三实施例的正常操作模式相同的操作。

图 25 示出了第八实施例的伪 SRAM 的操作概要。当设定信号 SET1 通过程序电路 32G 被设定为低电平时，伪 SRAM 进行与第一实施例相同的操作。即，高电平电压线 RDDR_V 在待机周期 STB 被设定为内部电源电压 VII，在活跃周期 ACT 被设定为增高电压 VPP。

当设定信号 SET1 被设定为高电平时，伪 SRAM 除了不产生刷新请求

RREQ 之外，进行与第三实施例的正常操作模式相同的操作。即，高电平电压线 RDDR_V 被长期设定为增高电压 VPP。

例如，通过程序电路 32G 将设定信号 SET1 设定为高电平的伪 SRAM 被安装于频繁产生存取请求的系统上。通过程序电路 32G 将设定信号 SET1 设定为低电平的伪 SRAM 被安装于不频繁产生存取请求的系统上。如上，通过配合系统特征来制造伪 SRAM，可获得与第五实施例相同的效果。

在此实施例中也可以获得与上述第一~第五实施例相同的效果。

顺便说一下，前面的第一实施例处理了将本发明应用于伪 SRAM 芯片的情况。但是，本发明并不限于这种实施例。例如，可以将本发明应用于采用伪 SRAM 核的系统 LSI（大规模集成电路）。对于第二实施例来说也是如此。

前面的第二实施例处理了将本发明应用于具有自动刷新功能的 DRAM 的情况。但是，本发明并不限于这种实施例。例如，可以将本发明应用于与刷新地址一起接受刷新命令的 DRAM。

在上述第五及第八实施例中，叙述了使用熔丝来形成程序电路 32、32G 的例子。但本发明并不限于所述实施例。例如，也可以不用熔丝而是使用 EEPROM 或 FeRAM 的存储器单元来形成程序电路。此时，与第六实施例的模式寄存器 36 相同，可在制造芯片之后重写被程序化的信息。

在上述第五实施例中，叙述了将本发明适用于具有三种第一规格（将设定信号 SET10、SET01、SET00 分别固定为低电平的情况）的 DRAM 上的例子。但本发明并不限于所述实施例。例如，将本发明适用于可切换三种第一规格的任一种和第二规格的 DRAM 上，也能够获得同样的效果。

以上，对本发明进行了详细的说明，但上述的实施例及其变形例仅为本发明的一个例子，本发明并不局限于此。在不脱离本发明的范围内可进行各种变更，这是很清楚的。

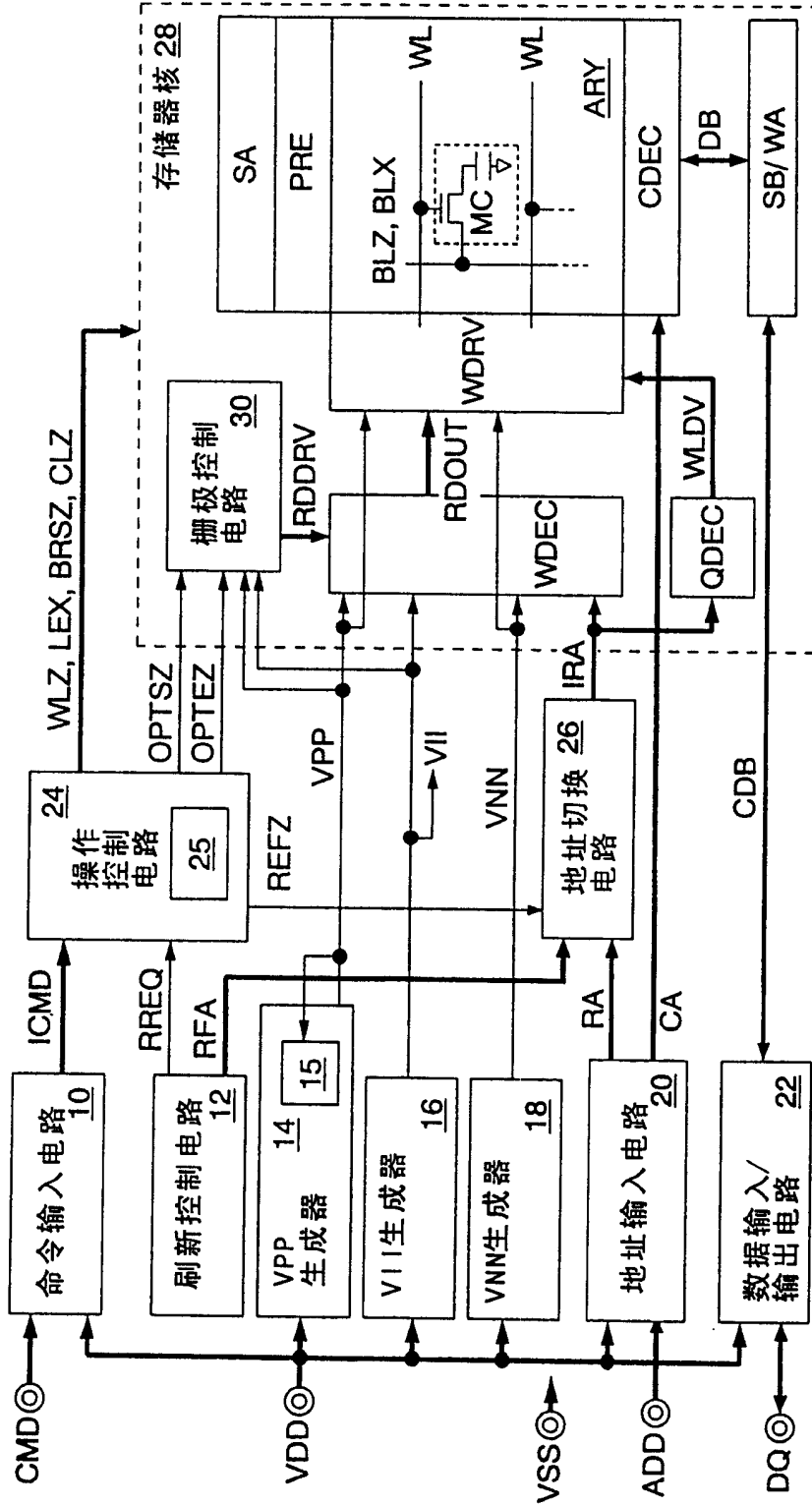


图1

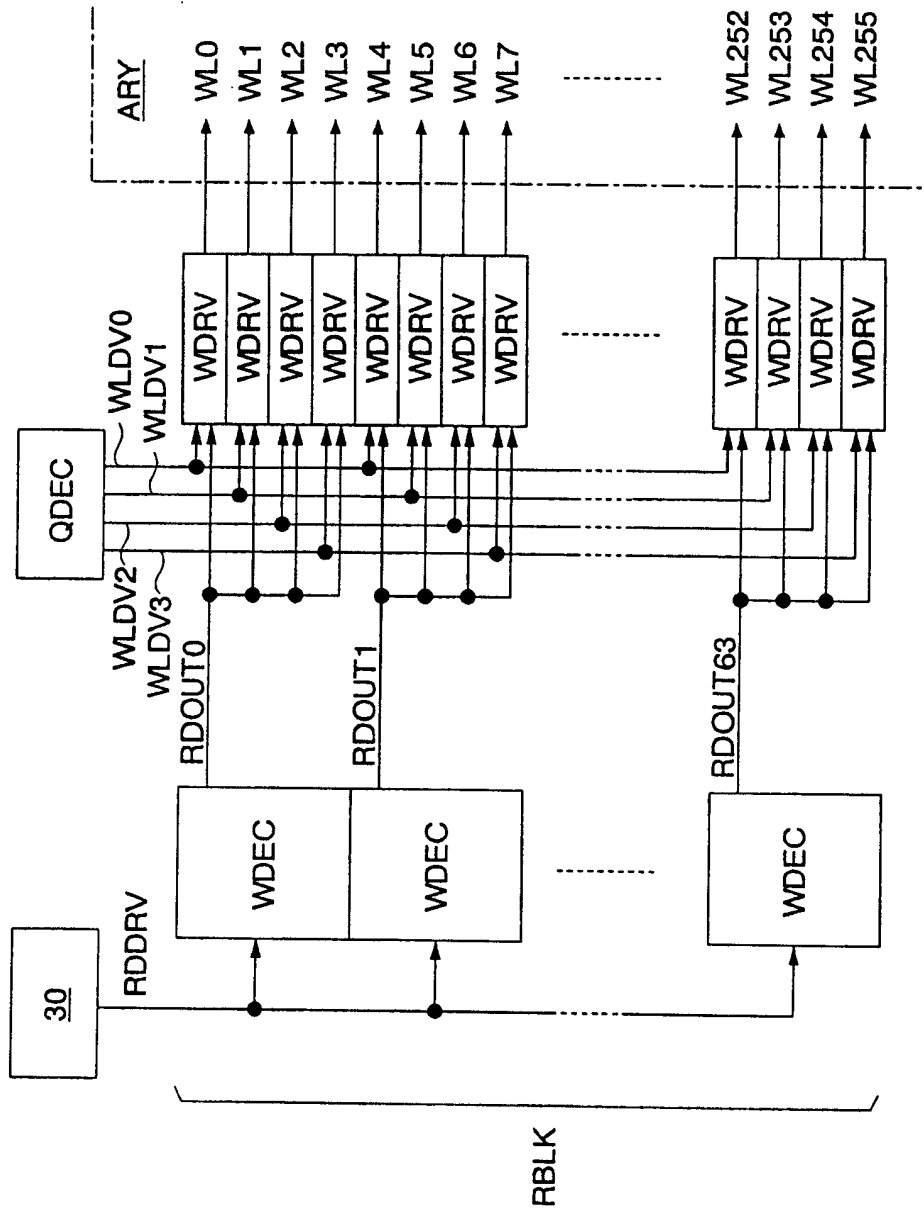


图2

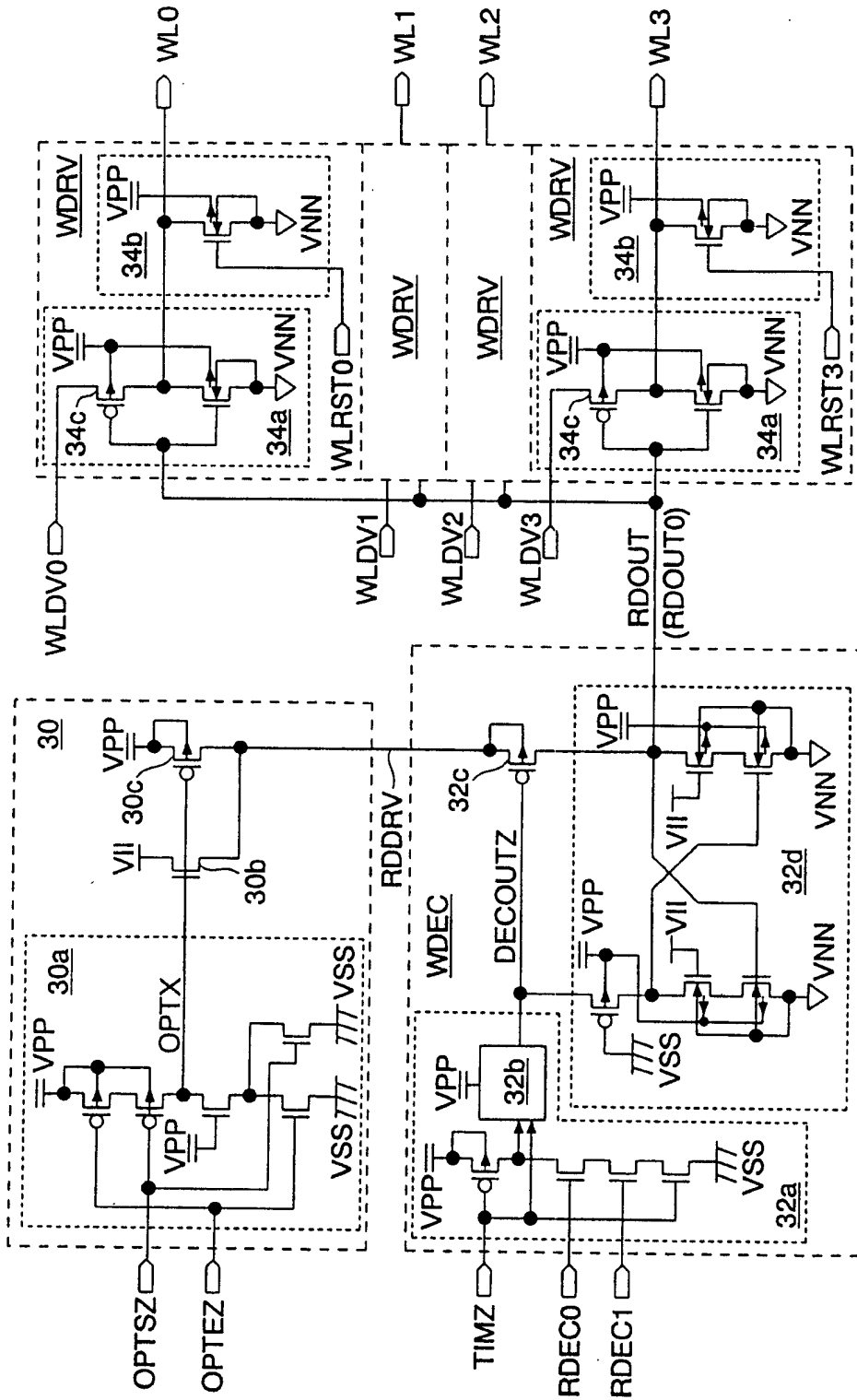


图3

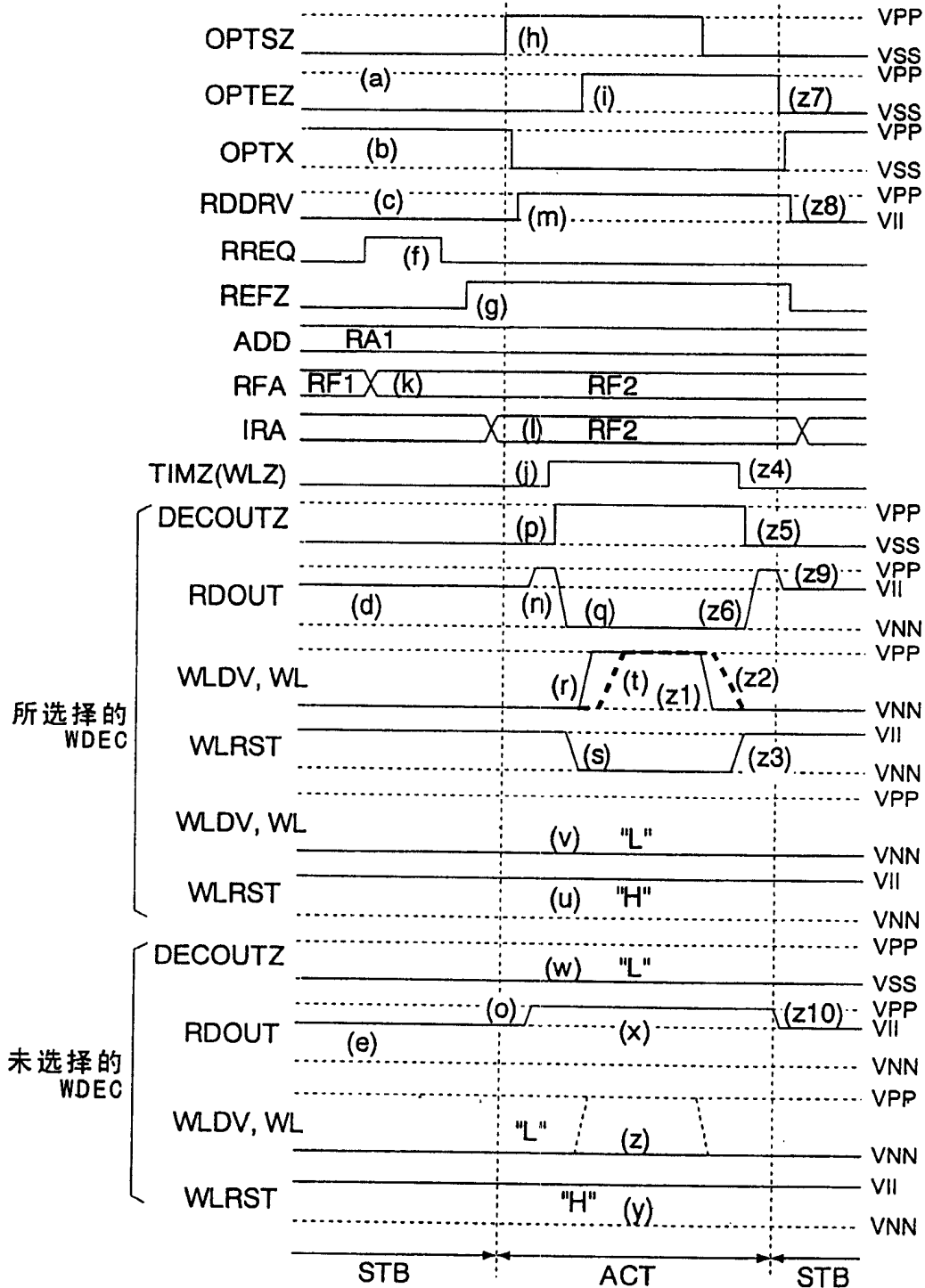


图4

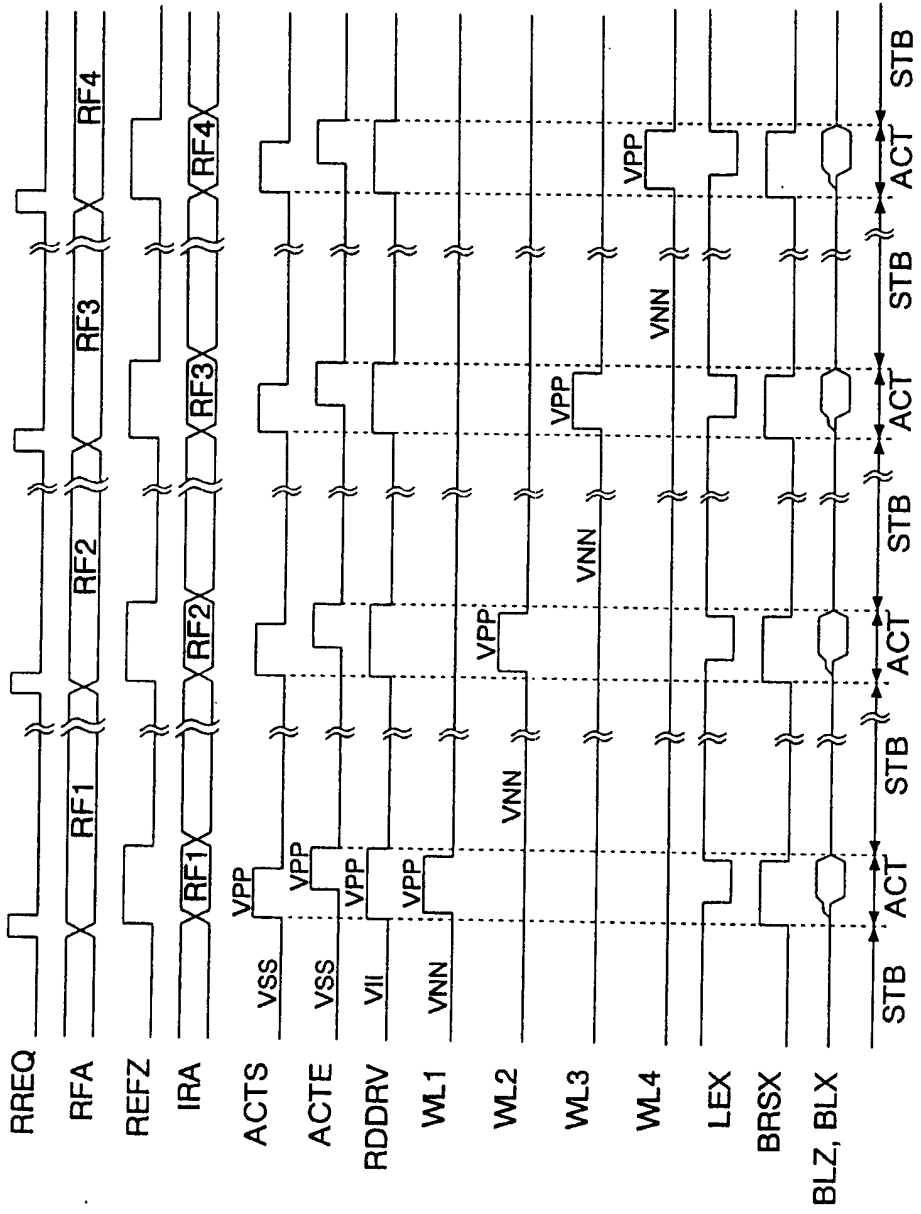


图5

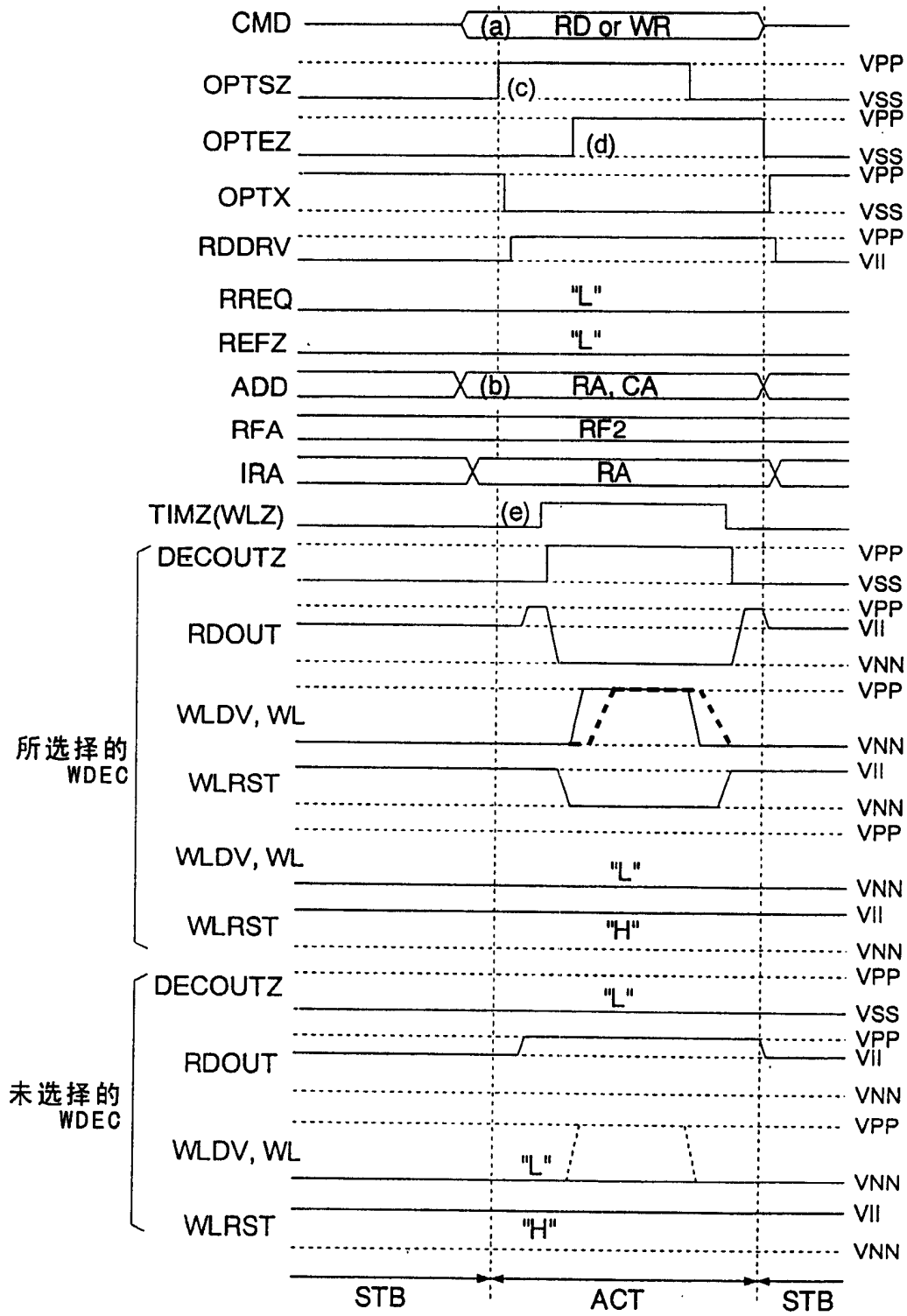


图6

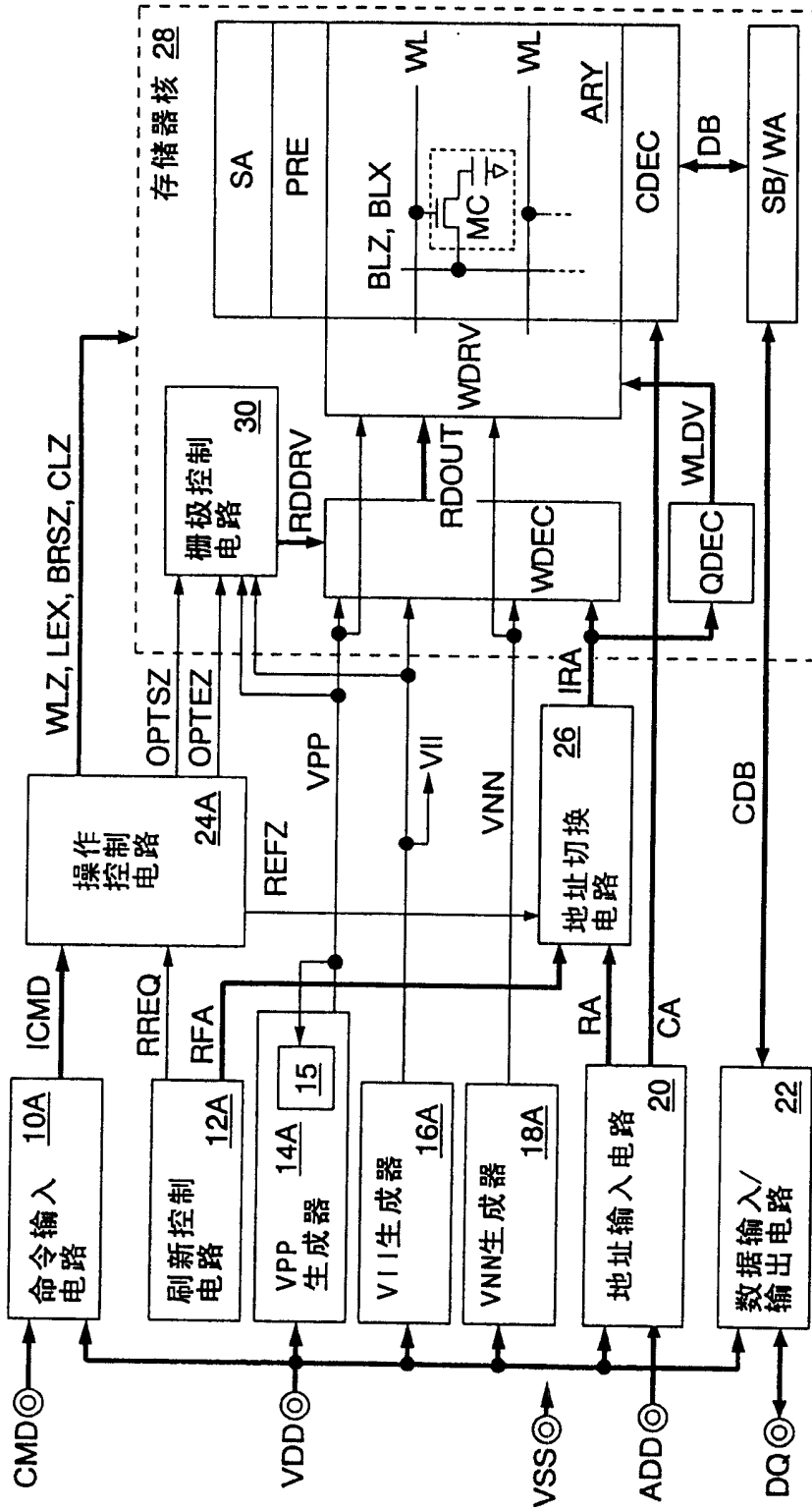


图7

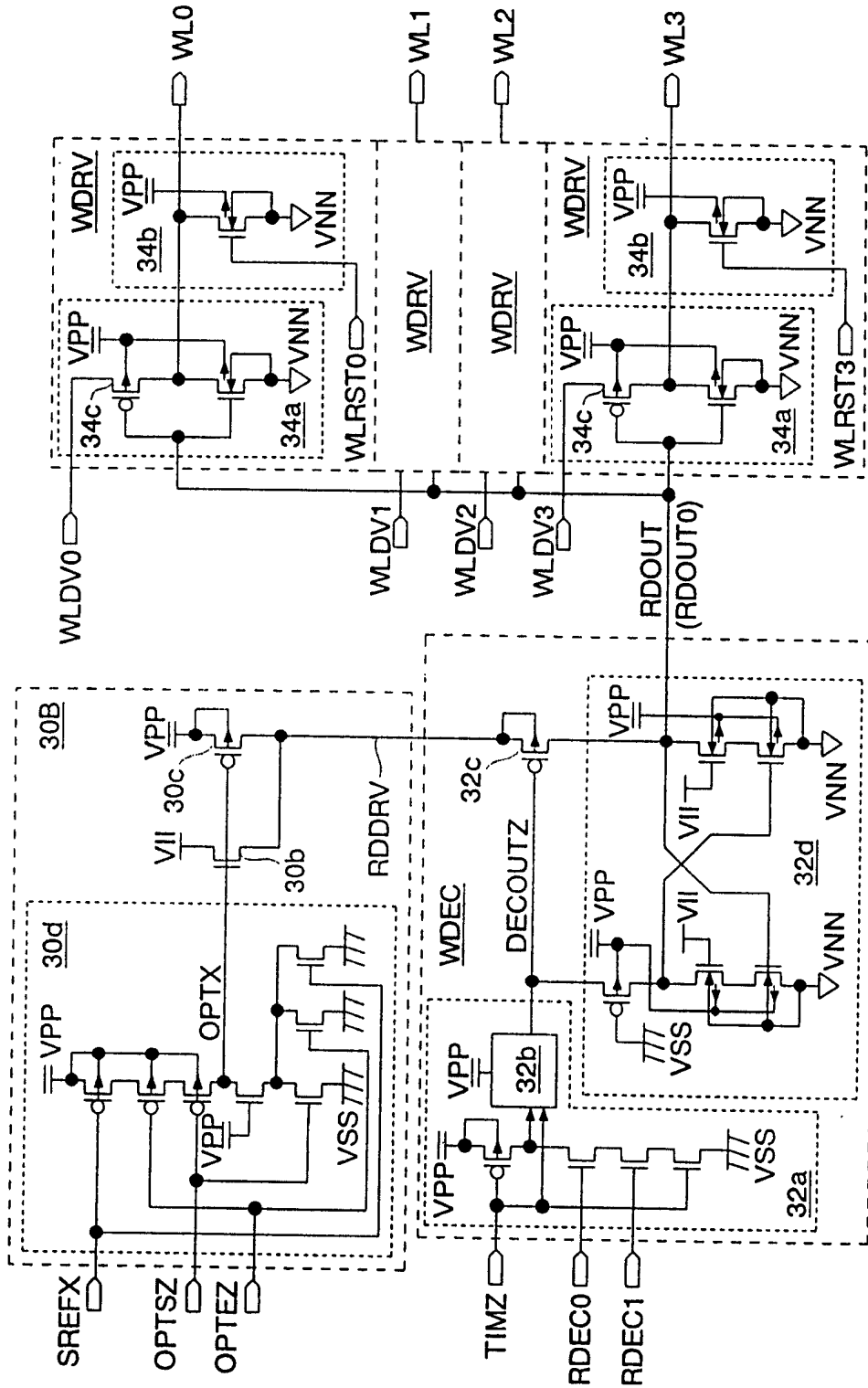


图9

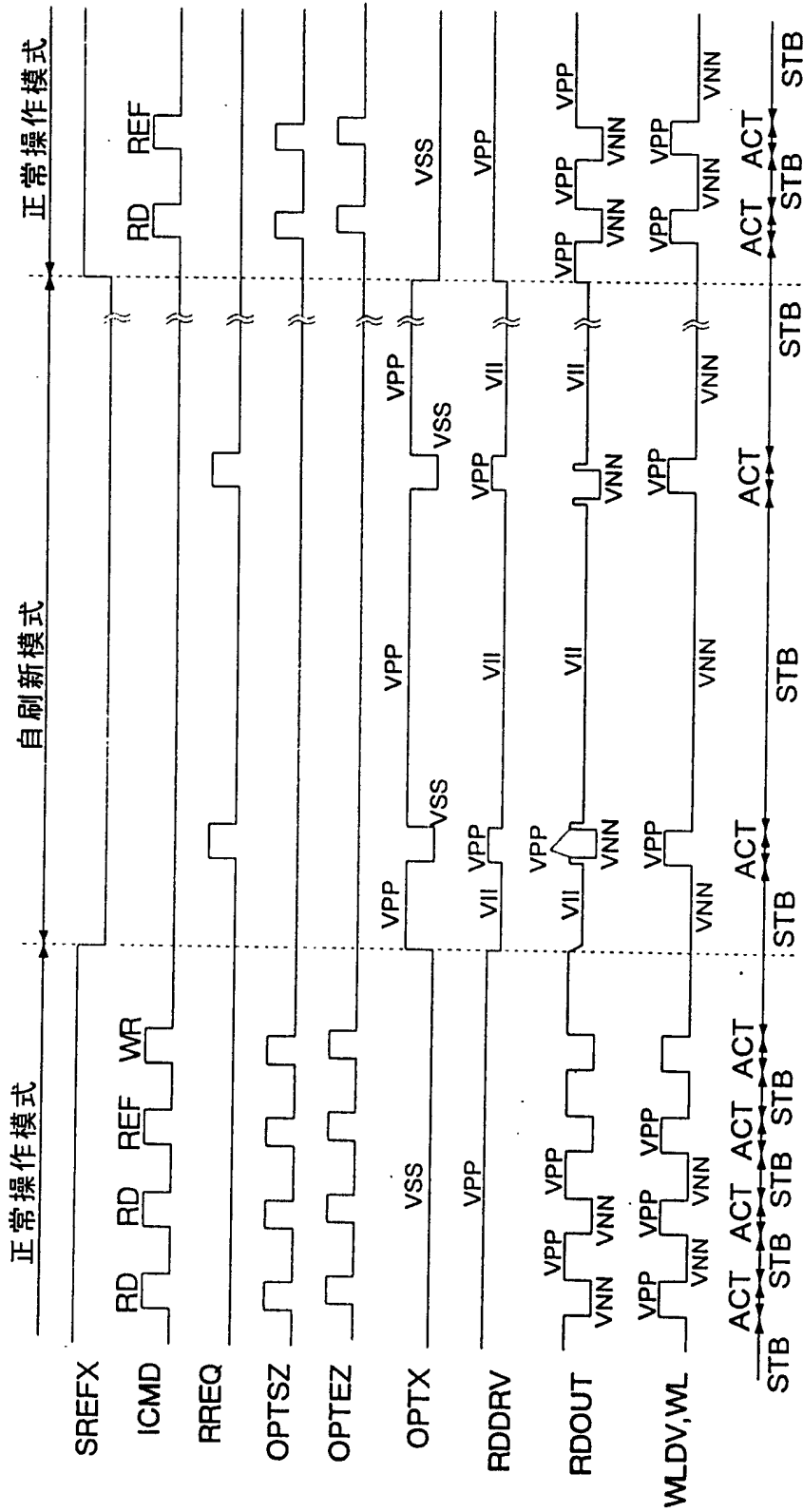


图10

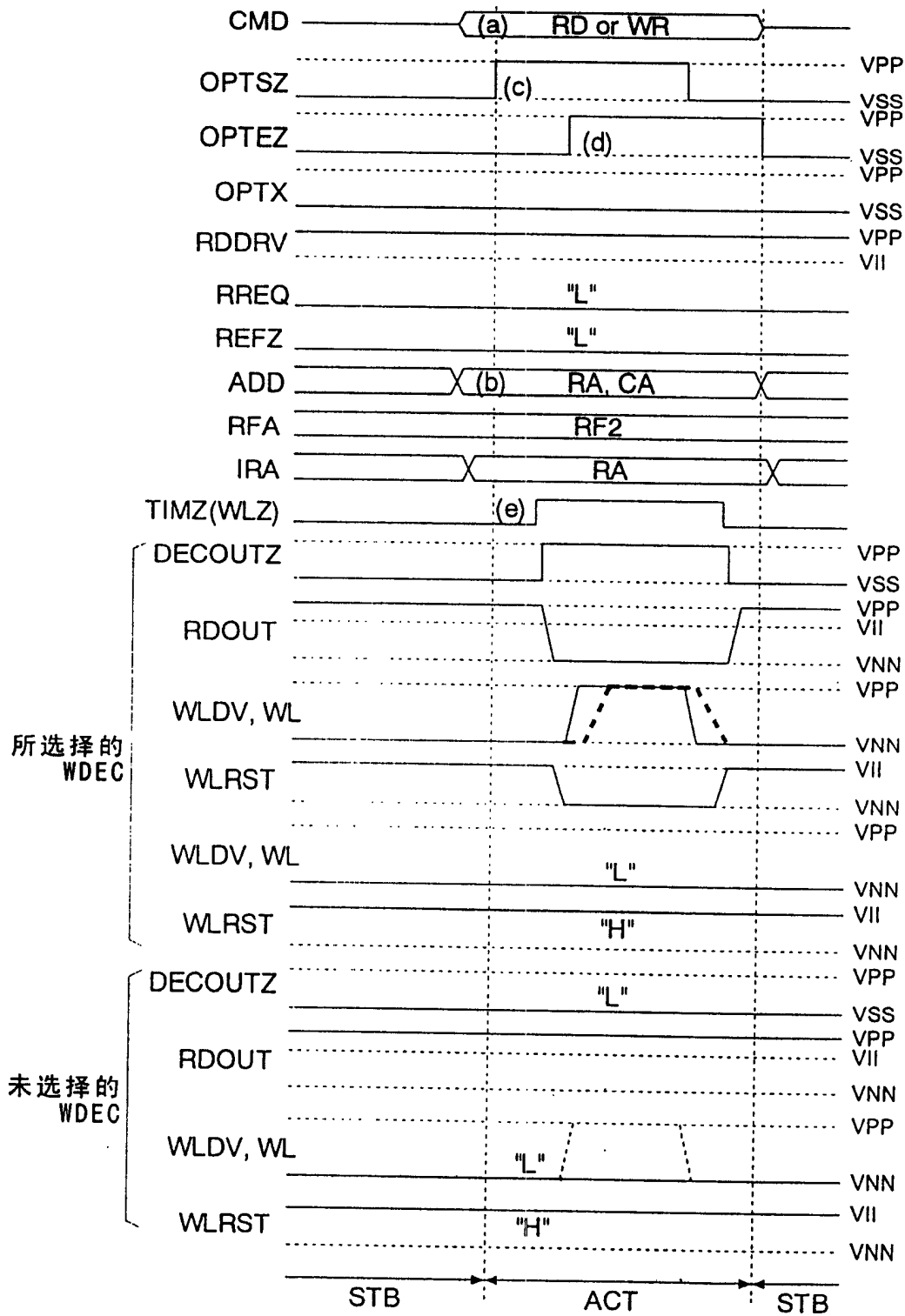


图11

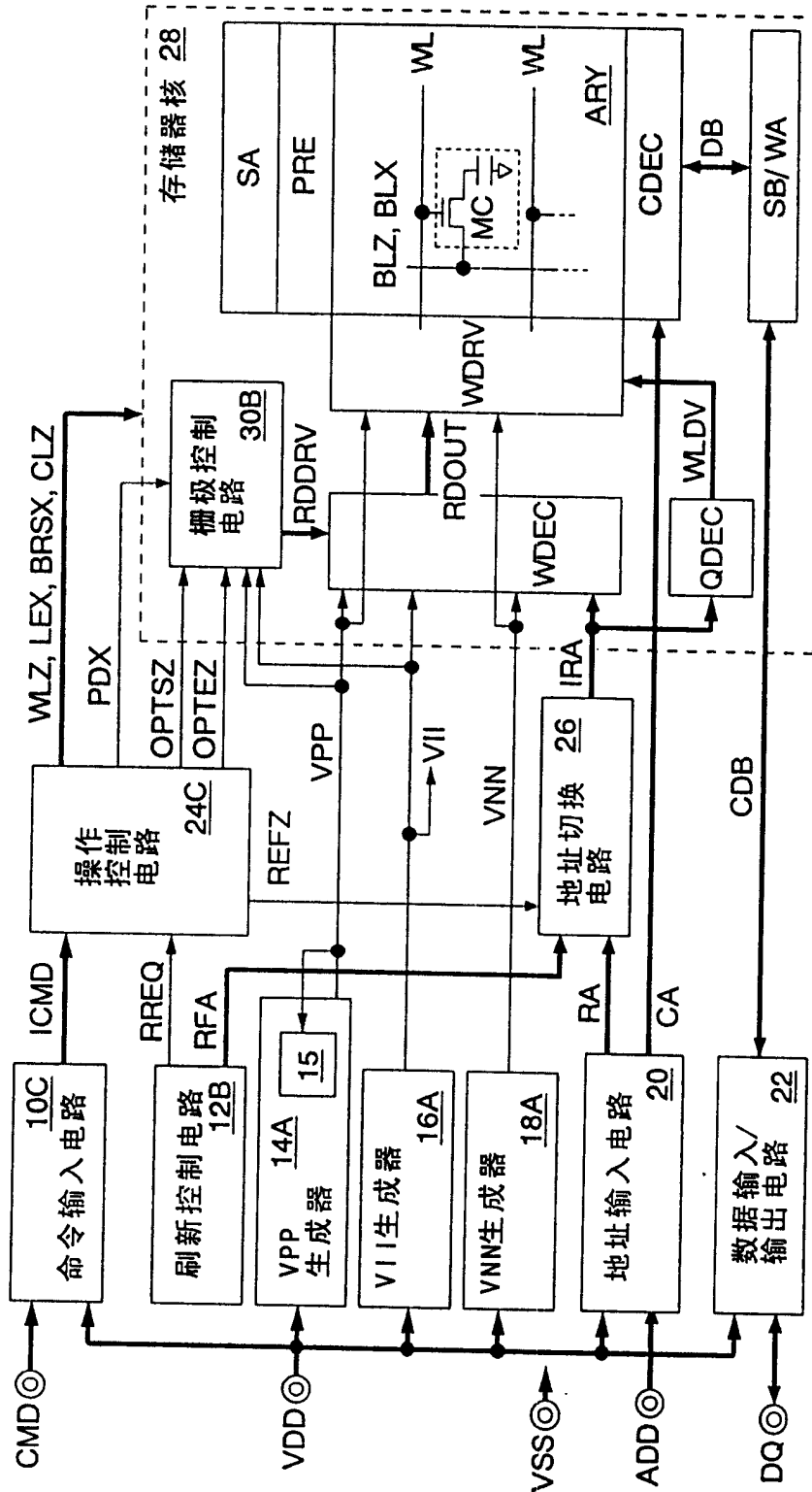


图12

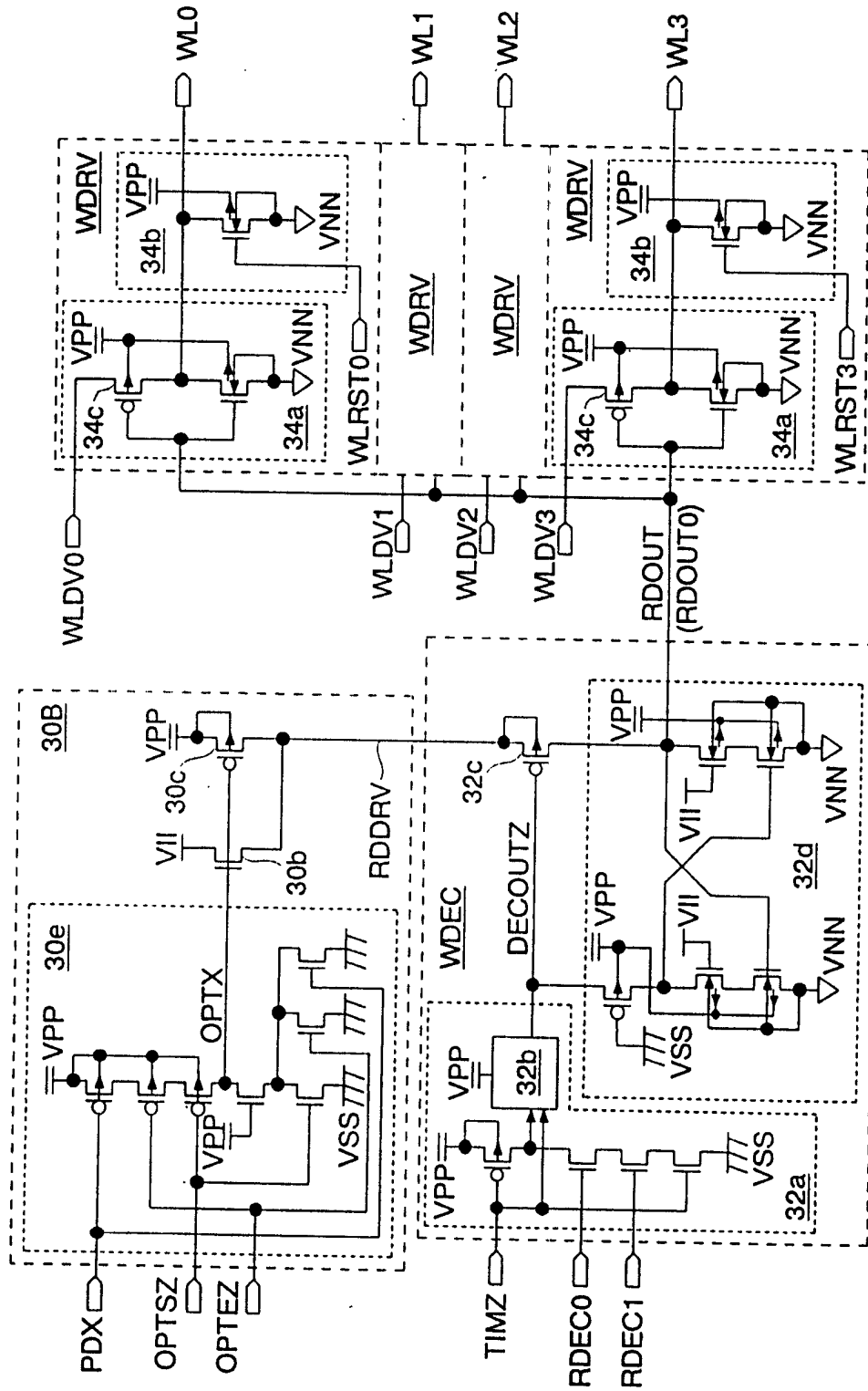


图13

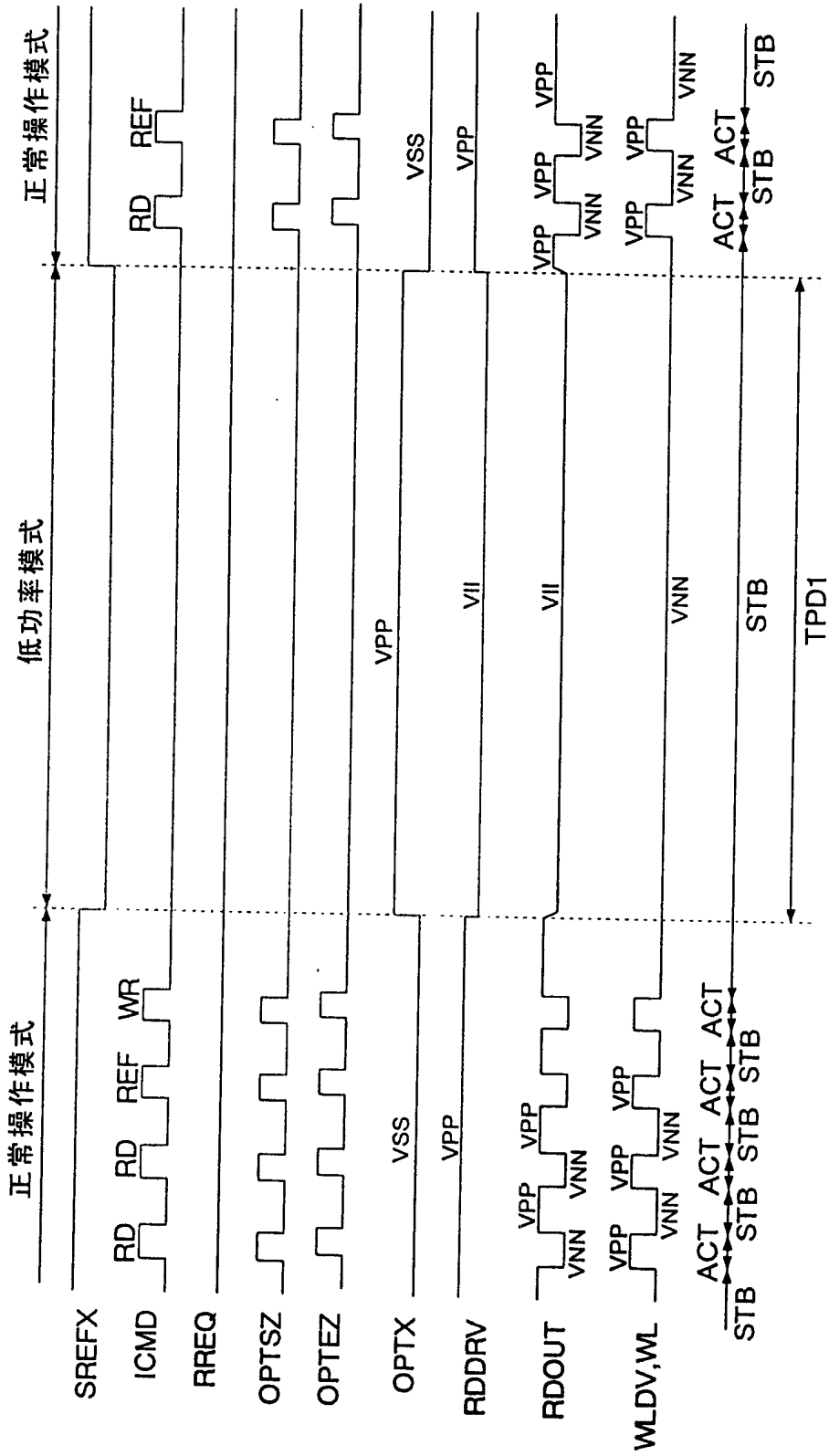


图14

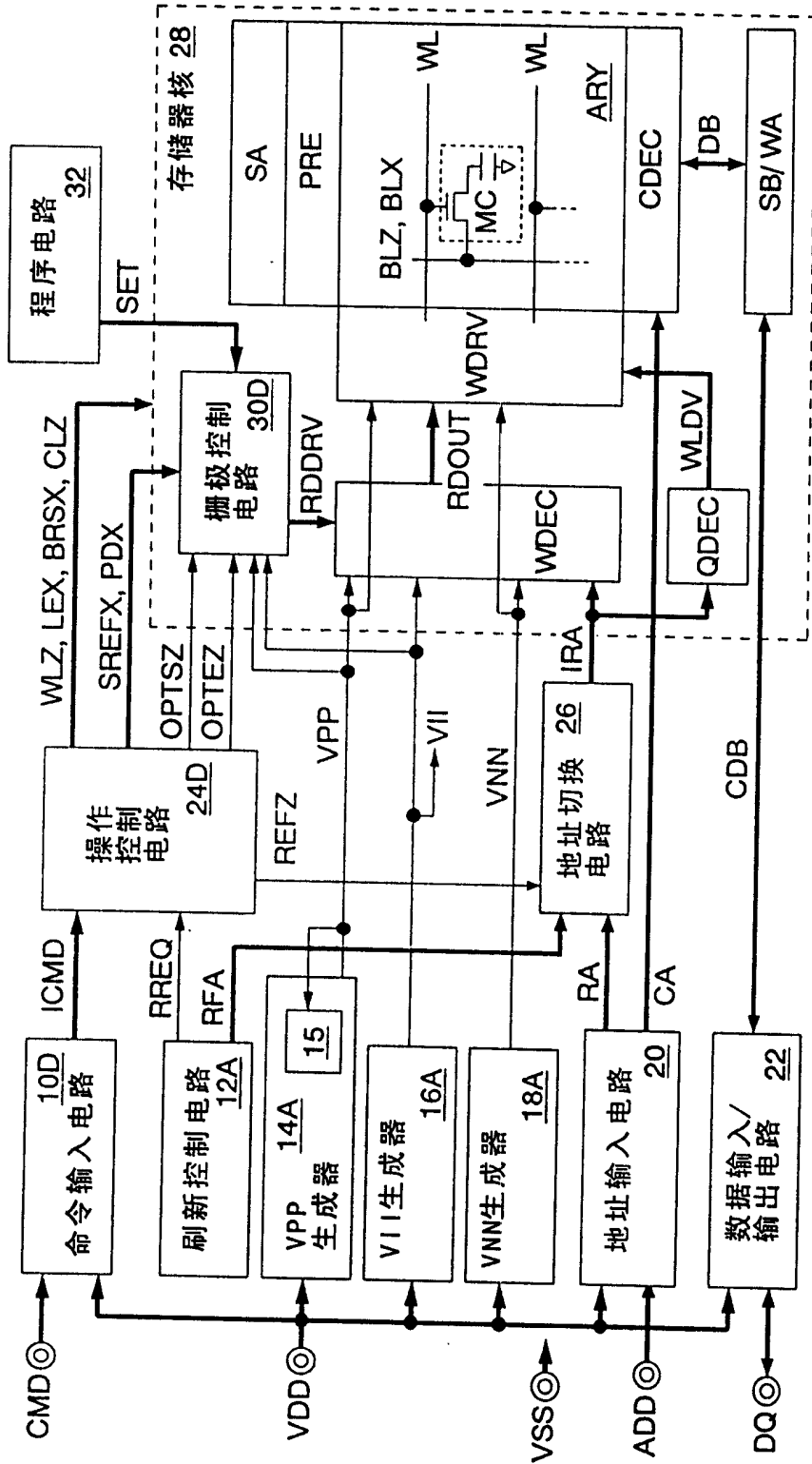


图15

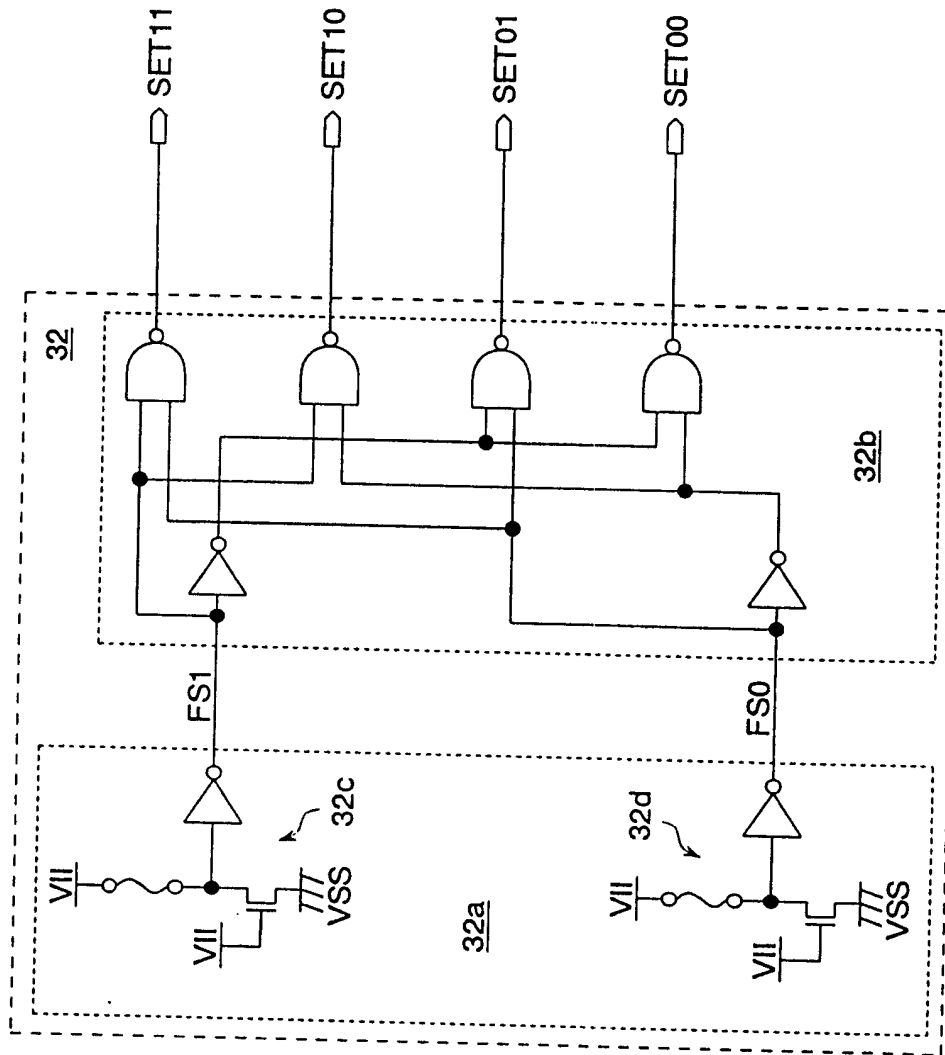


图16

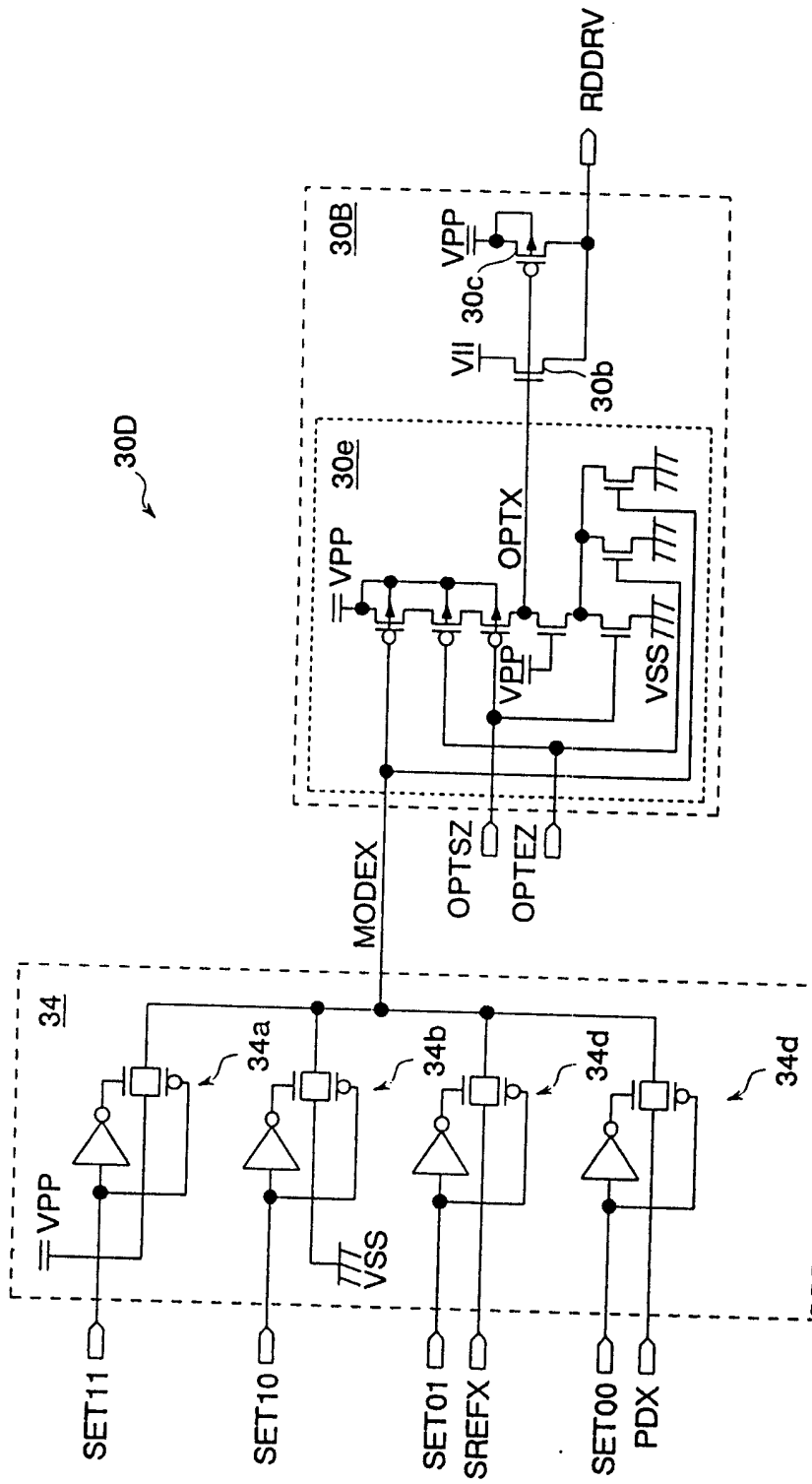


图17

程序状态	RDDR的电压						操作规格 (产品规格)
	正常操作模式		自刷新模式		低功率模式		
	ACT	STB	ACT	STB			
SET11="L"	VPP		VPP		VPP		第二规格
SET10="L"	VPP	VII	VPP	VII	VII		第一规格
SET01="L"	VPP		VPP	VII	VPP		
SET00="L"	VPP		VPP		VII		

图18

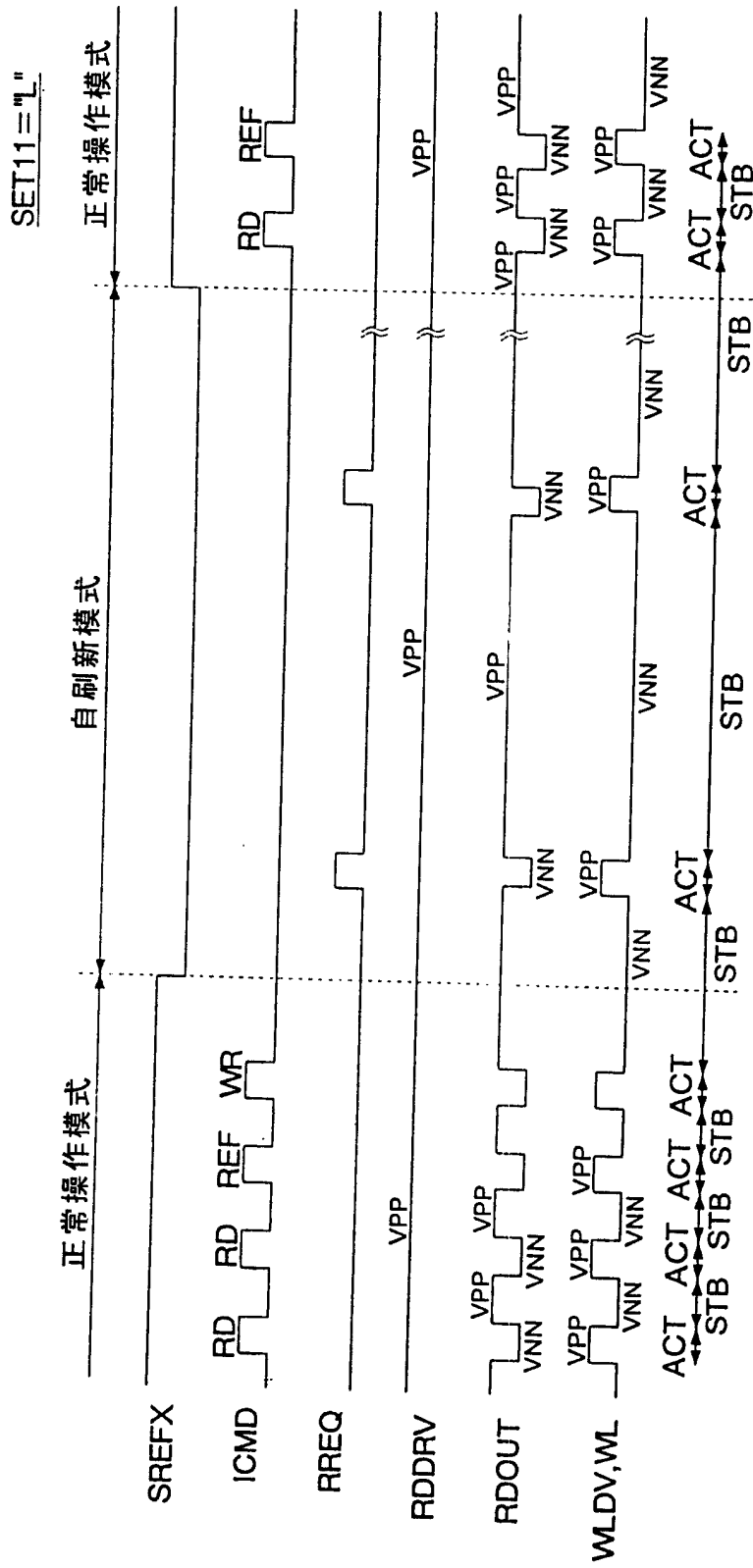


图19

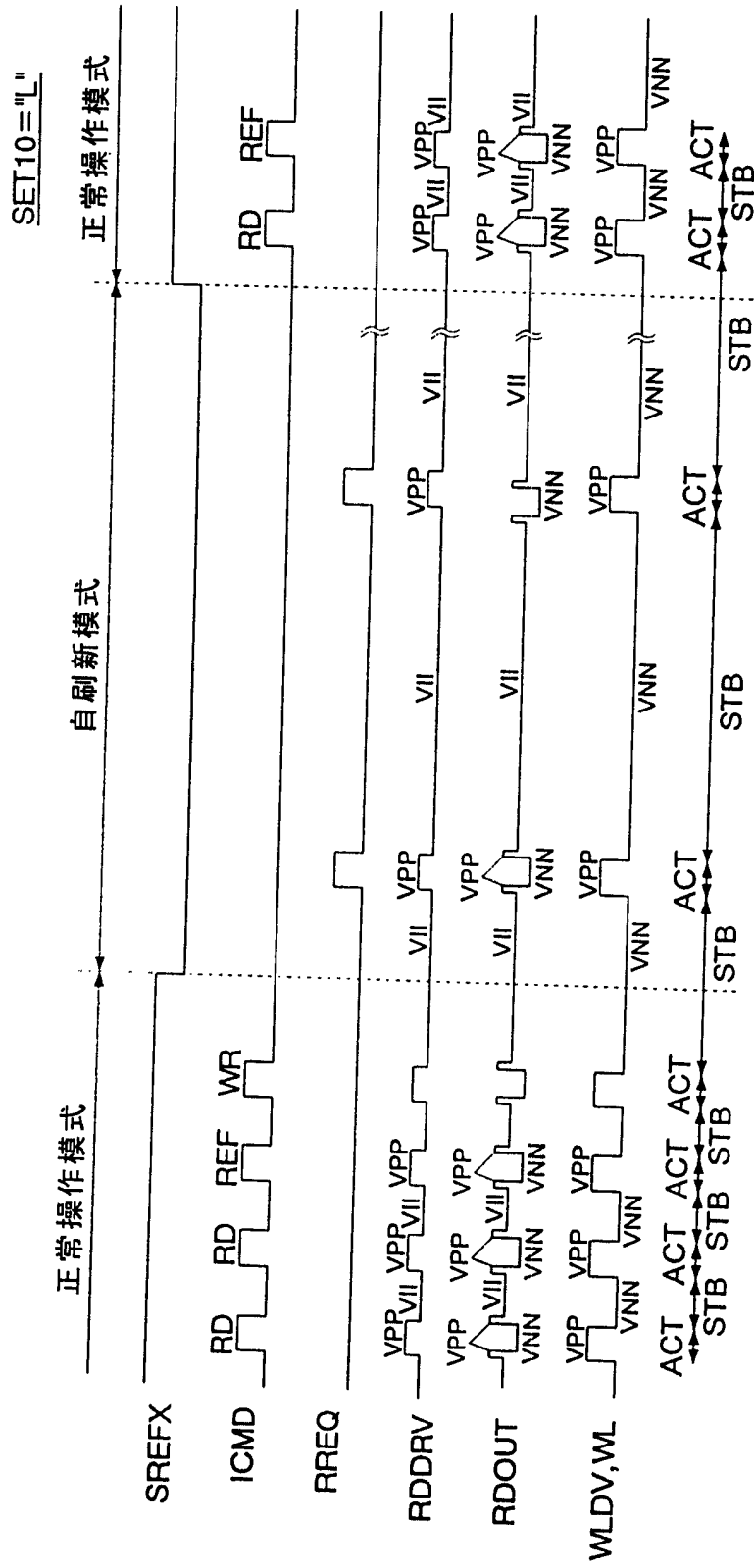


图20

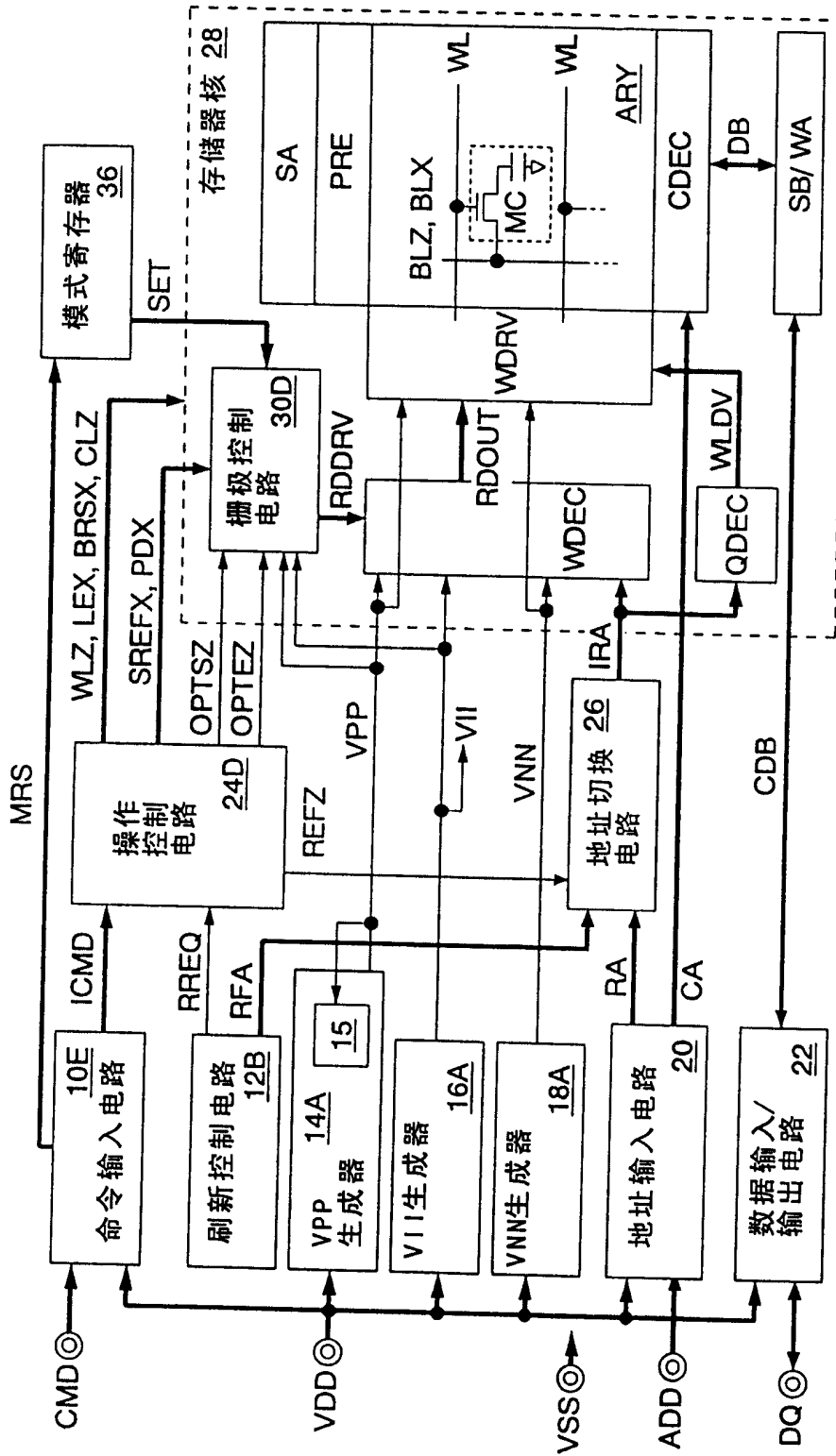


图21

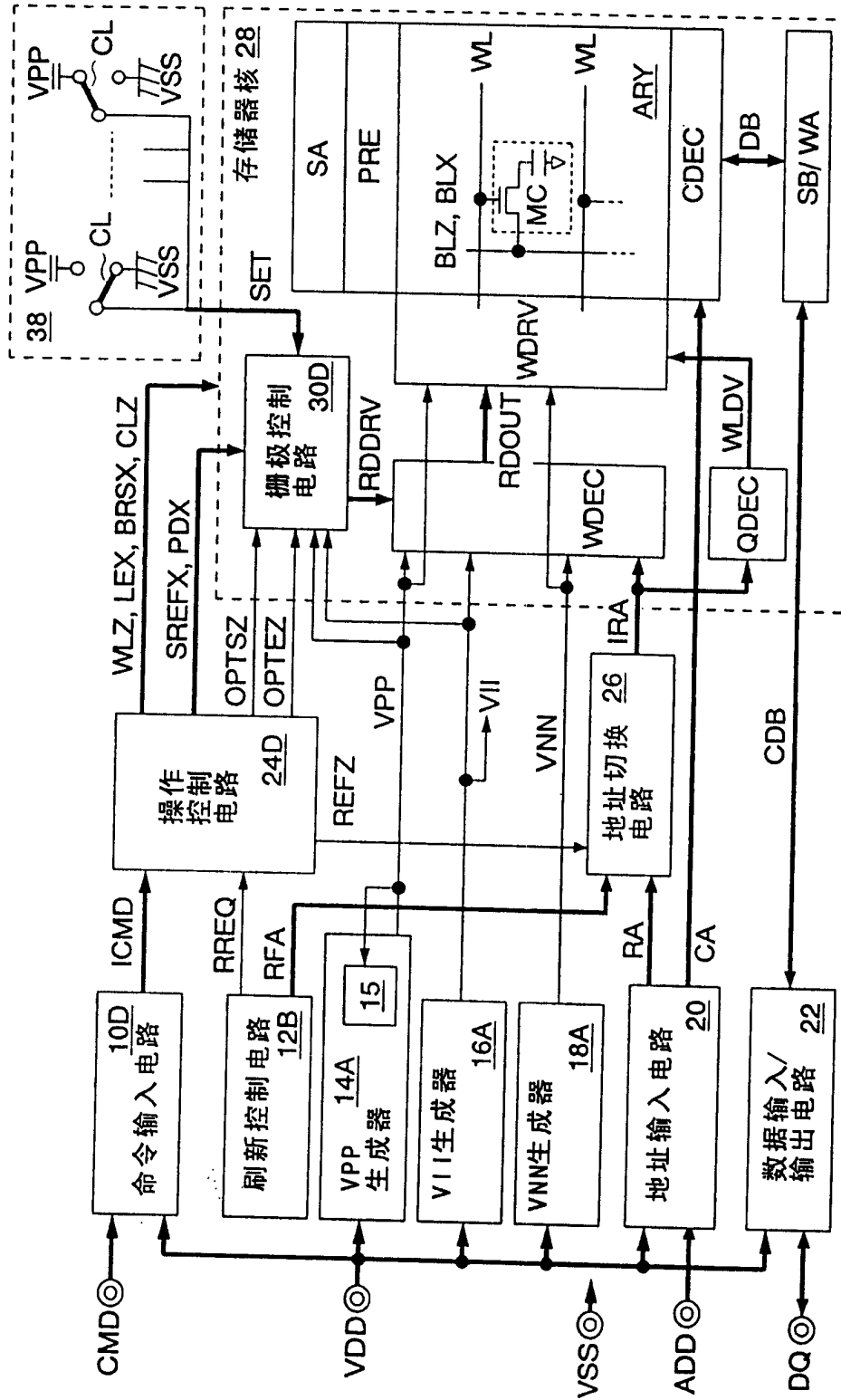


图22

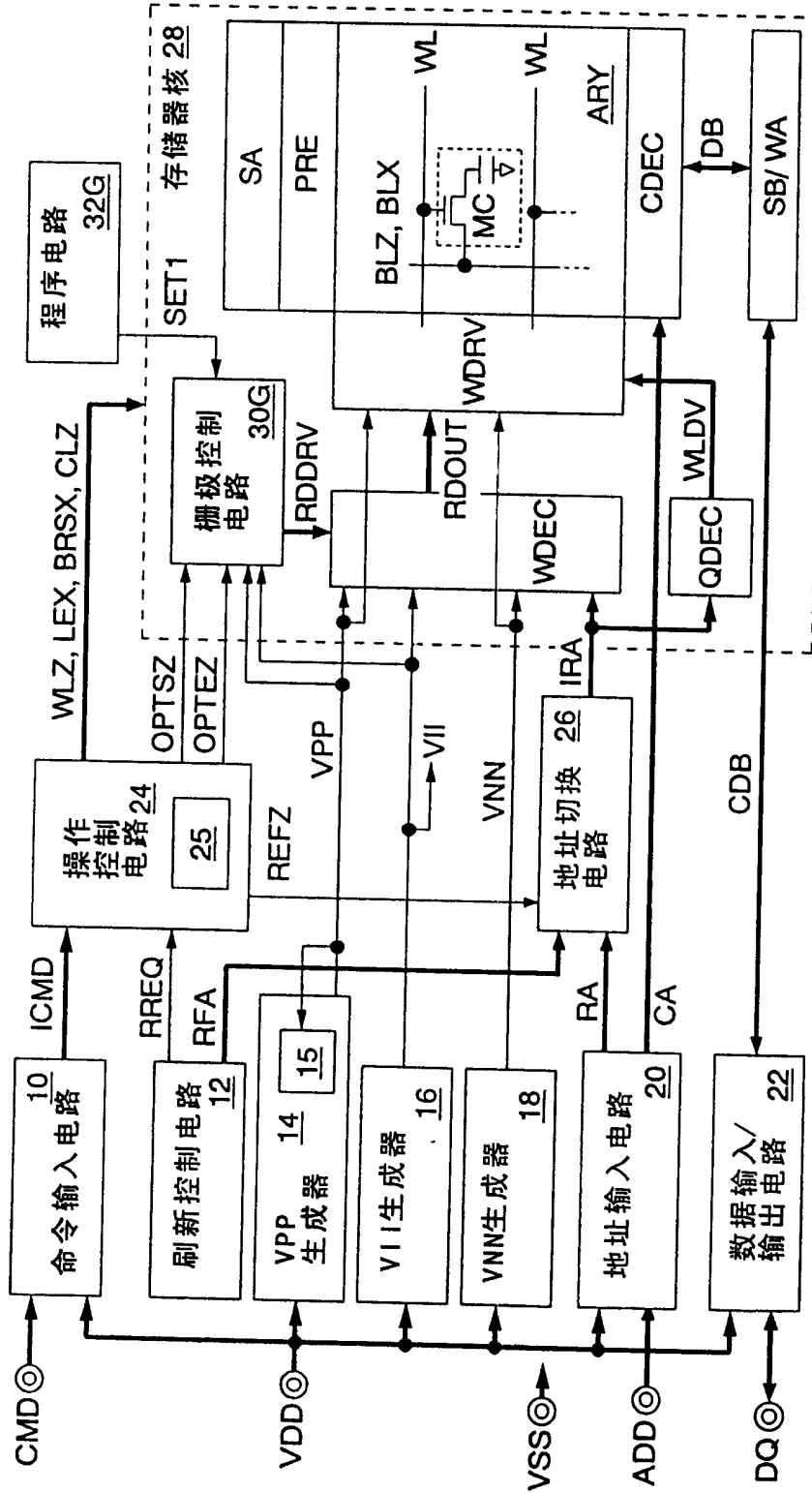


图23

