

(12) 发明专利申请

(10) 申请公布号 CN 103296023 A

(43) 申请公布日 2013. 09. 11

(21) 申请号 201310000963. 7

(22) 申请日 2013. 01. 04

(30) 优先权数据

13/410, 207 2012. 03. 01 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 李东颖 郭文晖 张志豪 张守仁

(74) 专利代理机构 北京德恒律治知识产权代理有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 27/02 (2006. 01)

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

H01L 21/82 (2006. 01)

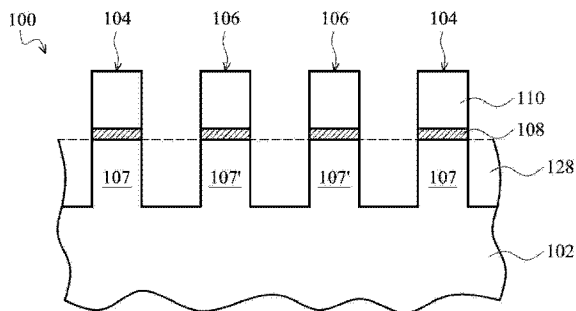
权利要求书1页 说明书10页 附图8页

(54) 发明名称

半导体器件及其制造和设计方法

(57) 摘要

本发明公开了半导体器件及其制造和设计方法。在一个实施例中，半导体器件包括在包括第一半导体材料的工件上方设置的有源 FinFET，有源 FinFET 包括第一鳍。紧邻有源 FinFET 在工件上方设置电无源 FinFET 结构，电无源 FinFET 包括第二鳍。第二半导体材料设置在第一鳍和第二鳍之间。



1. 一种半导体器件,包括:

有源鳍式场效应晶体管 (FinFET),设置在包括第一半导体材料的工件上方,所述有源 FinFET 包括第一鳍;

电无源 FinFET 结构,在所述工件上方设置为紧邻所述有源 FinFET,所述电无源 FinFET 包括第二鳍;以及

第二半导体材料,设置在所述第一鳍和所述第二鳍之间。

2. 根据权利要求 1 所述的半导体器件,其中,当从上向下观看所述工件时,沿着所述有源 FinFET 的长度,所述电无源 FinFET 结构基本上与所述有源 FinFET 平行。

3. 根据权利要求 2 所述的半导体器件,其中,当从上向下观看所述工件时,所述电无源 FinFET 结构是连续的。

4. 根据权利要求 2 所述的半导体器件,其中,当从上向下观看所述工件时,所述电无源 FinFET 结构是分段的。

5. 根据权利要求 1 所述的半导体器件,其中,所述有源 FinFET 包括静电放电 (ESD) 电路的一部分。

6. 根据权利要求 5 所述的半导体器件,其中,所述 ESD 电路包括用于逻辑器件、模拟器件、存储器件的 ESD 电路或者输入 / 输出 (I/O) 电路。

7. 根据权利要求 1 所述的半导体器件,其中,所述有源 FinFET 包括 p 沟道金属氧化物半导体 (PMOS) 器件或 n 沟道金属氧化物半导体 (NMOS) 器件,或者在二极管应用中实现所述有源 FinFET。

8. 根据权利要求 1 所述的半导体器件,其中,所述第二半导体材料不同于所述第一半导体材料。

9. 一种制造半导体器件的方法,所述方法包括:

提供工件,所述工件包括第一半导体材料;

在所述工件上方形成多个有源鳍式场效应晶体管 (FinFET),所述多个有源 FinFET 中的每一个都包括第一鳍;

紧邻所述多个有源 FinFET 在所述工件上方形成多个电无源 FinFET 结构,所述多个电无源 FinFET 结构中的每一个都包括第二鳍;以及

利用第二半导体材料部分地填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间。

10. 一种设计半导体器件的方法,所述方法包括:

确定用于多个有源鳍式场效应晶体管 (FinFET) 的布局;

确定所述多个有源 FinFET 之间的距离;

估计在所述多个有源 FinFET 之间确定的所述距离;以及

基于所估计的距离和期望紧邻所述多个有源 FinFET 的鳍形成的半导体材料的量,修改所述布局以包括所述多个有源 FinFET 中的两个有源 FinFET 之间的电无源 FinFET 结构。

半导体器件及其制造和设计方法

技术领域

[0001] 本发明一般地涉及半导体技术领域,更具体地来说涉及半导体器件及其制造和设计方法。

背景技术

[0002] 作为实例,半导体器件在多种电子应用中使用,诸如,个人计算机、手机、数码相机以及其他电子装置。半导体器件通常通过在半导体衬底上方顺页序地沉积绝缘层或介电层、导电层以及半导体材料层,并且使用光刻图案化多种材料层以在其上形成电路部件和元件来制造。

[0003] 多栅极场效应晶体管 (MuGFET) 是半导体技术的最新进展,其通常是将多于一个的栅极结合到单个器件中的金属氧化物半导体 FET (MOSFET)。可以通过单个栅电极控制多个栅极,其中,多个栅极表面在电学上用作单个栅极,或者通过独立的栅电极来控制多个栅极。一种类型的 MuGFET 被称为 FinFET,其是具有垂直突出到集成电路的半导体表面外的鳍式半导体沟道的晶体管结构。

[0004] FinFET 是半导体器件的相对较新的技术。本领域中需要用于包括 FinFET 的半导体器件的改进设计方法、制造方法和结构。

发明内容

[0005] 为了解决现有技术中所存在的缺陷,根据本发明的一方面,提供了一种半导体器件,包括:有源鳍式场效应晶体管 (FinFET),设置在包括第一半导体材料的工件上方,所述有源 FinFET 包括第一鳍;电无源 FinFET 结构,在所述工件上方设置为紧邻所述有源 FinFET,所述电无源 FinFET 包括第二鳍;以及第二半导体材料,设置在所述第一鳍和所述第二鳍之间。

[0006] 在该半导体器件中,当从上向下观看所述工件时,沿着所述有源 FinFET 的长度,所述电无源 FinFET 结构基本上与所述有源 FinFET 平行。

[0007] 在该半导体器件中,当从上向下观看所述工件时,所述电无源 FinFET 结构是连续的。

[0008] 在该半导体器件中,当从上向下观看所述工件时,所述电无源 FinFET 结构是分段的。

[0009] 在该半导体器件中,所述有源 FinFET 包括静电放电 (ESD) 电路的一部分。

[0010] 在该半导体器件中,所述 ESD 电路包括用于逻辑器件、模拟器件、存储器件的 ESD 电路或者输入 / 输出 (I/O) 电路。

[0011] 在该半导体器件中,所述有源 FinFET 包括 p 沟道金属氧化物半导体 (PMOS) 器件或 n 沟道金属氧化物半导体 (NMOS) 器件,或者在二极管应用中实现所述有源 FinFET。

[0012] 在该半导体器件中,所述第二半导体材料不同于所述第一半导体材料。

[0013] 根据本发明的另一方面,提供了一种制造半导体器件的方法,所述方法包括:提

供工件,所述工件包括第一半导体材料;在所述工件上方形成多个有源鳍式场效应晶体管(FinFET),所述多个有源FinFET中的每一个都包括第一鳍;紧邻所述多个有源FinFET在所述工件上方形成多个电无源FinFET结构,所述多个电无源FinFET结构中的每一个都包括第二鳍;以及利用第二半导体材料部分地填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间。

[0014] 在该方法中,形成所述多个电无源FinFET结构包括:使用用于形成所述多个有源FinFET的光刻掩膜。

[0015] 该方法进一步包括:将接触件连接至所述多个有源FinFET中的至少一些。

[0016] 在该方法中,利用所述第二半导体材料部分地填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间包括:外延生长所述第二半导体材料。

[0017] 在该方法中,外延生长所述第二半导体材料包括:形成在所述工件上方的基础构形上方合并的第二半导体材料。

[0018] 在该方法中,外延生长所述第二半导体材料包括:外延生长选自基本由SiGe、SiC、Si、SiP、SiCP、SiCN、或SiGeP以及它们的组合构成的组中的材料。

[0019] 在该方法中,利用所述第二半导体材料部分地填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间包括:形成所述多个有源FinFET的源极区或漏极区。

[0020] 在该方法中,利用所述第二半导体材料部分地填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间包括:过填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间。

[0021] 在该方法中,过填充相邻的第一鳍和第二鳍、相邻的第一鳍对、或相邻的第二鳍对之间的空间包括:过填充所述空间约45nm以下。

[0022] 该方法进一步包括:将接触件连接至相邻的有源FinFET的鳍和电无源FinFET结构的鳍之间、相邻的电无源FinFET结构的多对鳍之间、或相邻的有源FinFET的多对鳍之间的所述第二半导体材料。

[0023] 根据本发明的另一方面,提供了一种设计半导体器件的方法,所述方法包括:确定用于多个有源鳍式场效应晶体管(FinFET)的布局;确定所述多个有源FinFET之间的距离;估计在所述多个有源FinFET之间确定的所述距离;以及基于所估计的距离和期望紧邻所述多个有源FinFET的鳍形成的半导体材料的量,修改所述布局以包括所述多个有源FinFET中的两个有源FinFET之间的电无源FinFET结构。

[0024] 在该方法中,修改所述布局以包括所述电无源FinFET结构增加紧邻所述电无源FinFET结构形成的半导体材料量,并且紧邻所述电无源FinFET结构增加的半导体材料量减小或防止所述多个有源FinFET中的一个的泄漏电流。

附图说明

[0025] 为了更完全理解本公开内容及其优点,现在将结合附图所进行的以下描述作为参考,其中:

[0026] 图1示出根据本公开内容的实施例的半导体器件的一部分的横截面图,其包括多个有源FinFET和至少一个电无源FinFET结构;

- [0027] 图 2 是包括多个有源 FinFET 的半导体器件的最初布局的横截面图；
- [0028] 图 3 是图 2 中所示的最初布局的俯视图；
- [0029] 图 4 是根据实施例的用于包括在有源 FinFET 之间设置的多个伪 FinFET 或电无源 FinFET 结构的半导体器件的布局的横截面图；
- [0030] 图 5 示出在有源 FinFET 和无源 FinFET 结构的鳍之间形成半导体材料之后的图 4 中所示的半导体器件的横截面图；
- [0031] 图 6 示出图 5 中所示的实施例的俯视图；
- [0032] 图 7 示出在有源 FinFET 上方形成接触件之后的图 5 和图 6 中所示的实施例的横截面图；
- [0033] 图 8 示出实现在本文中描述的新半导体器件的电路的示意图；
- [0034] 图 9 是接触件包括在伪 FinFET 之间的实施例的俯视图；
- [0035] 图 10 和图 11 是图 9 中所示的实施例的多个部分的横截面图；
- [0036] 图 12 是本公开内容的另一个实施例的俯视图,其中,对有源 FinFET 结构为分段的并且无源 FinFET 仅设置在半导体器件的预定区域中;以及
- [0037] 图 13 是根据本公开内容的实施例的设计半导体器件的方法的流程图。
- [0038] 除非另外指定,否则不同附图中的相应数字和标号通常指的是相应部件。绘制附图被以清楚地示出实施例的相关方面并且不必按比例绘制。

具体实施方式

[0039] 以下详细地论述了本公开内容的实施例的制造和使用。然而,应该理解,本公开内容提供了许多可以在各种具体环境中实现的可应用发明思想。所论述的特定实施例仅示出制造和使用本公开内容的特定方式,并且不限制本公开内容的范围。

[0040] 本公开内容的实施例涉及诸如 FinFET 的多栅极半导体器件。本文中描述包括有源和无源 FinFET 的新半导体器件、其制造方法、及其设计方法。

[0041] 首先参考图 1, 示出根据本公开内容的实施例的半导体器件 100 的一部分的截面图。半导体器件 100 包括多个有源 FinFET 104 和至少一个电无源 (electrically inactive) FinFET 结构 106。有源 FinFET 104 包括电有源 FinFET 或功能性 FinFET。通过使用术语“有源 FinFET”, 这不意味着在所示制造阶段将该结构通电或者实施电功能。而是, 当对“有源 FinFET”104 适当地进行配置和为其供电时, “有源 FinFET”104 适用于在制成的半导体器件 100 中实现电功能。每个有源 FinFET 104 都包括由半导体材料构成的鳍 107、包括设置在鳍 107 上方的绝缘材料的栅极介电层 108 以及设置在栅极介电层 108 上方的包括半导体材料、导电材料或者它们的结合或多层的栅极 110。有源 FinFET 104 的鳍 107 本文中还被称为第一鳍。

[0042] 作为实例, 电无源 FinFET 结构 106 在本文中还被称为无源 FinFET 结构、无源 FinFET 和 / 或伪 FinFET。电无源 FinFET 结构 106 由形成有源 FinFET 104 的相同材料和相同材料层构成, 但是它们不适用于在制成的半导体器件 100 中实现电功能。例如, 每个无源 FinFET 结构 106 都包括构成有源 FinFET 结构 106 的相同材料的鳍 107'、栅极介电层 108 和栅极 110。无源 FinFET 结构 106 的鳍 107' 在本文中还被称为第二鳍 107'。根据本公开内容的一些实施例, 无源 FinFET 106 不连接或耦合至用于进行半导体器件 100 外部的电接

触的外部接触件。

[0043] 新半导体器件 100 包括设置在两个有源 FinFET 104 之间的至少一个无源 FinFET 106。在图 1 所示的实例中,两个无源 FinFET 106 设置在两个有源 FinFET 104 之间。可选地,根据半导体器件 100 的设计和布局,仅一个无源 FinFET 106 或三个以上的无源 FinFET 106 可以设置在两个有源 FinFET 104 之间。

[0044] 在一些实施例中,可以在有源 FinFET 104 的鳍 107 和无源 FinFET 106 的 107' 之间、在相邻的有源 FinFET 104 的多对鳍 107 之间以及相邻的无源 FinFET 106 的多对鳍 107' 之间形成半导体材料 128 (如图 1 中的虚线所示)。半导体材料 128 在本文中还被称为第二半导体材料。第二半导体材料 128 可以包括与工件 102 的第一半导体材料相同类型的材料,或者可选地,第二半导体材料 128 可以包括与工件 102 的第一半导体材料不同类型的半导体材料。

[0045] 在一些应用中,可能期望使用半导体材料 128 合并鳍 107 和 / 或 107'。例如在“合并外延”工艺中,半导体材料 128 可以使用外延生长工艺形成,以合并鳍 107 和 / 或 107'。新无源 FinFET 的存在有利地改进半导体材料 128 的外延生长,确保完全填充鳍 107 和 / 或 107' 之间的空间以到达工件 102 的顶面,例如,在一些实施例中,至少到达鳍 107 和 107' 的顶面。在一些实施例中,例如,外延生长第二半导体材料 128 包括在工件 102 上方的基础构形上方合并的第二半导体材料 128。

[0046] 无源 FinFET 106 可以通过首先设计用于有源 FinFET 104 的布局在半导体器件 100 的设计中实现。作为实例,图 2 是包括多个有源 FinFET 106 的初始布局的截面图。图 3 是图 2 所示半导体器件 100 的初始布局的俯视图。图 2 示出图 3 所示俯视图的横截面。可能实际上没有根据一些实施例制造图 2 和图 3 所示的结构,但是示出该结构以说明在布局中包括无源 FinFET 106 之前的初始设计布局。所示半导体器件 100 布局仅是实例,并且还可以使用其他布局和设计。在框 105 中,可以形成一个或多个有源 FinFET 104,例如,在一些实施例中,在工件 102 的表面上重复多次 (例如,十几次或几百次) 形成一个或多个有源 FinFET 104。在一些实施例中,例如,框 105 可以包括具有多个 PFET 或多个 NFET 的电路模块,其中,PFET 没有与 NFET 结合,反之亦然。

[0047] 例如,半导体器件 100 包括可以包括 P 衬底的工件 102,但是可选地,工件 102 可以包括 N 衬底。如图所示,包括 N 阱 (或可选地,P 阱) 的阱 120 可以紧邻工件 102 的顶部形成。有源 FinFET 104 包括由阱 120 材料形成的鳍 107、包括设置在栅极 110 上方的绝缘材料的硬掩膜材料 124 以及还包括在栅极介电层 108、栅极 110 和硬掩膜 124 的侧壁上形成的绝缘材料的侧壁隔离件 126。隔离区 122 可以包括浅沟槽隔离 (STI) 氧化物或其他绝缘区,该隔离区可以形成在工件 102 内的多个位置处。作为实例,有源 FinFET 104 可以包括 p 沟道金属氧化物半导体 (PMOS) 器件或 n 沟道金属氧化物半导体 (NMOS) 器件,或者可以在二极管应用中实现。

[0048] 在一些实施例中,区域 112 可以包括含 PMOS 器件的有源 FinFET 104。半导体器件 100 可以包括具有包含 NMOS 器件的有源 FinFET 的其他区域 (未示出)。可选地,半导体器件 100 的区域 112 和其他区域可以包括相同类型的器件、或其他类型的器件。

[0049] 图 3 所示半导体器件 100 布局的俯视图示出了有源 FinFET 104 在所示视图的垂直方向上在工件 102 的表面上方纵向延伸。在一些设计中,在可以形成有源 FinFET 104 的

源极区和漏极区的随后制造工艺步骤中形成半导体材料 128。随后形成通过通孔 132 连接至半导体材料 128 的接触件 130, 并且随后还形成连接至有源 FinFET 104 的栅极 110 的接触件 136。例如, 接触件 130 和 136 可以包括槽接触件 (slot contact), 其还用作半导体器件 100 的互连件。

[0050] 再次参考图 2, 在确定用于有源 FinFET 104 的布局之后, 分析包括有源 FinFET 104 之间的距离的尺寸 d_{1a} 和 d_{1b} 。相邻有源 FinFET 104 之间的一些距离可能大于其他距离。例如, 在图 2 和图 3 所示的实例中, 尺寸 d_{1a} 大于尺寸 d_{1b} 。

[0051] 根据本公开内容的实施例, 基于有源 FinFET 104 之间的距离确定无源 FinFET 106 的布置。在一些实施例中, 还可以将期望在多个有源 FinFET 104 之间形成的半导体材料 128 的量视为位于无源 FinFET 106 的位置中。然后, 改变半导体器件 100 的布局, 以在设计中包括无源 FinFET 106。在一些实施例中, 无源 FinFET 106 的存在通过提供均匀结构 (诸如改进的更均匀的构形) 来改进随后制造工艺步骤的结果。例如, 如果使用外延生长工艺在图 2 和图 3 所示的设计中在有源 FinFET 104 之间形成半导体材料 128, 则在有源 FinFET 104 之间具有大距离 (诸如, 尺寸 d_{1a}) 的有源 FinFET 104 之间可能形成不足量的半导体材料 128。在一些实施例中, 这可能对半导体器件 100 的性能产生不利影响。例如不完全到达有源 FinFET 104 的鳍 107 的顶面的不足量的半导体材料 128 可能导致从有源 FinFET 104 的漏极到工件 102 的高泄漏电流 (例如, PN 结泄漏)。

[0052] 图 4 是根据实施例的在包含设置在有源 FinFET 104 之间的多个电无源 FinFET 106 之后用于图 2 和图 3 中所示的半导体器件 100 的布局的截面图。包括在有源 FinFET 104 之间的无源 FinFET 106 的数量是包括有源 FinFET 104 之间的距离的尺寸 d_{1a} 和 d_{1b} 的函数。作为实例, 在包括尺寸 d_{1a} 的有源 FinFET 104 之间设置三个无源 FinFET 106, 并且在用于尺寸 d_{1b} 的有源 FinFET 104 之间不设置无源 FinFET 106。可选地, 在设计中可以包括一个或多个无源 FinFET 106。

[0053] 在一些实施例中, 如图 4 所示, 可以设计用于半导体器件 100 的布局, 使得包括在相邻有源 FinFET 104 和 / 或无源 FinFET 106 之间的距离以及还在多对相邻的有源 FinFET 104 和多对相邻的无源 FinFET 106 之间的距离的尺寸 d_2 基本相同。例如, 尺寸 d_2 可以为约 $0.04 \mu\text{m}$ 至约 $3 \mu\text{m}$, 但是可选地, 尺寸 d_2 可以包括其他尺寸。例如, 尺寸 d_2 在设计中可以改变核心栅极长度 (core gate length) 和 / 或输入 / 输出 (IO) 栅极长度。例如, 在一些实施例中, 尺寸 d_2 可以被选择为基本上等于包括两个有源 FinFET 104 之间的最小距离的尺寸 d_{1b} 。可选地, 包括相邻有源 FinFET 104 和 / 或无源 FinFET 106 之间的距离、以及多对相邻有源 FinFET 104 和多对相邻无源 FinFET 106 之间的距离的尺寸 d_2 可以不同。

[0054] 为了制造半导体器件 100, 除了修改用于图案化有源 FinFET 104 的栅极 110 和鳍 107 的光刻掩膜, 当不包括无源 FinFET 106 时, 实施制造工艺流程。例如, 如图 4 所示, 首先提供工件 102。例如, 工件 102 可以包括包含硅或其他半导体材料的半导体衬底并且可以被绝缘层覆盖。工件 102 还可以包括其他有源部件或电路 (未示出)。例如, 工件 102 可以包括单晶硅上氧化硅。工件 102 可以包括其他导电层或其他半导体元件, 例如, 晶体管、二极管等。作为实例, 可以使用化合物半导体 (GaAs、InP、Si/Ge、或 SiC) 代替硅。作为实例, 工件 102 可以包括绝缘体上硅 (SOI) 或绝缘体上锗 (GOI) 衬底。在本文所描述的一些实施例中, 工件 102 可以包括第一半导体材料。

[0055] 通过图案化工件 102 并且利用绝缘材料填充图案,可以在工件 102 中形成隔离区 122。例如,隔离区 122 可以包括二氧化硅或其他绝缘材料。使用注入工艺在工件 102 中形成阱 120,并且使用光刻或其他方法在阱 120 中形成鳍 107 和 107'。在形成鳍 107 和 107' 之后,可以在鳍 107 和 107' 上方形成栅极介电层 108、栅极 110、硬掩膜 124 以及侧壁隔离件 126。

[0056] 在另一示意性工艺中,可以在未图案化的工件的表面上方形成氧化物层(未示出),然后图案化氧化物层以在其中形成一系列沟槽,沟槽对应于随后形成的有源 FinFET 104 和无源 FinFET 106 的尺寸和位置。使用已知外延生长工艺,可以在沟槽内从工件 102 的暴露表面外延生长用于有源 FinFET 104 的鳍 107 和用于无源 FinFET 106 的鳍 107',从而形成鳍 107 和 107'。

[0057] 不管鳍 107 和 107' 形成工艺如何,在形成鳍 107 和 107' 之后,可以在工件 102 上方形成栅极介电材料 108,并且在介电材料层 108 上方形成包括诸如硅的半导体材料或其他半导体材料的栅极材料 110。沉积并且图案化硬掩膜 124,然后,在图案化栅极材料 110 和栅极介电材料 108 的同时,硬掩膜 124 以及可选的光刻胶(未示出)层被用作掩膜。然后,在栅极介电层 108、栅极 110 以及硬掩膜 124 的侧面上形成侧壁隔离件 126。作为实例,侧壁隔离件 126 可以包括通过沉积和各向同性蚀刻工艺形成的氮化硅、二氧化硅、其他绝缘体或它们的结合或多层,但是可选地,侧壁隔离件 126 可以包括其他材料并且可以使用其他方法形成侧壁隔离件。

[0058] 在工件 102 包括 SOI 衬底的实施例中,例如,SOI 衬底可以包括工件 102 材料、栅极介电材料层 108 以及栅极材料 110。硬掩膜 124 被沉积在栅极材料 110 上方并且进行图案化。然后,在图案化栅极材料 110、栅极介电材料 108 以及工件 102 的阱 120 同时,硬掩膜 124 和可选的光刻胶层(未示出)被用作掩膜,以形成栅极 110、栅极介电层 108 以及有源 FinFET 104 的鳍 107 和无源 FinFET 106 的鳍 107'。

[0059] 有利地,在一些实施例中,可以使用图案化有源 FinFET 104 的相同光刻掩膜来图案化无源 FinFET 106,从而避免了要求使用附加光刻掩膜。

[0060] 有源 FinFET 104 的鳍 107 和无源 FinFET 106 的鳍 107' 分别可以在纵向上延伸(例如,图 4 中的页面内和外)约 $0.2\mu\text{m}$ 至约 $50\mu\text{m}$,并且作为实例,可以包括约 50nm 的宽度,但是可选地,例如,鳍 107 和 107' 可以根据应用包括其他尺寸。

[0061] 图 5 示出在相邻的有源 FinFET 104 的鳍 107 和无源 FinFET 106 的鳍 107' 之间、多对相邻的有源 FinFET 104 之间以及多对相邻的无源 FinFET 106 之间形成半导体材料 128 之后的图 4 所示半导体器件 100 的截面图。半导体材料 128 的形成可以包括外延生长方法,但是半导体材料 128 可以可选地通过其他方法形成。在外延生长工艺期间,硬掩膜 124 材料和侧壁隔离件 126 材料防止分别在有源 FinFET 104 和无源 FinFET 106 的顶面上并且在有源 FinFET 104 和无源 FinFET 106 的栅极 110 和栅极介电层 108 的侧壁上形成半导体材料 128。分别紧邻有源 FinFET 104 的鳍 107 和无源 FinFET 106 的鳍 107' 生长半导体材料 128。作为实例,半导体材料 128 可以包括 Si、SiGe 或 SiC,但是可选地,半导体材料 128 可以包括其他材料。作为另一实例,半导体材料 128 可以包括用于 NFET 器件的 SiP、SiCP、SiCN 或 SiGeP。

[0062] 在一些实施例中,半导体材料 128 至少部分填充有源 FinFET 104 和无源 FinFET

106 的相邻鳍 107 和 107'、有源 FinFET 104 的相邻对鳍 107 和 / 或无源 FinFET 106 的相邻对鳍 107' 之间的空间。在其他实施例中,可以形成半导体材料 128,其中,在一些实施例中,半导体材料 128 的顶面基本上与有源 FinFET 104 的鳍 107 和无源 FinFET 106 的鳍 107' 的顶面共面。在其他实施例中,半导体材料 128 可以具有在鳍 107 和 107' 的顶面上方突出例如约 45nm 以下的顶面,并且在一些实施例中,可以具有低于栅极高度的顶面。可选地,例如,鳍 107 和 / 或 107' 的顶面可以包括其他相对尺寸。

[0063] 在一些实施例中,半导体材料 128 的外延生长可以包括“双外延”方法,其中,在工件 102 的其他区域(未示出)中外延生长一种类型的半导体材料的同时,掩蔽工件 102 的第一区域 112,并且例如,在工件 102 的第一区域 112 中外延生长另一种类型的半导体材料的同时,掩蔽工件 102 的其他区域。例如,在一些应用中,可以形成用于 NMOS 和 PMOS 器件的不同类型的半导体材料 128。在一些应用中,包括 Si 的半导体材料 128 可以用于 NFET 器件,并且包括 SiGe 的半导体材料 128 可以用于 PFET 器件。可选地,其他类型的半导体材料可以用于半导体材料 128。

[0064] 电无源 FinFET 106 的存在增加了紧邻电无源 FinFET 结构 106 生长的半导体材料 128 的数量,因此增加了在紧邻无源 FinFET 结构 106 的有源 FinFET 104 附近生长的半导体材料 128。有利地,在一些实施例中,无源 FinFET 106 的存在导致半导体材料 128 完全填充有源 FinFET 104 的鳍 107 和无源 FinFET 106 的鳍 107' 之间的空间,从而防止或减小有源 FinFET 104 中的泄漏电流。

[0065] 图 6 示出图 5 所示实施例的俯视图。在图 5 中示出图 6 的一个截面图,并且在图 7 中示出图 6 的另一个截面图。在紧邻电有源 FinFET 104 的工件 102 上方设置电无源 FinFET 106。在俯视图中,无源 FinFET 106 沿着有源 FinFET 104 的长度延伸,并且沿着有源 FinFET 104 的长度基本上与有源 FinFET 104 平行。无源 FinFET 106 在图 6 所示实施例中是连续的。在有源 FinFET 104 上方的半导体器件 100 的上部材料层中形成接触件 136。根据实施例,接触件 136 连接至多个有源 FinFET 104 中的至少一些。在一些实施例中,在无源 FinFET 106 上方不形成接触件,无源 FinFET 106 是电无源的。接触件 132 和通孔 130 提供与半导体材料 128 的电接触,在一些实施例中,半导体材料 128 形成有源 FinFET 的源极区和漏极区。

[0066] 图 7 示出在有源 FinFET 104 上方形成接触件 136 之后的图 5 和图 6 所示实施例的区域 112 的截面图。在形成接触件 136 之后去除硬掩膜 124,并且在有源 FinFET 104 上方形成接触件 136 之前,在有源 FinFET 104 和无源 FinFET 106 的栅极 110 的上方可以形成可选导电材料或半导体材料 138。材料 138 可以包括使用硅化工艺形成的硅化物、或者使用外延生长处理形成的半导体材料。可选地,材料 138 可以包括使用其他方法形成的其他类型的材料。在一些实施例中,作为另一个实例,材料 138 可以包括 NiSix。材料 138 可以可选地包括其他硅化物材料。

[0067] 例如通过在半导体器件 100 的有源 FinFET 104 和无源 FinFET 106 上方沉积绝缘材料 140、图案化绝缘材料 140 并且利用导电材料填充绝缘材料 140 中的图案,使用单镶嵌工艺或使用双镶嵌工艺来形成接触件 130 和 136 以及通孔 132。可以使用导电材料的负蚀刻工艺(subtractive etch process)可选地形成接触件 130 和 136 以及通孔 132,然后在接触件 130 和 136 以及通孔 132 之间沉积绝缘材料 140。

[0068] 图 8 示出实现在本文中描述的新半导体器件 100 的电路 150 的示意图。作为实例，图 8 所示的电路 150 可以被实现为用于逻辑器件、模拟器件、存储器件（诸如，静态随机存取存储器（SRAM）器件、其他类型的存储器件）的 ESD 电路、或输入 / 输出（I/O）电路，但是可选地，电路 150 可以在其他应用中使用。在一些实施例中，通过与宽间隔的有源 FinFET 104 接近的无源 FinFET 106 制造的本文所述有源 FinFET 104 可以在电路 150 中实现，代替 ESD 电路应用中的传统平面器件。例如，电路 150 可以包括包含在本文中描述的伪 FinFET 106 的 I/O ESD 二极管或其他二极管应用。

[0069] 图 9 是接触件 130 包括在伪 FinFET 106 之间的实施例的俯视图。图 10 和图 11 是图 9 所示实施例的部分的截面图。在一些实施例中，如图所示，包括槽接触件的接触件 130 和通孔 132 可以在每个伪 FinFET 106 之间形成，伪 FinFET 106 可以包括公共漏极。例如，制造半导体器件 100 的方法可以包括将接触件 130 连接至相邻的有源 FinFET 104 的鳍 107 和无源 FinFET 结构 106 的鳍 107' 之间、多对相邻的无源 FinFET 结构 106 的鳍 107' 之间、或多对相邻的有源 FinFET 104 的鳍 107 之间的第二半导体材料 128。

[0070] 图 10 示出可以制造的与新半导体器件 100 的电连接。每个伪 FinFET 106 之间和相邻的有源 FinFET 104 和伪 FinFET 106 之间的半导体材料 128 可以电连接至 V_{in} 触点。如图所示，诸如有源 FinFET 104 的栅极 G 的半导体器件 100 的其他部分和工件 102 的部分（例如， N^+ 部分）可以连接至 V_{dd} 触点。图 11 示出了与图 10 中所示的示意图垂直定向的示意图，示出合并外延生长的半导体材料 128 和在半导体材料 128 之上形成的硅化物 129 的形状。

[0071] 图 12 是本公开内容的另一个实施例的俯视图，其中，无源 FinFET 106 为分段的并且无源 FinFET 106 仅设置在半导体器件 100 的预定区域中。在图 6 所示实施例中的无源 FinFET 106 为连续时，图 12 中的无源 FinFET 106 是不连续的或者包括多个片段 106a、106b 和 106c。片段 106a、106b 和 106c 包括先前描述用于连续无源 FinFET 106（鳍 107'、栅极介电层 108 和栅极 110）的材料。包括有源 FinFET 104 和相邻的无源 FinFET 106 之间的距离以及多对相邻的无源 FinFET 106 片段之间的距离的尺寸 d_2 可以包括与先前描述的用于图 4 的尺寸 d_2 的类似尺寸。包括交替有源 FinFET 104 和无源 FinFET 106 之间的距离的尺寸 d_3 可以包括约两倍尺寸 d_2 加上有源 FinFET 104 的鳍 107 或无源 FinFET 106 的鳍 107' 的宽度。根据一些实施例，尺寸 d_4 还示出可以存在不包括无源 FinFET 106 的大于尺寸 d_2 和 d_3 的区域。无源 FinFET 106 可以位于布局的一些区域中，其中，在半导体器件 100 中的使用无源 FinFET 是有利的，但是在其他区域中仍然可以省略。

[0072] 在图 5、图 7、图 10 和图 11 所示的截面图中，在有源 FinFET 104 的鳍 107 和 / 或无源 FinFET 106 的鳍 107' 之间示出了合并外延生长半导体材料，其中，半导体材料 128 完全填充鳍 107 和 / 或 107' 之间的空间。可选地，可以控制和优化半导体材料 128 的外延生长，使得鳍 107 和 107' 在构形上保持他们的形状：在一些实施例中，半导体材料 128 的外延生长可以不合并（在图中未示出），使得半导体材料 128 部分填充鳍 107 和 / 或 107' 之间的空间。在其他实施例中，如图 5、图 7 和图 10 所示，半导体材料 128 的外延生长可选地过填充鳍 107 和 / 或 107' 之间的空间。

[0073] 图 13 是根据本公开内容的实施例的设计半导体器件 100 的方法的流程图 160。如图 2 和图 3 所示，该方法包括确定用于有源 FinFET 104 的布局（步骤 162）。确定有源

FinFET 104之间的距离(例如,图2的尺寸 d_{1a} 和 d_{1b})(步骤164),并且估计有源FinFET 104之间确定的距离(步骤166)。该方法包括:基于所估计的距离和期望在多个有源FinFET 104的鳍107之间形成的半导体材料128的量,修改布局,以在有源FinFET 104之间包括电无源FinFET结构106(步骤168)。然后,制造用于修改后的布局的光刻掩膜(步骤170)。然后,光刻掩膜用于制造半导体器件100(步骤172)。例如,用于有源FinFET 104的栅极110图案限定的光刻掩膜的布局可以改变,以包括用于在本文中描述的新型的伪FinFET 106的图案限定。

[0074] 本公开内容的实施例包括包含有源FinFET 104和无源FinFET 106的半导体器件100及其制造方法。本公开内容的实施例还设计用于包括在本文中描述的新型的有源FinFET 104和无源FinFET 106的半导体器件100的方法。

[0075] 本公开内容的实施例的优点包括:提供包括有源FinFET器件104和无源FinFET器件106的新型的半导体器件100和结构。无源FinFET 106通过改进有源FinFET 104的鳍107之间和附近的外延生长工艺来改进半导体器件100性能。在宽间隔的有源FinFET 104之间插入伪FinFET 106解决了在一些实施例中可以在有源FinFET 104的鳍107之间形成的半导体材料128的外延生长的负载效应问题。改进的更均匀合并外延生长半导体材料128例如在接触件136形成期间防止接触件蚀刻穿透(etch-through),以减小或防止有源FinFET 104的泄漏电流。具有改进的均匀外延生长的半导体材料128导致改进的硅化物129形成,诸如, $NiSi_x$,其可以在形成接触件136之前在半导体材料128上方形成。例如,改进的硅化物129形成可以防止由接触件136蚀刻穿透导致的高结泄漏。通过包括新型的伪FinFET106所提供的改进的外延生长窗口避免了宽间隔的有源FinFET 104区域中的外延合并问题。

[0076] 而且,伪FinFET 106可以容易地进行测试,例如,使用扫描电子显微镜(SEM)图像、透射电子显微镜(TEM)图像、或能量色散X-射线(EDX)分析,来检验其结构或分析表面元素。不需要其他光刻掩膜和其他制造工艺步骤来制造无源FinFET 106。在半导体器件100的制造工艺流程中可容易地实现在本文中描述的新型的伪FinFET 106和设计。

[0077] 根据本公开内容的一个实施例,半导体器件包括:设置在包括第一半导体材料的工件上方的有源FinFET,有源FinFET包括第一鳍。在最接近有源FinFET的工件上方设置电无源FinFET结构,电无源FinFET包括第二鳍。在第一鳍和第二鳍之间设置第二半导体材料。

[0078] 根据另一个实施例,制造半导体器件的方法包括:提供工件,工件包括第一半导体材料;并且在工件上方形成多个有源FinFET,多个有源FinFET中的每个都包括第一鳍。该方法包括:在最接近多个有源FinFET的工件上方形成多个电无源FinFET结构,多个电无源FinFET结构中的每个都包括第二鳍,并且通过第二半导体材料部分填充相邻的第一鳍和第二鳍、相邻对第一鳍、或相邻对第二鳍之间的空间。

[0079] 根据又一个实施例,设计半导体器件的方法包括:确定用于多个有源FinFET的布局,确定多个有源FinFET之间的距离,以及估计多个有源FinFET之间确定的距离。基于所估计的距离和期望最接近多个有源FinFET的鳍形成的半导体材料的量,修改布局,以在多个有源FinFET中的两个之间包括电无源FinFET结构。

[0080] 虽然已经详细地描述了本公开内容的实施例及其优点,但是应该理解,在不脱离

由所附权利要求限定的本公开内容的精神和范围的情况下,在本文中可以进行多种改变、替换和更改。例如,本领域技术人员应该容易理解,在本文中描述的很多特征、功能、工艺和材料可以改变,但是仍然在本公开内容的范围内。而且,本申请的范围不旨在限于说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域技术人员根据本公开可以很容易地想到,当前存在的或者令后开发的执行与这里所述的相应实施例基本相同的功能或者完成与这里所述的相应实施例基本相同的结果的工艺、机器、制造、材料组分、装置、方法和步骤可以根据本公开被利用。从而,所附权利要求旨在包括在这种工艺、机器、制造、材料组分、装置、方法或步骤的范围内。

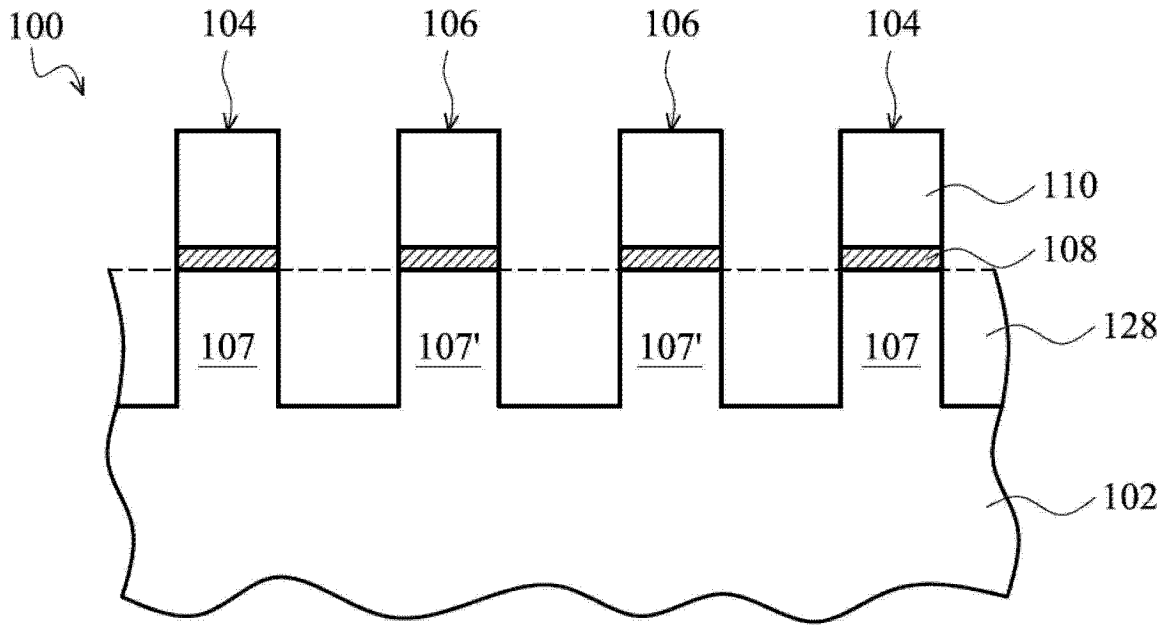


图 1

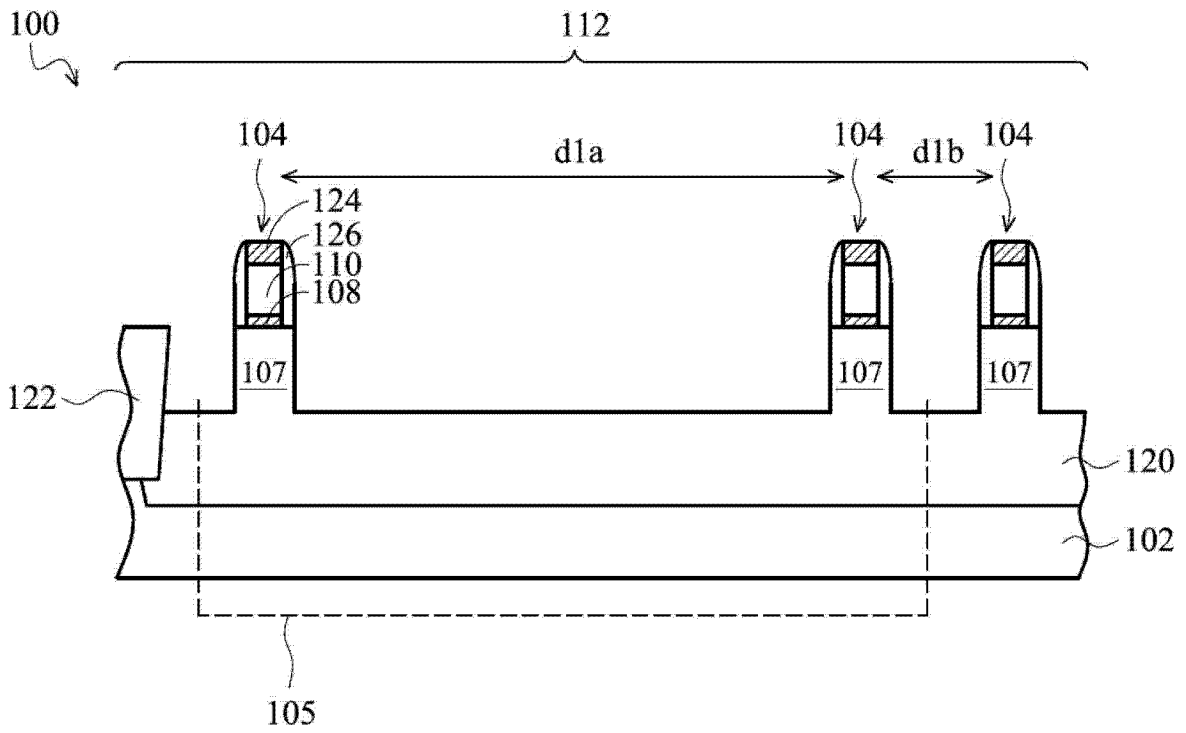


图 2

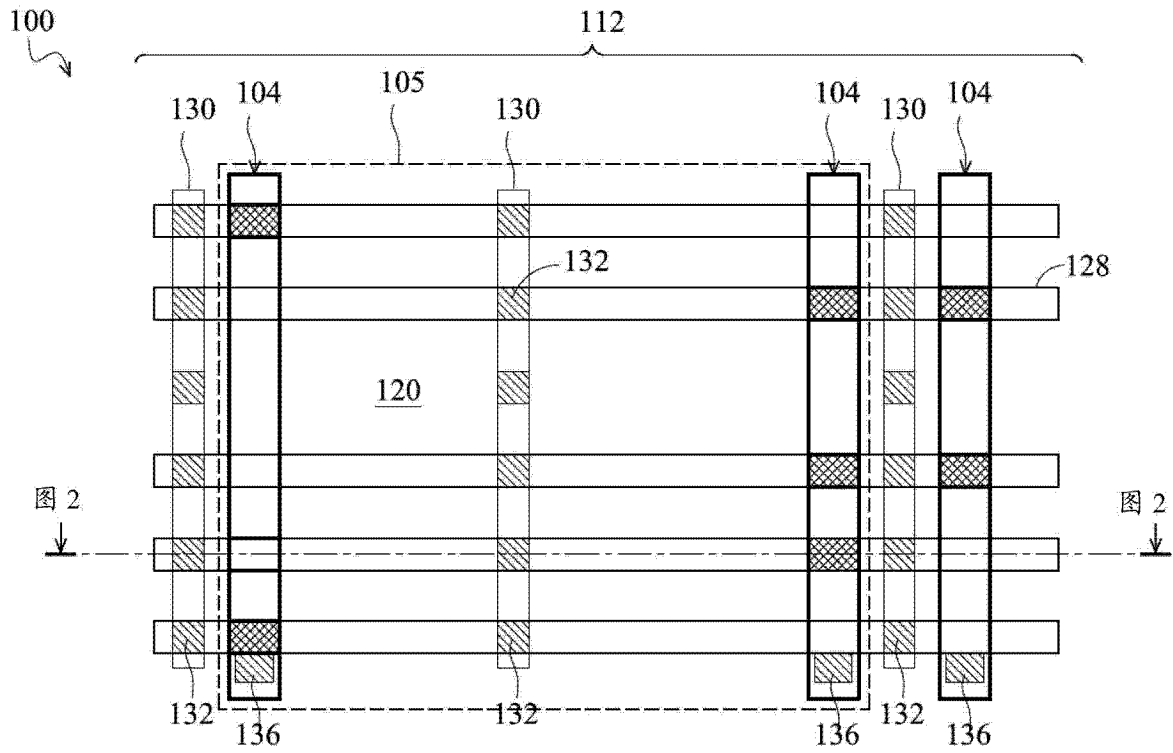


图 3

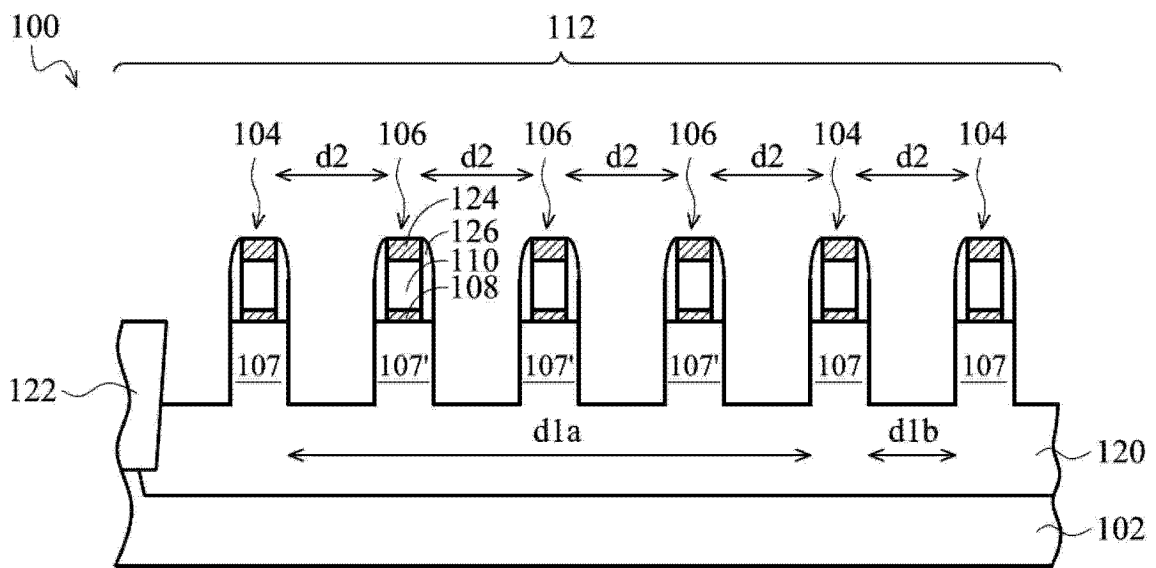


图 4

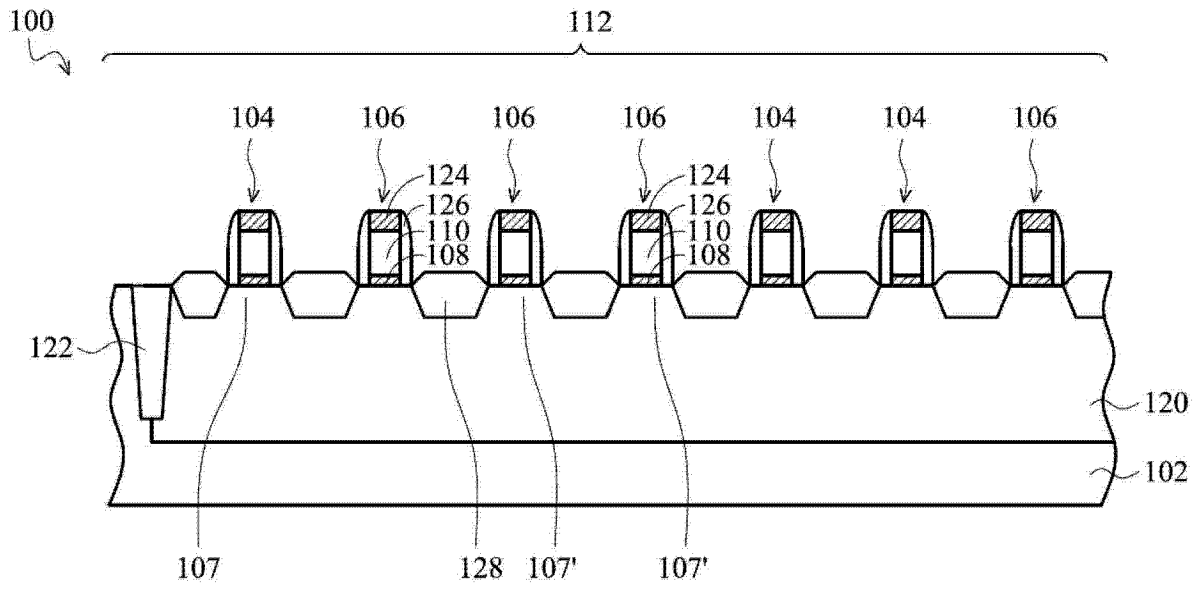


图 5

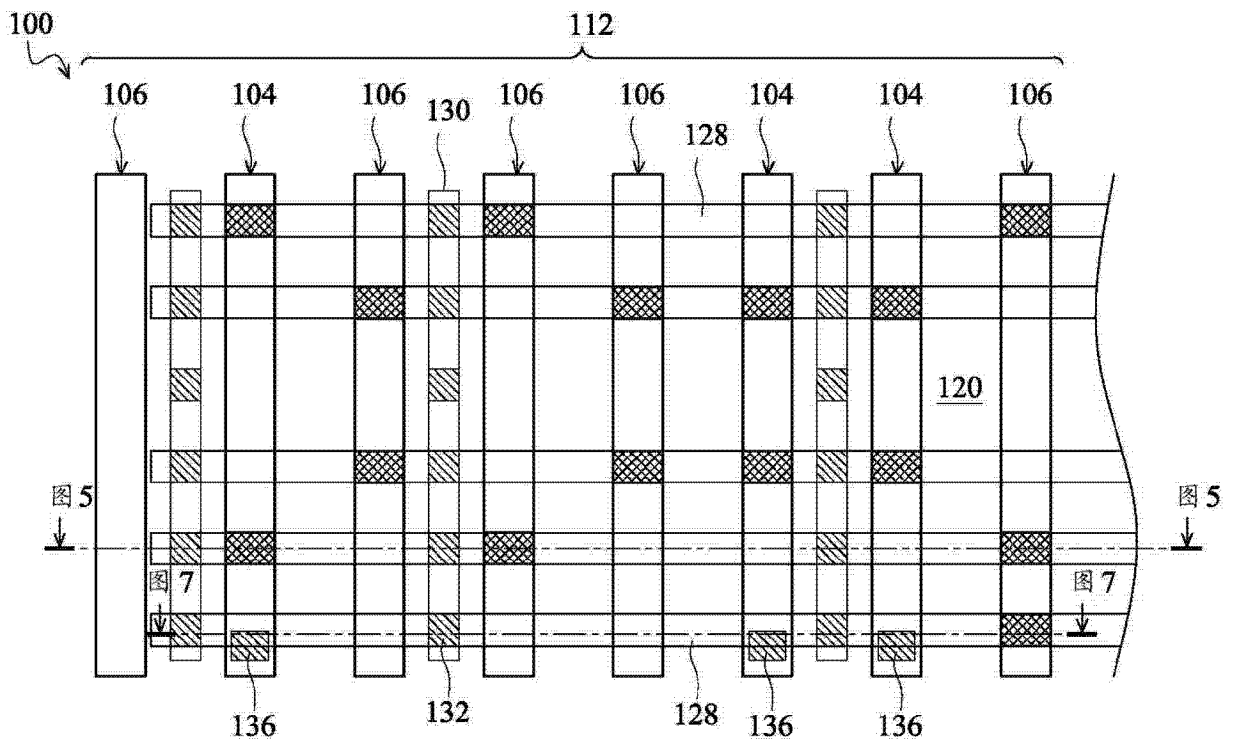


图 6

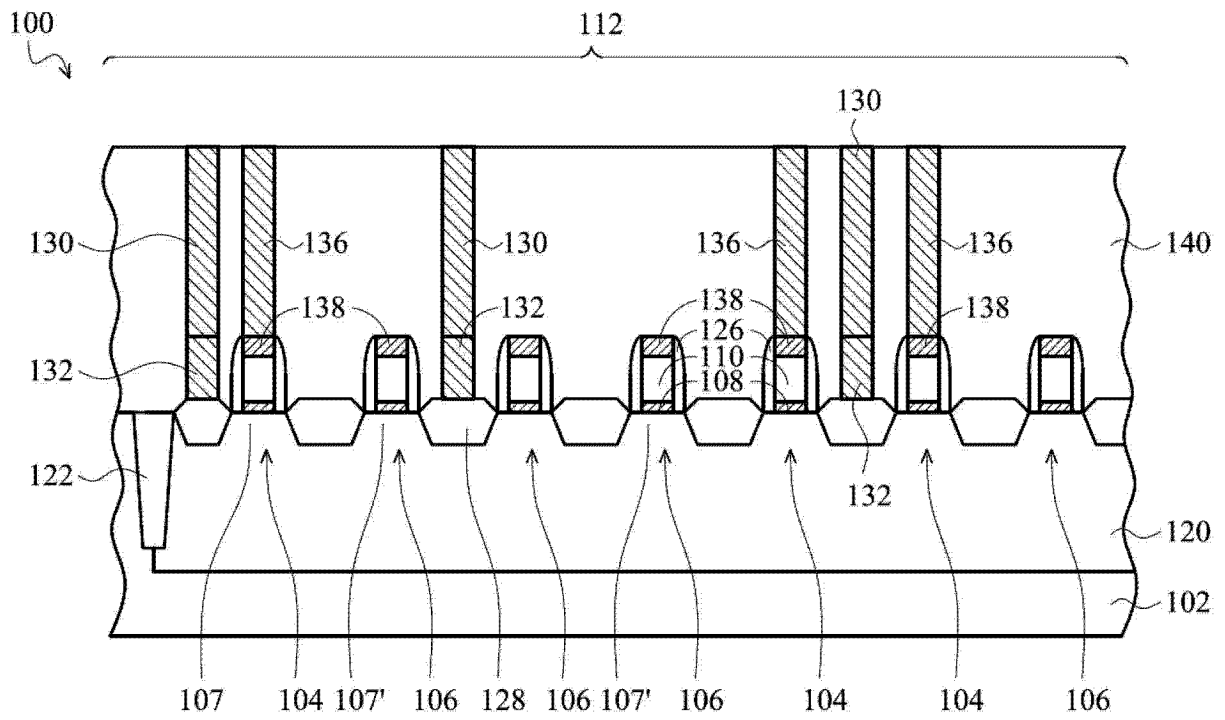


图 7

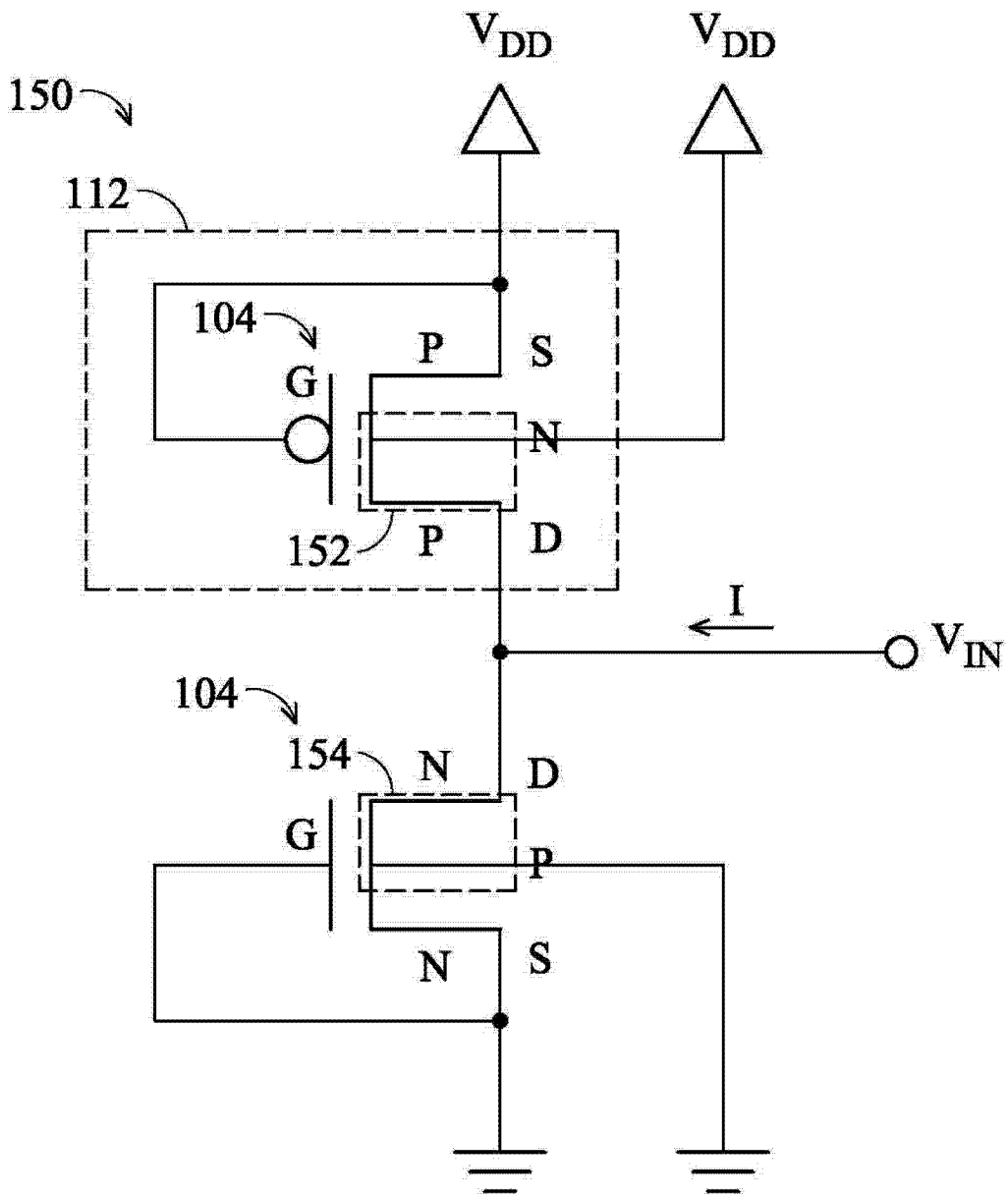


图 8

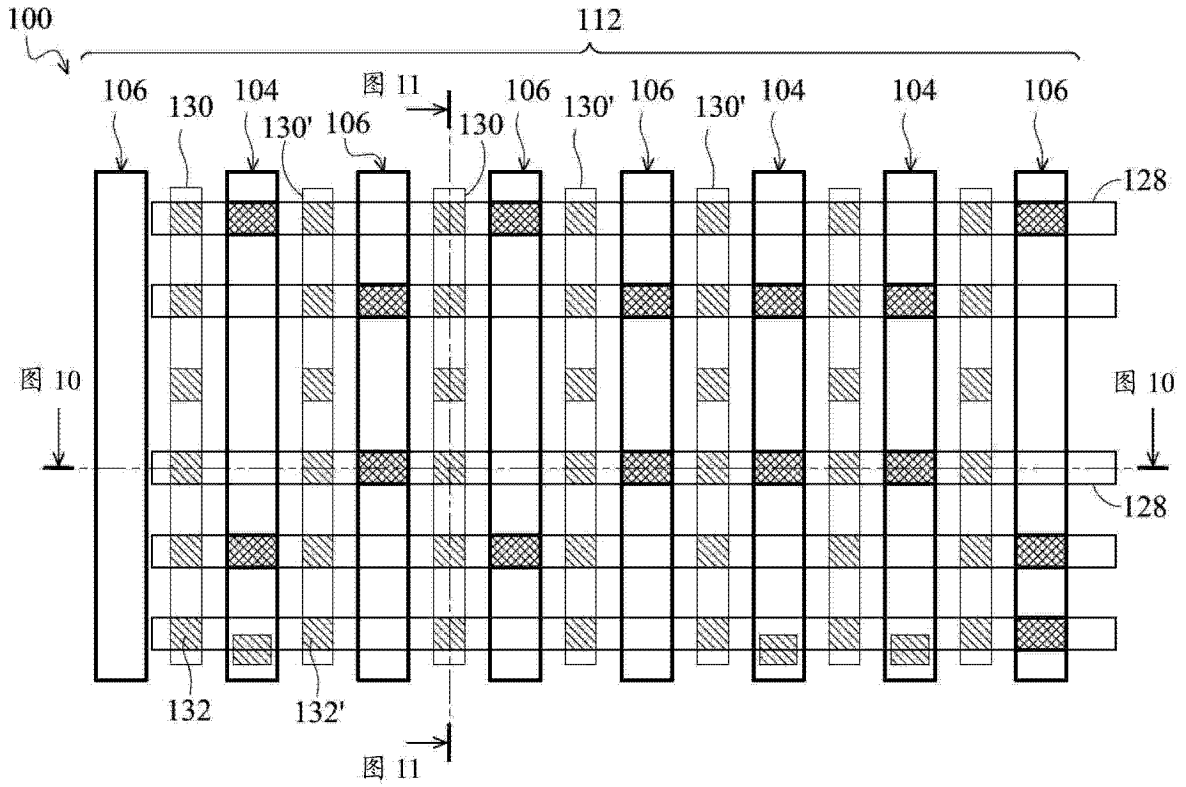


图 9

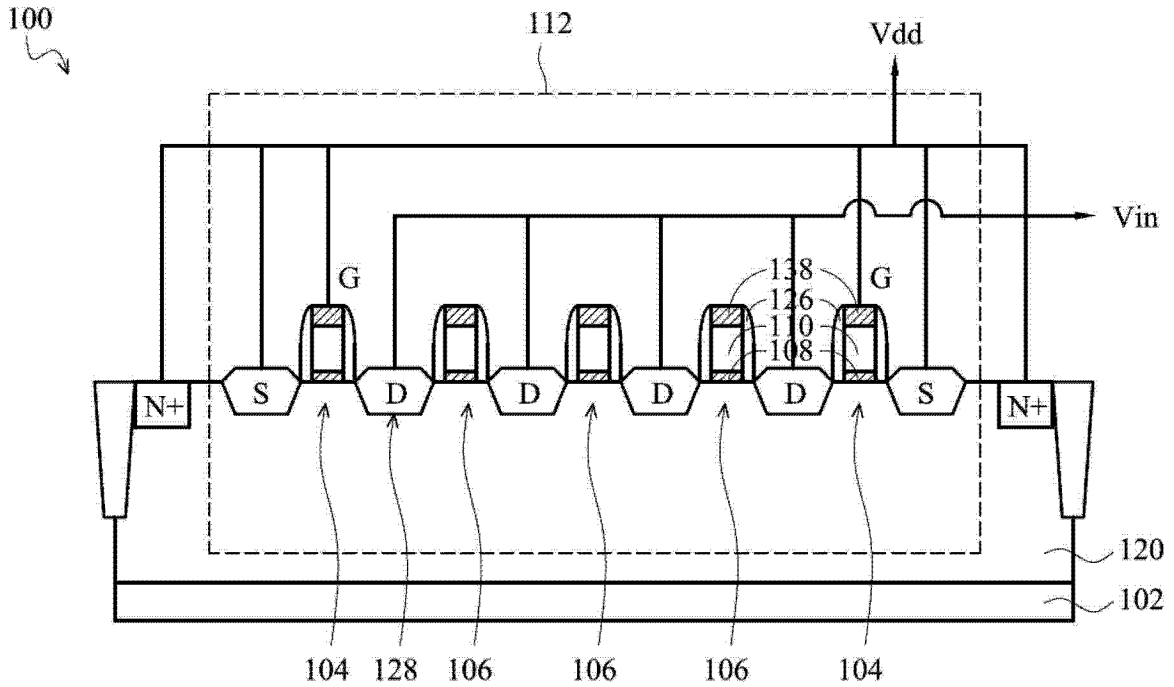


图 10

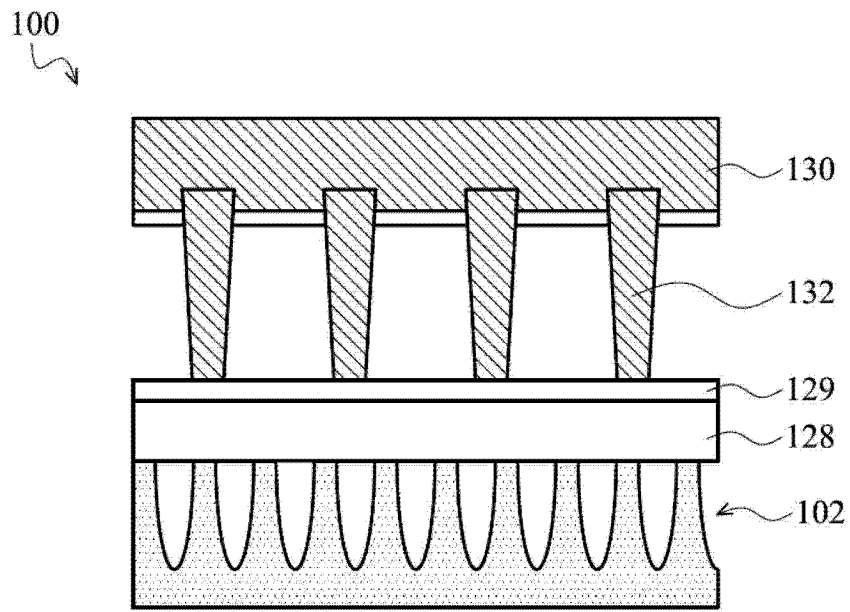


图 11

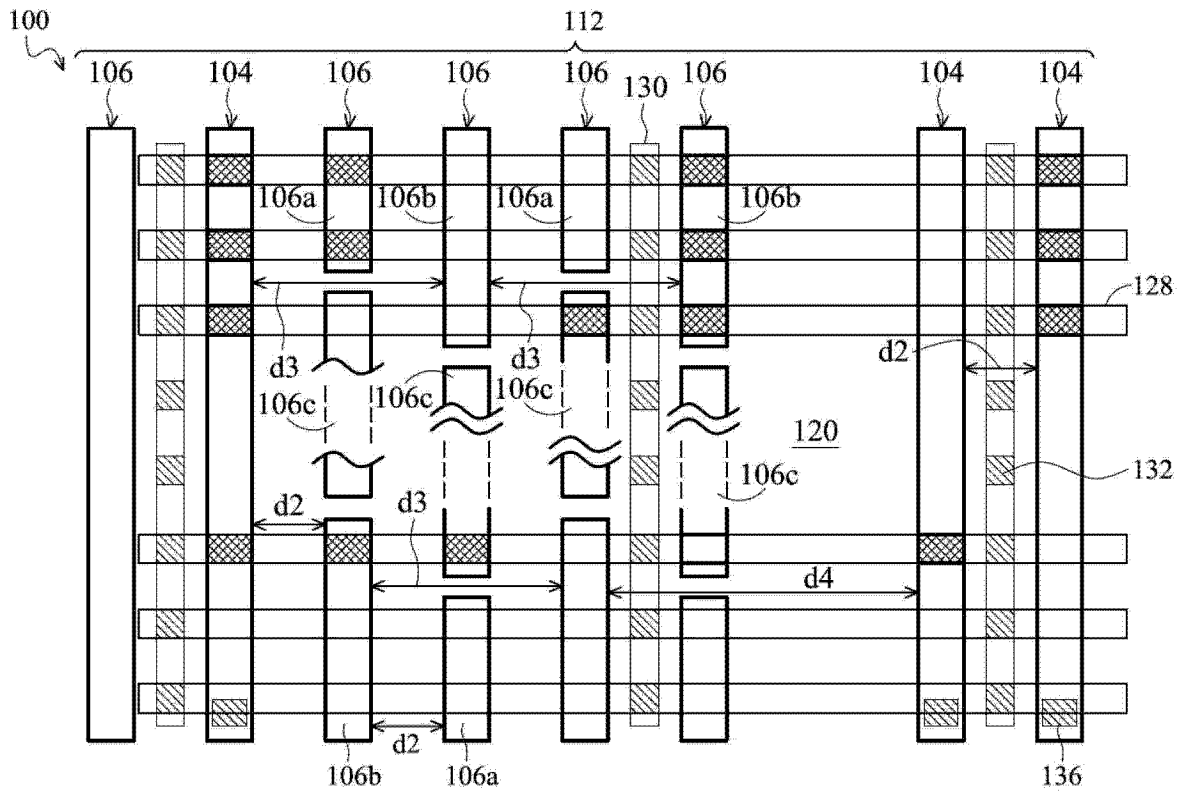


图 12

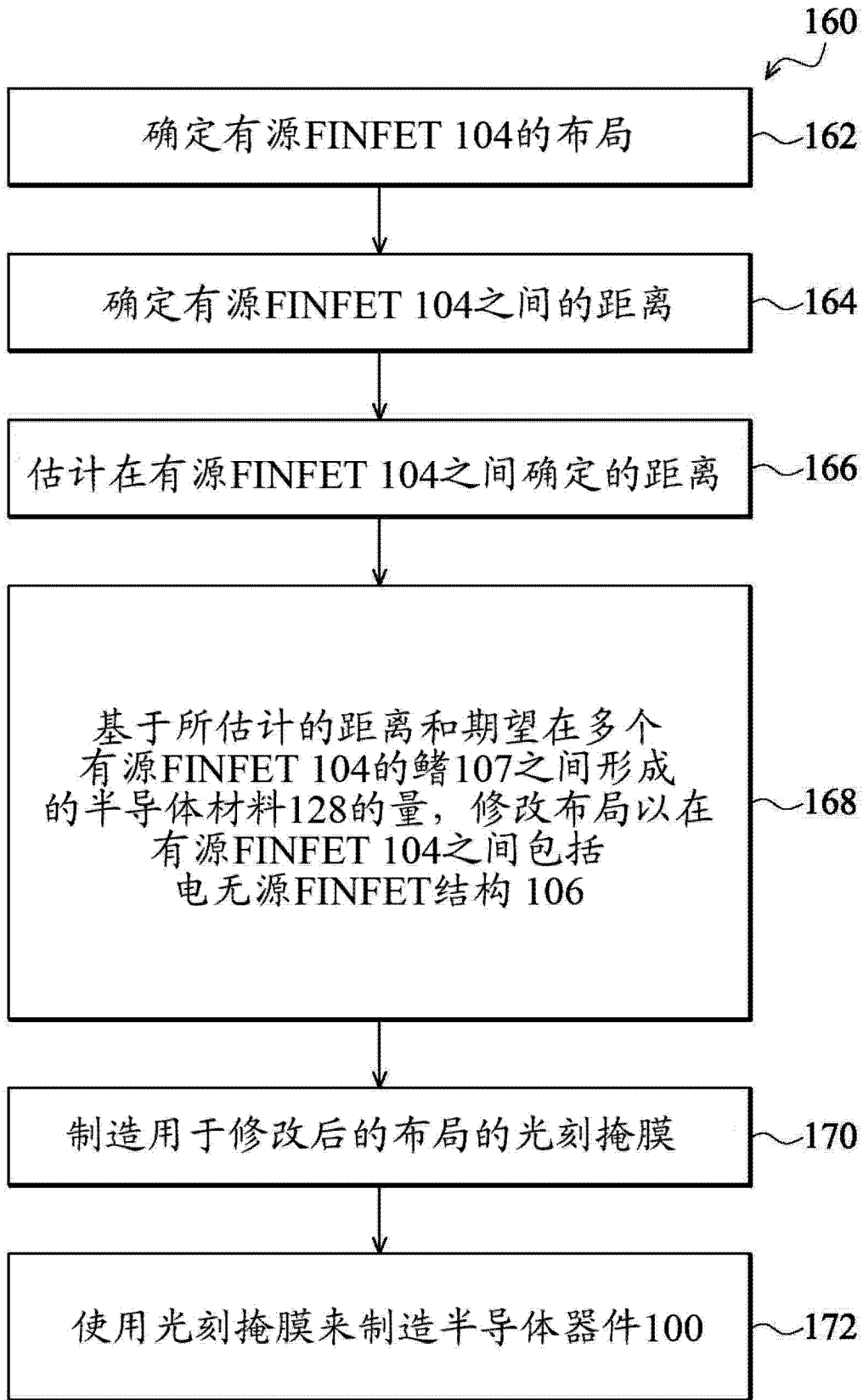


图 13