



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0087103  
(43) 공개일자 2024년06월19일

- |   |  |
|---|--|
| (51) 국제특허분류(Int. Cl.)<br>G06F 3/06 (2006.01) G06F 13/38 (2006.01)<br>G06F 21/44 (2013.01) | (71) 출원인<br>삼성전자주식회사<br>경기도 수원시 영통구 삼성로 129 (매탄동)  |
| (52) CPC특허분류<br>G06F 3/0659 (2013.01)<br>G06F 13/38 (2013.01)                             | (72) 발명자<br>이승호<br>경기도 수원시 영통구 삼성로 129<br>염윤호<br>경기도 수원시 영통구 삼성로 129<br>최명식<br>경기도 수원시 영통구 삼성로 129 |
| (21) 출원번호 10-2022-0172472   | (74) 대리인<br>박영우  |
| (22) 출원일자 2022년12월12일<br>심사청구일자 없음  |  |

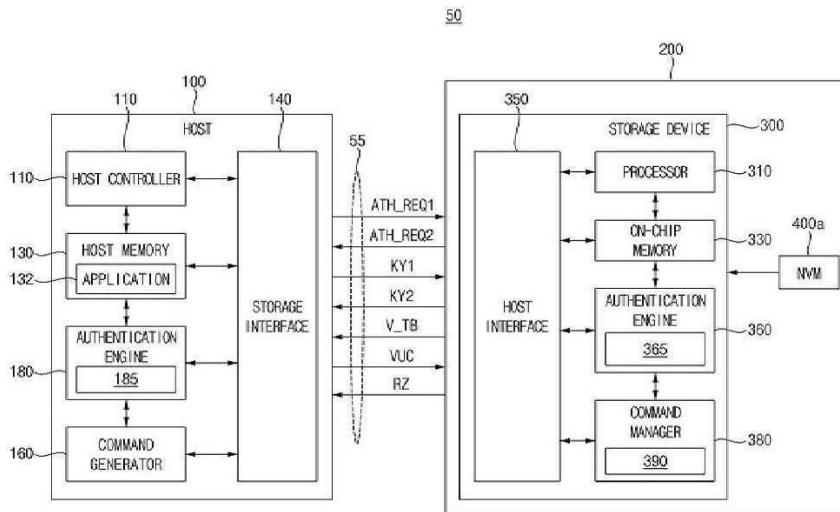
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 스토리지 장치 및 이를 포함하는 스토리지 시스템

(57) 요약

본 발명의 실시예들에 따른 스토리지 장치는 데이터를 저장하는 적어도 하나의 비휘발성 메모리 장치 및 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함한다. 상기 스토리지 컨트롤러는 복수의 메인 함수들에 대응되는 인덱스들 각각을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 상기 가상 테이블을 호스트로 전송하고, 상기 호스트가 상기 가상 테이블에 기초하여 생성한 벤더 고유 커맨드를 상기 호스트로부터 수신하고, 상기 가상 테이블에 기초하여 상기 벤더 고유 커맨드를 파싱하고, 상기 파싱된 벤더 고유 커맨드에 상응하는 동작을 수행하고 상기 동작의 결과를 상기 호스트에 전송한다. 따라서 벤더 고유 커맨드에 대한 보안을 향상시킬 수 있다.

대표도



(52) CPC특허분류

*G06F 21/44* (2013.01)

*G06F 3/0658* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터를 저장하는 적어도 하나의 비휘발성 메모리 장치; 및  
 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함하고,  
 상기 스토리지 컨트롤러는  
 복수의 메인 함수들에 대응되는 인덱스들 각각을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고,  
 상기 가상 테이블을 호스트로 전송하고,  
 상기 호스트가 상기 가상 테이블에 기초하여 생성한 벤더 고유 커맨드를 상기 호스트로부터 수신하고,  
 상기 가상 테이블에 기초하여 상기 벤더 고유 커맨드를 파싱하고, 상기 파싱된 벤더 고유 커맨드에 상응하는 동작을 수행하고 상기 동작의 결과를 상기 호스트에 전송하는 스토리지 장치.

#### 청구항 2

제1항에 있어서,  
 상기 가상 테이블은 상기 인덱스들을 더 포함하고,  
 상기 스토리지 컨트롤러는 상기 가상 테이블을 암호화하고, 상기 암호화된 가상 테이블을 상기 호스트에 전송하고,  
 상기 스토리지 컨트롤러는 상기 호스트로부터의 인증 요구에 응답하여 상기 호스트와 키 값을 교환하여 상기 호스트를 인증하고, 상기 호스트에 대한 인증이 성공된 후에 상기 가상 테이블을 생성하고,  
 상기 스토리지 컨트롤러는 상기 호스트와의 사이에 연결이 확립된 후 일정한 주기마다 또는 외부로부터의 이벤트가 발생한 경우, 새로운 가상 테이블을 생성하고, 생성된 가상 테이블을 상기 호스트에 전송하는 것을 특징으로 하는 스토리지 장치.

#### 청구항 3

제1항에 있어서,  
 상기 스토리지 컨트롤러는 난수에 기초하여 상기 가상 테이블을 생성하는 가상 테이블 생성기를 포함하고,  
 상기 랜덤 값들 각각은 상기 복수의 메인 함수들 각각의 인자의 복수의 서브 인자들에 해당하는 서브 필드들을 포함하고,  
 상기 복수의 서브 인자들은 제1 서브 인자, 제2 서브 인자 및 제3 서브 인자를 포함하고,  
 상기 서브 필드들 각각은 상기 인덱스들 각각에 매핑되고,  
 상기 서브 필드들 각각은 상기 제1 서브 인자, 상기 제2 서브 인자 및 상기 제3 서브 인자 각각에 해당하는 제1 서브 필드, 제2 서브 필드 및 제3 서브 필드를 포함하고,  
 상기 가상 테이블 생성기는 상기 제1 서브 필드들이 중복되지 않도록 상기 랜덤 값들을 생성하고,  
 상기 가상 테이블 생성기는  
 상기 제1 서브 필드들의 개수만큼 상기 난수를 이용하여 상기 랜덤 값들의 후보들을 생성하고,  
 상기 랜덤 값들의 후보들이 상기 가상 테이블 생성기에 기저장된 이전 랜덤 값들과 일치하지 않는 경우, 상기 랜덤 값들의 후보들을 상기 가상 테이블 생성기에 저장하는 것을 특징으로 하는 스토리지 장치.

#### 청구항 4

제1항에 있어서,

상기 스토리지 컨트롤러는 상기 호스트와의 복수의 세션들 각각에서,

상기 호스트에 대한 인증을 수행하고, 상기 호스트에 대한 인증이 성공되는 것에 응답하여 상기 가상 테이블을 생성하고, 상기 가상 테이블을 상기 호스트에 전송하는 것을 특징으로 하는 스토리지 장치.

#### 청구항 5

제1항에 있어서, 상기 스토리지 컨트롤러는

상기 호스트와 통신하는 호스트 인터페이스;

상기 가상 테이블을 생성하는 가상 테이블 생성기를 구비하는 커맨드 매니저;

키 값을 생성하는 키 생성기를 포함하고, 상기 키 값에 기초하여 상기 호스트에 대한 인증을 수행하는 인증 엔진;

상기 적어도 하나의 비휘발성 메모리 장치와 통신하는 메모리 인터페이스; 및

상기 커맨드 매니저, 상기 인증 엔진 및 상기 메모리 인터페이스를 제어하는 프로세서를 포함하는 것을 특징으로 하는 스토리지 장치.

#### 청구항 6

호스트; 및

상기 호스트와 링크를 통하여 연결되어 상기 호스트와 통신하는 스토리지 장치를 포함하고,

상기 스토리지 장치는

데이터를 저장하는 적어도 하나의 비휘발성 메모리 장치; 및

상기 호스트로부터의 리퀘스트에 기초하여 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함하고,

상기 스토리지 컨트롤러는

복수의 메인 함수들에 대응되는 인덱스들 각각을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고,

상기 가상 테이블을 호스트로 전송하고,

상기 호스트는 상기 가상 테이블에 기초하여, 상기 복수의 메인 함수들 및 상기 복수의 메인 함수들 각각과 관련된 복수의 서브 함수들 중에서 타겟 함수를 선택하고, 상기 선택된 타겟 함수를 나타내는 벤더 고유 커맨드를 생성하고, 상기 벤더 고유 커맨드를 상기 스토리지 컨트롤러에 전송하고,

상기 스토리지 컨트롤러는

상기 가상 테이블에 기초하여 상기 호스트로부터 수신된 벤더 고유 커맨드를 파싱하고, 상기 파싱된 벤더 고유 커맨드에 상응하는 동작을 수행하고 상기 동작의 결과를 상기 호스트에 전송하는 스토리지 시스템.

#### 청구항 7

제6항에 있어서,

상기 스토리지 컨트롤러는 난수에 기초하여 상기 가상 테이블을 생성하는 가상 테이블 생성기를 포함하고,

상기 랜덤 값들 각각은 상기 복수의 메인 함수들 각각의 인자의 복수의 서브 인자들에 해당하는 서브 필드들을 포함하고,

상기 복수의 서브 인자들은 제1 서브 인자, 제2 서브 인자 및 제3 서브 인자를 포함하고,

상기 서브 필드들 각각은 상기 인덱스들 각각에 매핑되고,

상기 서브 필드들 각각은 상기 제1 서브 인자, 상기 제2 서브 인자 및 상기 제3 서브 인자 각각에 해당하는 제1 서브 필드, 제2 서브 필드 및 제3 서브 필드를 포함하고,

상기 가상 테이블 생성기는 상기 제1 서버 필드들이 중복되지 않도록 상기 랜덤 값들을 생성하고.

상기 호스트는 상기 랜덤 값들 중, 상기 복수의 메인 함수들 중 상기 타겟 함수와 관련되는 제1 메인 함수를 지정하는 제1 랜덤 값에 기초하여 상기 타겟 함수를 지정하는 제2 랜덤 값을 산출하는 커맨드 생성기를 포함하고,

상기 호스트는 상기 제2 랜덤 값을 상기 벤더 고유 커맨드로서 상기 스토리지 컨트롤러에 전송하고,

상기 커맨드 생성기는 상기 제1 랜덤 값에 상기 타겟 함수의 제2 서버 인자 및 제3 서버 인자를 합산하여 상기 제2 랜덤 값을 산출하고,

상기 커맨드 생성기는 상기 합산에서 캐리(자리 올림)가 발생하는 경우, 상기 캐리를 버리는 것을 특징으로 하는 스토리지 시스템.

### 청구항 8

제7항에 있어서, 상기 커맨드 생성기는

상기 가상 테이블을 저장하는 레지스터; 및

상기 레지스터에 저장된 상기 가상 테이블에 기초하여 상기 벤더 고유 커맨드를 생성하는 벤더 고유 커맨드 모듈을 포함하고,

상기 가상 테이블 생성기는

상기 제1 서버 필드들의 개수만큼 상기 난수를 이용하여 상기 랜덤 값들의 후보들을 생성하고,

상기 랜덤값들의 후보들이 상기 가상 테이블 생성기에 기저장된 이전 랜덤 값들과 일치하지 않는 경우, 상기 랜덤값들의 후보들을 상기 가상 테이블 생성기에 저장하는 것을 특징으로 하는 스토리지 시스템.

### 청구항 9

제6항에 있어서, 상기 스토리지 컨트롤러는

상기 호스트와 통신하는 호스트 인터페이스;

상기 가상 테이블을 생성하는 가상 테이블 생성기를 구비하는 커맨드 매니저;

키 값을 생성하는 키 생성기를 포함하고, 상기 키 값에 기초하여 상기 호스트에 대한 인증을 수행하는 인증 엔진;

상기 적어도 하나의 비휘발성 메모리 장치와 통신하는 메모리 인터페이스; 및

상기 커맨드 매니저, 상기 인증 엔진 및 상기 메모리 인터페이스를 제어하는 프로세서를 포함하는 것을 특징으로 하는 스토리지 시스템.

### 청구항 10

제6항에 있어서, 상기 호스트는

상기 스토리지 장치와 통신하는 스토리지 인터페이스;

상기 가상 테이블에 기초하여 상기 벤더 고유 커맨드를 생성하는 커맨드 생성기;

키 값을 생성하는 키 생성기를 포함하고, 상기 키 값에 기초하여 상기 스토리지 장치에 대한 인증을 수행하는 인증 엔진; 및

상기 스토리지 인터페이스, 상기 커맨드 생성기 및 상기 인증 엔진을 제어하는 호스트 컨트롤러를 포함하는 것을 특징으로 하는 스토리지 시스템.

### 발명의 설명

### 기술 분야

[0001]

본 발명은 반도체 집적 회로에 관한 것으로, 보다 상세하게는 벤더 고유 커맨드(vender unique command)를 사용

하는 스토리지 장치 및 스토리지 시스템에 관한 것이다.

### 배경 기술

[0002] 벤더 고유 커맨드(vendor unique command)란, 일반인들에게는 오픈되지 않고 제조사와 같이 약속된 특정 벤더들에 한정되어 사용되는 명령어를 의미한다. 벤더 고유 커맨드는 사용자가 약속된 벤더일 경우에만 오픈될 수 있다. 이러한 벤더 고유 커맨드는 저장 장치의 내부의 배치를 확인하거나, 제조시에 테스트를 위한 명령어일 수도 있다. 이에 따라서, 벤더 고유 커맨드가 노출되면 제조사의 중요 기술이 외부로 노출될 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0003] 본 발명의 일 목적은 벤더 고유 커맨드를 보호할 수 있는 스토리지 장치를 제공하는 것이다.

[0004] 본 발명의 일 목적은 벤더 고유 커맨드를 보호할 수 있는 스토리지 시스템을 제공하는 것이다.

#### 과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명의 실시예들에 따른 스토리지 장치는 데이터를 저장하는 적어도 하나의 비휘발성 메모리 장치 및 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함한다. 상기 스토리지 컨트롤러는 복수의 메인 함수들에 대응되는 인덱스들 각각을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 상기 가상 테이블을 호스트로 전송하고, 상기 호스트가 상기 가상 테이블에 기초하여 생성한 벤더 고유 커맨드를 상기 호스트로부터 수신하고, 상기 가상 테이블에 기초하여 상기 벤더 고유 커맨드를 파싱하고, 상기 파싱된 벤더 고유 커맨드에 상응하는 동작을 수행하고 상기 동작의 결과를 상기 호스트에 전송한다.

[0006] 상기 목적을 달성하기 위한 본 발명의 실시예들에 따른 스토리지 시스템은 호스트 및 스토리지 장치를 포함한다. 상기 스토리지 장치는 상기 호스트와 링크를 통하여 연결되어 상기 호스트와 통신한다. 상기 스토리지 장치는 데이터를 저장하는 적어도 하나의 비휘발성 메모리 장치 및 상기 호스트로부터의 리퀘스트에 기초하여 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함한다. 상기 스토리지 컨트롤러는 복수의 메인 함수들에 대응되는 인덱스들 각각을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 상기 가상 테이블을 호스트로 전송한다. 상기 호스트는 상기 가상 테이블을 참조하여, 상기 복수의 메인 함수들 및 상기 복수의 메인 함수들 각각과 관련되는 복수의 서브 함수들 중에서 타겟 함수를 선택하고, 상기 선택된 타겟 함수를 나타내는 벤더 고유 커맨드를 생성하고, 상기 벤더 고유 커맨드를 상기 스토리지 컨트롤러에 전송한다. 상기 스토리지 컨트롤러는 상기 가상 테이블에 기초하여 상기 호스트로부터 수신된 벤더 고유 커맨드를 파싱하고, 상기 파싱된 벤더 고유 커맨드에 상응하는 동작을 수행하고 상기 동작의 결과를 상기 호스트에 전송한다.

[0007] 상기 목적을 달성하기 위한 본 발명의 실시예들에 따른 스토리지 시스템은 호스트 및 스토리지 장치를 포함한다. 상기 스토리지 장치는 상기 호스트와 링크를 통하여 연결되어 상기 호스트와 통신한다. 상기 스토리지 장치는 데이터를 저장하는 적어도 하나의 비휘발성 메모리 장치 및 상기 호스트로부터의 리퀘스트에 기초하여 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함한다. 상기 스토리지 컨트롤러는 복수의 메인 함수들에 대응되는 인덱스들 각각을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 상기 가상 테이블을 호스트로 전송한다. 상기 호스트는 상기 가상 테이블을 참조하여, 상기 복수의 메인 함수들 및 상기 복수의 메인 함수들 각각과 관련되는 복수의 서브 함수들 중에서 타겟 함수를 선택하고, 상기 선택된 타겟 함수를 나타내는 벤더 고유 커맨드를 생성하고, 상기 벤더 고유 커맨드를 상기 스토리지 컨트롤러에 전송한다. 상기 스토리지 컨트롤러는 상기 가상 테이블에 기초하여 상기 호스트로부터 수신된 벤더 고유 커맨드를 파싱하고, 상기 파싱된 벤더 고유 커맨드에 상응하는 동작을 수행한다. 상기 호스트는 상기 랜덤 값들 중, 상기 복수의 메인 함수들 중 상기 타겟 함수와 관련되는 제1 메인 함수를 지정하는 제1 랜덤 값에 기초하여 상기 타겟 함수를 지정하는 제2 랜덤 값을 산출하고, 상기 제2 랜덤 값을 상기 벤더 고유 커맨드로서 상기 스토리지 컨트롤러에 전송한다.

#### 발명의 효과

[0008] 본 발명의 실시예들에 따른 스토리지 시스템에서는 스토리지 장치가 랜덤 값들을 포함하는 가상 테이블을 인증

된 호스트에 전송하고, 호스트는 가상 테이블에 기초하여 타겟 함수를 지정하는 랜덤 값을 가지는 벤더 고유 커맨드를 생성하고, 벤더 고유 커맨드를 스토리지 장치에 전송한다. 따라서, 벤더 고유 커맨드(VUC)의 내용이 유출되는 것을 방지하여 벤더 고유 커맨드의 보안을 강화할 수 있다.

### 도면의 간단한 설명

[0009]

도 1은 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 도 1의 호스트를 나타내는 블록도이다.

도 3은 본 발명의 실시예들에 따른 도 1의 스토리지 장치에서 스토리지 컨트롤러의 구성을 나타내는 블록도이다.

도 4는 본 발명의 실시예들에 따른 도 3의 스토리지 컨트롤러에서 커맨드 매니저의 구성을 나타내는 블록도이다.

도 5는 본 발명의 실시예들에 따른 도 1의 스토리지 시스템에서 호스트와 스토리지 장치를 보다 상세히 나타낸다.

도 6은 도 1의 스토리지 장치에서 스토리지 컨트롤러와 하나의 비휘발성 메모리 장치의 연결을 나타내는 블록도이다.

도 7은 본 발명의 실시예들에 따른 도 6에서 비휘발성 메모리 장치를 나타내는 블록도이다.

도 8은 도 7의 비휘발성 메모리 장치에서 메모리 셀 어레이를 나타내는 블록도이다.

도 9는 도 8의 메모리 블록들 중 하나의 메모리 블록을 나타내는 회로도이다.

도 10은 도 9의 메모리 블록의 하나의 셀 스트링의 구조의 예를 보여준다.

도 11은 도 8의 메모리 블록들 중 하나의 메모리 블록을 나타내는 사시도이다.

도 12a는 도 7의 메모리 셀 어레이에 포함된 메모리 셀이 3 비트 트리플 레벨 셀(TLC(triple-level cell))인 경우, 메모리 셀들의 문턱 전압에 따른 산포를 나타내는 그래프이다.

도 12b는 도 12a의 그래프에서 메모리 셀의 문턱 전압이 변경된 경우를 나타내는 그래프이다.

도 13은 본 발명의 실시예들에 따른 가상 테이블 생성기를 나타낸다.

도 14는 본 발명의 실시예들에 따른 가상 테이블을 나타낸다.

도 15는 본 발명의 실시예들에 따른 도 14의 랜덤 값들 중 하나를 나타낸다.

도 16은 본 발명의 실시예들에 따른 호스트와 스토리지 장치가 공유하는 인덱스와 메인 함수를 나타내는 함수 테이블이다.

도 17a는 본 발명의 실시예들에 따른 가상 테이블 생성기가 메인 함수들 및 서브 함수들에 기초하여 가상 테이블을 생성하는 것을 나타낸다.

도 17b는 본 발명의 실시예들에 따른 호스트가 가상 테이블에 기초하여 벤더 고유 커맨드를 생성하는 것을 나타낸다.

도 18a는 본 발명의 실시예들에 따른 도 5의 스토리지 시스템의 동작 방법을 나타내는 순서도이다.

도 18b는 본 발명의 실시예들에 따른 도 5의 스토리지 시스템의 동작 방법을 나타내는 순서도이다.

도 19는 본 발명의 실시예들에 따른 도 18의 동작 방법에서 가상 테이블을 생성하는 단계를 보다 상세히 나타내는 흐름도이다.

도 20은 본 발명의 실시예들에 따른 가상 테이블 생성기의 동작을 나타내는 흐름도이다.

도 21은 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.

도 22 및 도 23은 본 발명의 실시예들에 따른 스토리지 시스템에 적용되는 인터커넥트 아키텍처의 일 실시예를 나타내는 도면들이다.

도 24는 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.

도 25는 본 발명의 실시예들에 따른 스토리지 장치를 나타내는 블록도이다.

도 26은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 시스템을 나타내는 블록도이다.

도 27은 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0011] 도 1은 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.
- [0012] 도 1을 참조하면, 스토리지 시스템(50)은 호스트(100) 및 스토리지 장치(200)를 포함할 수 있다. 호스트(100)는 스토리지 인터페이스(140)를 포함한다.
- [0013] 도 1의 스토리지 장치(200)는 데이터를 저장할 수 있는 임의의 종류의 저장 장치일 수 있다.
- [0014] 스토리지 장치(200)는 스토리지 컨트롤러(300), 복수의 비휘발성 메모리 장치들(400a~400k), 전력관리 집적회로(이하 'PMIC', 270) 및 커넥터(240)를 포함할 수 있다. 커넥터(240)는 신호 커넥터(241) 및 전원 커넥터(243)를 포함할 수 있다. 스토리지 장치(200)는 휘발성 메모리 장치로 구현되는 버퍼 메모리(BM, 250)을 더 포함할 수 있다.
- [0015] 복수의 비휘발성 메모리 장치들(400a~400k)은 스토리지 장치(200)의 저장 매체로서 사용된다. 비휘발성 메모리 장치들(400a~400k) 각각은 플래시 메모리 또는 수직형 낸드 메모리 장치로 구현될 수 있다. 스토리지 컨트롤러(300)는 복수의 채널들(CH1~CHk) 각각을 통하여 비휘발성 메모리 장치들(400a~400k) 각각과 연결된다.
- [0016] 스토리지 컨트롤러(300)는 신호 커넥터(241)를 통해 호스트(100)로부터 리퀘스트(REQ)를 수신하고, 호스트(100)와 데이터(DTA)를 송수신한다. 스토리지 컨트롤러(300)는 호스트(100)로부터 수신되는 리퀘스트(REQ)에 기초하여 비휘발성 메모리 장치들(400a~400k)에 데이터(DTA)를 기입하거나 비휘발성 메모리 장치들(400a~400k)로부터 데이터(DTA)를 독출한다.
- [0017] 이 경우에, 스토리지 컨트롤러(300)는 버퍼 메모리(250)를 입출력 버퍼로서 사용하여 호스트(100)와 데이터(DTA)를 송수신할 수 있다. 일 실시예에 있어서, 버퍼 메모리(250)는 DRAM(Dynamic Random Access Memory)을 포함할 수 있다.
- [0018] PMIC(270)는 전원 커넥터(243)를 통해 호스트(100)로부터 복수의 전원 전압들(또는 외부 전원전압들, VES1~VES<sub>t</sub>)을 수신할 수 있다. 예를 들어, 전원 커넥터(243)는 복수의 전력 라인들(P1~Pt)을 포함하고, PMIC(270)는 호스트(100)로부터 전력 라인들(P1~Pt)을 통해 전원 전압들(VES1~VES<sub>t</sub>)을 각각 수신할 수 있다. 여기서, t는 2 이상의 양의 정수를 나타낸다.
- [0019] PMIC(270)는 전원 전압들(VES1~VES<sub>t</sub>)에 기초하여 스토리지 컨트롤러(300)의 동작에 필요한 적어도 하나의 제1 동작 전압(VOP1), 비휘발성 메모리 장치들(400a~400k)의 동작에 필요한 적어도 하나의 제2 동작 전압(VOP2), 및 버퍼 메모리(250)의 동작에 필요한 적어도 하나의 제3 동작 전압(VOP3)을 생성할 수 있다.
- [0020] 예를 들어, PMIC(270)는 호스트(100)로부터 전원 전압들(VES1~VES<sub>t</sub>)을 모두 수신하는 경우, 전원 전압들(VES1~VES<sub>t</sub>)을 모두 사용하여 적어도 하나의 제1 동작 전압(VOP1), 적어도 하나의 제2 동작 전압(VOP2), 및 적어도 하나의 제3 동작 전압(VOP3)을 생성할 수 있다. 반면에, PMIC(270)는 호스트(100)로부터 전원 전압들(VES1~VES<sub>t</sub>) 중의 일부만을 수신하는 경우, 상기 수신되는 일부의 전원 전압들을 모두 사용하여 적어도 하나의 제1 동작 전압(VOP1), 적어도 하나의 제2 동작 전압(VOP2), 및 적어도 하나의 제3 동작 전압(VOP3)을 생성할 수 있다.
- [0021] 도 2는 본 발명의 실시예들에 따른 도 1의 호스트를 나타내는 블록도이다.
- [0022] 도 2를 참조하면, 호스트(100)는 호스트 컨트롤러(110), ROM(120), 호스트 메모리(130), AES(Advanced Encryption Standard) 엔진(135), 스토리지 인터페이스(140), 사용자 인터페이스(150), 커맨드 생성기(160), 인증 엔진(180) 및 버스(105)를 포함할 수 있다.
- [0023] 버스(105)는 호스트(100)의 호스트 컨트롤러(110), ROM(120), 호스트 메모리(130), AES 엔진(135), 스토리지



인터페이스(140), 사용자 인터페이스(150), 커맨드 생성기(160) 및 인증 엔진(180) 간의 데이터를 전송하는 전송로를 의미한다.

- [0024] 롬(120)에는 다양한 어플리케이션(application) 프로그램들이 저장되어 있다. 실시예에 있어서, ATA(Advanced Technology Attachment), SCSI(Small Computer System Interface), eMMC(embedded Multi Media Card), UFS(Universal Flash Storage) 등과 같은 스토리지 프로토콜을 지원하는 어플리케이션 프로그램들이 롬(120)에 저장될 수 있다.
- [0025] 호스트 메모리(130)에는 데이터 또는 프로그램이 일시적으로 저장될 수 있다. 호스트 메모리(130)는 전송 큐(SQ)와 완료 큐(CQ)를 포함할 수 있다. 사용자 인터페이스(150)는 사용자와 호스트 기기, 컴퓨터 프로그램 등 사이에서 정보를 주고받을 수 있는 물리적 또는 가상적 매개체로서 물리적인 하드웨어와 논리적인 소프트웨어를 포함한다. 즉, 사용자 인터페이스(150)는 사용자가 호스트(100)를 조작할 수 있는 입력 장치와 사용자 입력에 대한 처리 결과를 표시하는 출력 장치를 포함할 수 있다.
- [0026] 호스트 컨트롤러(110)는 호스트(100)의 전반적인 동작을 제어한다. 호스트 컨트롤러(110)는 ROM(120)에 저장된 어플리케이션(application) 또는 툴(tool)을 이용하여 스토리지 장치(200)에 데이터를 저장하기 위한 리퀘스트(또는 커맨드) 또는 스토리지 장치(200)로부터 데이터를 읽어내기 위한 커맨드와 전원 전압들(VES1~VESn)을 생성시켜 스토리지 인터페이스(140)를 통하여 스토리지 장치(200)로 전달하도록 제어할 수 있다.
- [0027] AES 엔진(135)은 스토리지 장치(200)로 제공되는 데이터를 암호화하고, 스토리지 장치(200)로부터 수신한 데이터를 복호화할 수 있다.
- [0028] 커맨드 생성기(160)는 스토리지 장치(200)에서 실행될 동작을 가리키는 커맨드를 생성할 수 있다. 커맨드 생성기(160)에서 생성된 커맨드는 스토리지 인터페이스(150)를 통하여 스토리지 장치(200)로 전송될 수 있다.
- [0029] 예를 들어, 커맨드 생성기(160)는 독출 커맨드, 기입 커맨드 및 소거 커맨드와 같은 다양한 종류의 커맨드들을 생성할 수 있다. 독출 커맨드는 스토리지 장치(200)에 저장된 데이터를 독출하는 동작을 가리킬 수 있다. 기입 커맨드는 스토리지 장치(200)에 데이터를 기입하는 동작을 가리킬 수 있다. 소거 커맨드는 스토리지 장치(200)에 저장된 데이터를 물리적으로 소거하는 동작을 가리킬 수 있다.
- [0030] 커맨드 생성기(160)는 또한, 벤더 고유 커맨드를 생성할 수 있다. 이를 위하여 커맨드 생성기(160)는 VUC 모듈(170) 및 레지스터(165)를 포함할 수 있다. 레지스터(165)는 스토리지 장치(200)로부터 제공받은 가상 테이블을 저장할 수 있다. 가상 테이블은 복수의 메인 함수들에 대응되는 인덱스들을 각각 지정하는 랜덤 값들을 포함하거나 상기 인덱스들과 상기 랜덤 값들을 포함할 수 있다. VUC 모듈(170)은 레지스터(165)에 저장된 가상 테이블에 기초하여 복수의 메인 함수들 및 복수의 메인 함수들과 관련된 서브 함수들 중에서 타겟 함수를 선택하고, 상기 타겟 함수를 나타내는 벤더 고유 커맨드를 생성하고, 벤더 고유 커맨드를 스토리지 인터페이스(150)를 통하여 스토리지 장치(200)에 제공할 수 있다.
- [0031] 인증 엔진(180)은 스토리지 장치(200)에 대한 인증을 수행할 수 있다. 인증 엔진(180)은 스토리지 장치(200)와 키 값을 교환하여 스토리지 장치(200)에 대한 인증을 수행할 수 있고, 상기 키 값을 생성하는 키 생성기(185)를 포함할 수 있다.
- [0032] 도 3은 본 발명의 실시예들에 따른 도 1의 스토리지 장치에서 스토리지 컨트롤러의 구성을 나타내는 블록도이다.
- [0033] 도 3을 참조하면, 스토리지 컨트롤러(300)는 버스(305)를 통하여 서로 연결되는 프로세서(310), 에러 정정 코드(error correction code, 이하 'ECC') 엔진(320), 온-칩 메모리(330), AES 엔진(340), 호스트 인터페이스(350), 롬(355), 인증 엔진(360), 커맨드 매니저(380) 및 메모리 인터페이스(370)를 포함할 수 있다.
- [0034] 프로세서(310)는 스토리지 컨트롤러(300)의 제반 동작을 제어한다. 프로세서(310)는 온-칩 메모리(330), ECC 엔진(320), AES 엔진(340), 인증 엔진(360), 커맨드 매니저(380) 및 메모리 인터페이스(370)를 제어할 수 있다. 프로세서(310)는 하나 이상의 코어들(예를 들어, 동종 멀티-코어 또는 이종 멀티-코어)을 포함할 수 있다. 예를 들어, 프로세서(310)는 CPU(Central Processing Unit), ISP(Image Signal Processing Unit), DSP(Digital Signal Processing Unit), GPU(Graphics Processing Unit), VPU(Vision Processing Unit), 및 NPU(Neural Processing Unit) 중 적어도 하나를 포함할 수 있다. 프로세서(310)는 온-칩 메모리(130)에 로드된 다양한 응용 프로그램들(예를 들어, 플래시 변환 계층(Flash Translation layer, 이하 'FTL')), 펌웨어 등)을 실행할 수 있다.

- [0035] 온-칩 메모리(330)는 프로세서(310)에 의해 실행되는 다양한 응용 프로그램들을 저장할 수 있다. 온-칩 메모리(330)는 프로세서(310)에 인접한 캐시 메모리로서 동작할 수 있다. 온-칩 메모리(330)는 프로세서(310)에 의해 처리될 명령, 어드레스, 데이터 등을 저장하거나 프로세서(310)의 처리 결과를 저장할 수 있다. 예를 들어, 온-칩 메모리(330)는 래치(Latch), 레지스터(Register), SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), TRAM(Thyristor Random Access Memory), TCM(Tightly Coupled Memory) 등을 포함하는 저장 매체 또는 워킹 메모리일 수 있다.
- [0036] 프로세서(310)는 온-칩 메모리(330)에 로드된 FTL(335)을 실행할 수 있다. FTL(335)은 비휘발성 메모리 장치들(400a~400k) 중 하나에 저장된 펌웨어 또는 프로그램으로서 온-칩 메모리(330)에 로드될 수 있다. FTL(335)은 논리 어드레스와 비휘발성 메모리 장치들(400a~400k)의 물리 어드레스 간의 맵핑을 관리하고 갱신하는 어드레스 맵핑 테이블 관리자를 포함할 수 있다. FTL(335)은 상술한 어드레스 맵핑 이외에도 가비지 컬렉션(Garbage Collection), 웨어 레벨링(Wear Leveling) 등을 더 수행할 수 있다. FTL(335)은 비휘발성 메모리 장치들(400a~400k)이 갖는 제약(예를 들어 덮어쓰기(Overwrite 또는 In-place Write) 불가, 메모리 셀의 수명, 한정된 P/E(Program-Erase) 사이클, 소거 속도가 기입 속도보다 느림, 등)를 해소하기 위해 프로세서(310)에 의해 실행될 수 있다.
- [0037] 비휘발성 메모리 장치들(400a~400k)에 포함된 메모리 셀들은 프로그램 경과 시간, 온도, 프로그램 교란, 독출 교란 등과 같은 요인들로 인하여 문턱 전압 산포가 변화하는 물리적 특성을 갖는다. 즉, 상술된 요인들로 인하여 비휘발성 메모리 장치들(400a~400k)에 저장된 데이터에 오류가 발생할 수 있다.
- [0038] 스토리지 컨트롤러(300)는 이러한 오류들을 정정하기 위하여 다양한 에러 정정 기법을 사용할 수 있다. 예를 들어, 스토리지 컨트롤러(300)는 ECC 엔진(320)을 포함할 수 있다. ECC 엔진(320)은 비휘발성 메모리 장치들(400a~400k)에 저장된 데이터에 발생한 오류들을 정정한다. ECC 엔진(320)은 ECC 인코더(323) 및 ECC 디코더(325)를 포함할 수 있다. ECC 인코더(323)는 비휘발성 메모리 장치들(400a~400k)에 저장될 데이터에 대하여 ECC 인코딩을 수행하고, ECC 디코더(325)는 비휘발성 메모리 장치들(400a~400k)로부터 독출된 데이터에 대하여 ECC 디코딩을 수행할 수 있다.
- [0039] ROM(355)은 스토리지 컨트롤러(300)가 동작하는데 요구되는 다양한 정보를 펌웨어 형태로 저장할 수 있다.
- [0040] AES 엔진(340)은 스토리지 컨트롤러(300)로 입력되는 데이터에 대한 암호화(encryption) 동작과 복호화(decryption) 동작 중 적어도 하나를, 대칭 키 알고리즘(symetric-key algorithm)을 이용하여 수행할 수 있다. 상세하게 도시하지는 않았으나, AES 엔진(340)은 암호화 모듈 및 복호화 모듈을 포함할 수 있다. 실시예에 따라서, 상기 암호화 모듈 및 상기 복호화 모듈은 서로 별개의 모듈로 구현될 수도 있고 하나의 모듈로 구현될 수도 있다.
- [0041] 인증 엔진(360)은 호스트(100)에 대한 인증을 수행할 수 있다. 인증 엔진(360)은 호스트(100)와 키 값을 교환하여 호스트(100)에 대한 인증을 수행할 수 있고, 상기 키 값을 생성하는 키 생성기(165)를 포함할 수 있다.
- [0042] 커맨드 매니저(380)는 호스트(100)로부터 수신된 커맨드를 관리할 수 있다. 커맨드 매니저(380)는 가상 테이블을 생성하는 가상 테이블(V\_TABLE) 생성기(390)를 포함할 수 있고, 가상 테이블 생성기(390)는 복수의 메인 함수들에 대응되는 인덱스들을 각각 지정하는 랜덤 값들을 포함하거나 상기 인덱스들과 상기 랜덤 값들을 포함하는 가상 테이블(V\_TB)를 생성하고, 가상 테이블(V\_TB)를 호스트 인터페이스(350)를 통하여 호스트(100)에 전송하고, 가상 테이블(V\_TB)을 온-칩 메모리(330)에 저장할 수 있다.
- [0043] 스토리지 컨트롤러(300)는 호스트 인터페이스(350)를 통해 호스트(100)와 통신할 수 있다. 예를 들어, 호스트 인터페이스(350)는 USB (Universal Serial Bus), MMC (multimedia card), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), MIPI(Mobile Industry Processor Interface), NVMe(Nonvolatile Memory-express), UFS(Universal Flash Storage) Interface 등과 같은 다양한 인터페이스들 중 적어도 하나로 제공될 수 있다. 스토리지 컨트롤러(300)는 메모리 인터페이스(370)를 통해 비휘발성 메모리 장치들(400a~400k)과 통신할 수 있다.
- [0044] 도 4는 본 발명의 실시예들에 따른 도 3의 스토리지 컨트롤러에서 커맨드 매니저의 구성을 나타내는 블록도이다.

- [0045] 도 4를 참조하면, 커맨드 매니저(300)는 제어 레지스터 블록(381), 메인 제어 블록(383), 완료 블록(385), 커맨드 페치 블록(387), 가상 테이블 생성기(390), 커맨드 분석기(395) 및 난수 생성기(397)를 포함할 수 있다.
- [0046] 제어 레지스터 블록(381)은 호스트(100)에 의해 설정 가능한 레지스터를 포함하거나 또는 호스트(100)에 의해 설정되는 레지스터 값을 인식하는 일련의 동작을 처리하도록 구성될 수 있다. 예를 들어, 제어 레지스터 블록(341)은 호스트(100)로부터 제공되는 정보를 구분하기 위한 다양한 레지스터들을 포함할 수 있다. 호스트(100)는 제어 레지스터 블록(341)의 레지스터 값을 설정함으로써, 다양한 정보를 커맨드 매니저(340)로 알릴 수 있다.
- [0047] 커맨드 페치 블록(387)은 호스트(100)의 전송 큐(SQ)에 저장된 커맨드를 페치하는 일련의 동작을 처리할 수 있다.
- [0048] 메인 제어 블록(383)은 커맨드 매니저(340)의 제반 동작을 제어하거나 또는 커맨드 매니저(380)에서 수행되는 일련의 동작을 처리할 수 있다.
- [0049] 커맨드 분석기(395)는 호스트(100)로부터 제공되는 커맨드 또는 벤더 고유 커맨드를 분석하고, 분석된 커맨드를 비휘발성 메모리 인터페이스(380)를 통하여 비휘발성 메모리 장치(400)에 제공할 수 있다.
- [0050] 완료 블록(385)은 동작이 완료되었음을 알리는 완료 정보를 호스트(100)의 완료 큐(CQ)에 기입하는 일련의 동작을 처리할 수 있다. 예를 들어, 호스트(100)로부터 페치된 커맨드에 대한 동작이 완료된 경우, 완료 블록(385)은 동작이 완료되었음을 알리는 완료 정보를 호스트(100)의 완료 큐(CQ)에 기입할 수 있다.
- [0051] 난수 생성기(397)는 난수(RN)를 생성하고, 난수(RN)를 가상 테이블 생성기(390)에 제공할 수 있다. 가상 테이블 생성기(390)는 난수(RN)에 기초하여 가상 테이블(V\_TB)을 생성하고, 가상 테이블(V\_TB)을 호스트(100)에 제공할 수 있다. 가상 테이블 생성기(390)는 난수(RN)에 기초하여 호스트(100)와 스토리지 장치(200)에서 공통으로 사용하는 복수의 메인 함수들에 대응되는 인덱스들 각각을 랜덤 값으로 지정하고, 상기 랜덤 값들을 포함하는 가상 테이블(V\_TB)을 전송함으로써, 벤더 고유 커맨드에 대한 보안을 강화할 수 있다.
- [0052] 도 5는 본 발명의 실시예들에 따른 도 1의 스토리지 시스템에서 호스트와 스토리지 장치를 보다 상세히 나타낸다.
- [0053] 도 5를 참조하면, 호스트(100)는 호스트 컨트롤러(110), 호스트 메모리(130), 스토리지 인터페이스(140), 인증 엔진(180) 및 커맨드 생성기(160)를 포함할 수 있다. 인증 엔진(180)은 키 생성기(185)를 포함할 수 있다. 호스트 메모리(130)에는 어플리케이션(132)이 로딩될 수 있다. 어플리케이션(132)은 호스트(100)에 설치되어 스토리지 장치(200)에 접근할 수 있는 다양한 종류의 어플리케이션에 해당될 수 있다.
- [0054] 스토리지 장치(200)는 스토리지 컨트롤러(300) 및 적어도 하나의 비휘발성 메모리 장치(400a)를 포함한다. 스토리지 컨트롤러(310)는 프로세서(310), 온-칩 메모리(330), 호스트 인터페이스(350), 인증 엔진(360), 커맨드 매니저(380)를 포함할 수 있다. 인증 엔진(360)은 키 생성기(365)를 포함할 수 있고, 커맨드 매니저(380)는 커맨드 분석기(390)를 포함할 수 있다.
- [0055] 호스트(100)와 스토리지 장치(200)가 링크(55)를 통하여 서로 연결되면, 호스트 컨트롤러(110)는 스토리지 장치(200)에 대한 인증을 요구하는 인증 리퀘스트(ATH\_REQ1)를 스토리지 장치(200)에 제공하고, 스토리지 컨트롤러(300)는 호스트(100)에 대한 인증을 요구하는 인증 리퀘스트(ATH\_REQ2)를 호스트(100)에 인가할 수 있다.
- [0056] 인증 리퀘스트(ATH\_REQ2)에 응답하여 인증 엔진(180)의 키 생성기(185)는 키 값(KY1)을 생성하여 키 값(KY1)을 스토리지 컨트롤러(300)에 제공하고, 인증 리퀘스트(ATH\_REQ1)에 응답하여 인증 엔진(360)의 키 생성기(365)는 키 값(KY2)을 생성하여 키 값(KY2)을 호스트(100)에 제공할 수 있다. 인증 엔진(180)은 키 값들(KY1, KY2)의 비교에 기초하여 스토리지 장치(200)에 대한 인증을 수행하고, 인증 엔진(360)은 키 값들(KY2, KY1)의 비교에 기초하여 호스트(100)에 대한 인증을 수행할 수 있다.
- [0057] 호스트(100)에 대한 인증이 성공하는 경우, 커맨드 매니저(380)의 가상 테이블 생성기(390)는 가상 테이블(V\_TB)을 생성하고, 호스트 인터페이스(350)를 통하여 가상 테이블(V\_TB)을 호스트(100)에 제공하고, 호스트(100)의 커맨드 생성기(160)는 가상 테이블(V\_TB)에 기초하여 타겟 함수를 지정하는 벤더 고유 커맨드(VUC)를 생성하고, 벤더 고유 커맨드(VUC)를 스토리지 인터페이스(140)를 통하여 스토리지 컨트롤러(300)에 전송한다.
- [0058] 실시예에 있어서, 스토리지 컨트롤러(300)는 호스트(100)로부터의 별도의 리퀘스트에 응답하여 가상 테이블(V\_TB)을 생성하고, 가상 테이블(V\_TB)을 호스트(100)로 전송할 수 있다.

- [0059] 실시예에 있어서, 스토리지 장치(200)는 키 값에 기초한 호스트(100)에 대한 제1 인증이 성공하는 경우, 물리적 보안 모듈을 이용하여 호스트(100)에 대한 2차 인증을 수행하고, 2차 인증이 성공하는 경우, 벤더 고유 커맨드(VUC)를 생성할 수 있다.
- [0060] 스토리지 컨트롤러(300)의 커맨드 매니저(380)는 벤더 고유 커맨드(VUC)를 분석하고, 분석된 벤더 고유 커맨드에 상응하는 동작을 수행하고, 상기 동작의 결과(RZ)를 호스트 인터페이스(350)를 통하여 호스트(100)에 전송할 수 있다.
- [0061] 따라서 본 발명의 실시예들에 따른 스토리지 시스템(50)에서는 스토리지 장치(200)가 메인 함수들 각각에 대응되는 인덱스들을 지정하는 값들을 랜덤화하고, 랜덤화한 값들을 포함하는 가상 테이블(V\_TB)을 호스트(100)에 제공하고, 호스트(100)는 가상 테이블(V\_TB)에 기초하여 타겟 함수를 지정하는 값을 랜덤화하고, 랜덤화한 값을 벤더 고유 커맨드(VUC)로서 스토리지 장치(200)에 제공한다. 따라서, 벤더 고유 커맨드(VUC)가 유출되는 것을 방지하여 벤더 고유 커맨드(VUC)에 보안을 향상시킬 수 있다.
- [0062] 본 발명의 실시예들에 따른 스토리지 시스템(50)에서, 인증 요구와 키 값들을 교환하여 인증을 수행하는 것은 하나의 세션에 해당할 수 있다. 스토리지 시스템(50)에서, 복수의 세션들 각각에서 인증이 성공되는 경우, 스토리지 장치(200)는 가상 테이블(V\_TB)을 생성하여 가상 테이블(V\_TB)을 생성하고, 호스트(100)는 가상 테이블(V\_TB)에 기초하여 타겟 함수를 지정하는 랜덤 값을 가지는 벤더 고유 커맨드(VUC)를 생성하고, 벤더 고유 커맨드(VUC)를 스토리지 장치(200)에 전송할 수 있다.
- [0063] 도 6은 도 1의 스토리지 장치에서 스토리지 컨트롤러와 하나의 비휘발성 메모리 장치의 연결을 나타내는 블록도이다.
- [0064] 도 6을 참조하면, 스토리지 컨트롤러(300)는 제1 동작 전압(VOP1)을 기반으로 동작한다.
- [0065] 비휘발성 메모리 장치(400a)는 스토리지 컨트롤러(300)의 제어에 따라 소거, 기입, 독출 동작 등을 수행할 수 있다. 이를 위하여, 비휘발성 메모리 장치(400a)는 입출력 라인을 통해 커맨드(CMD), 어드레스(ADDR) 및 데이터(DTA, 또는 기입 데이터(WD))를 입력받는다. 또한, 비휘발성 메모리 장치(400a)는 제어 라인을 통하여 제어 신호(CTRL)를 제공받을 수 있고 파워 라인을 통해 파워(PWR1)를 제공받을 수 있다. 또한, 비휘발성 메모리 장치(400a)는 제어 라인을 통하여 상태 신호(RnB)를 스토리지 컨트롤러(300)에 제공할 수 있다. 또한, 비휘발성 메모리 장치(400a)는 데이터(DTA)를 스토리지 컨트롤러(300)에 제공할 수 있다.
- [0066] 도 7은 본 발명의 실시예들에 따른 도 6에서 비휘발성 메모리 장치를 나타내는 블록도이다.
- [0067] 도 7을 참조하면, 비휘발성 메모리 장치(400a)는 메모리 셀 어레이(420), 어드레스 디코더(450), 페이지 버퍼 회로(430), 데이터 입출력 회로(440), 제어 회로(460) 및 전압 생성기(470)를 포함할 수 있다.
- [0068] 메모리 셀 어레이(420)는 스트링 선택 라인(SSL), 복수의 워드라인들(WLs) 및 접지 선택 라인(GSL)을 통해 어드레스 디코더(450)와 연결될 수 있다. 또한, 메모리 셀 어레이(420)는 복수의 비트라인들(BLs)을 통해 페이지 버퍼 회로(430)와 연결될 수 있다. 메모리 셀 어레이(420)는 복수의 워드라인들(WLs) 및 복수의 비트라인들(BLs)에 연결되는 복수의 메모리 셀들을 포함할 수 있다.
- [0069] 일 실시예에 있어서, 메모리 셀 어레이(420)는 기관 상에 삼차원 구조(또는 수직 구조)로 형성되는 삼차원(three dimensional) 메모리 셀 어레이일 수 있다. 이 경우, 메모리 셀 어레이(420)는 서로 적층되어 형성되는 복수의 메모리 셀들을 포함하는 복수의 낸드 스트링들을 포함할 수 있다.
- [0070] 도 8은 도 7의 비휘발성 메모리 장치에서 메모리 셀 어레이를 나타내는 블록도이다.
- [0071] 도 8을 참조하면, 메모리 셀 어레이(420)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 제1 수평 방향(HD1), 제2 수평 방향(HD2) 및 수직 방향(VD)을 따라 신장된다. 여기서, z는 3 이상의 자연수일 수 있다. 실시예에 있어서, 메모리 블록들(BLK1~BLKz)은 도 7에 도시된 어드레스 디코더(450)에 의해 선택된다. 예를 들면, 어드레스 디코더(450)는 메모리 블록들(BLK1~BLKz) 중 블록 어드레스에 대응하는 메모리 블록(BLK)을 선택할 수 있다.
- [0072] 도 9는 도 8의 메모리 블록들 중 하나의 메모리 블록을 나타내는 회로도이다.
- [0073] 도 9에 도시된 메모리 블록(BLK<sub>i</sub>)은 기관(SUB) 상에 삼차원 구조로 형성되는 삼차원 메모리 메모리 블록을 나타낸다. 예를 들어, 메모리 블록(BLK<sub>i</sub>)에 포함되는 복수의 셀 스트링들은 상기 기관(SUB)과 수직인 방향(VD)으로

적층될 수 있다.

- [0074] 도 9를 참조하면, 메모리 블록(BLK<sub>i</sub>)은 비트 라인들(BL1, BL2, BL3)과 공통 소스 라인(CSL) 사이에 연결되는 복수의 셀 스트링들(NS11~NS33)을 포함할 수 있다. 복수의 셀 스트링들(NS11~NS33) 각각은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1, MC2, ..., MC8) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다.
- [0075] 스트링 선택 트랜지스터(SST)는 상응하는 스트링 선택 라인(SSL1, SSL2, SSL3)에 연결될 수 있다. 복수의 메모리 셀들(MC1, MC2, ..., MC8)은 각각 상응하는 워드 라인(WL1, WL2, ..., WL8)에 연결될 수 있다. 접지 선택 트랜지스터(GST)는 상응하는 접지 선택 라인(GSL1, GSL2, GSL3)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)는 상응하는 비트 라인(BL1, BL2, BL3)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결될 수 있다.
- [0076] 동일 높이의 워드 라인(예를 들면, WL1)은 공통으로 연결되고, 접지 선택 라인(GSL1, GSL2, GSL3) 및 스트링 선택 라인(SSL1, SSL2, SSL3)은 각각 분리될 수 있다.
- [0077] 도 10은 도 9의 메모리 블록의 하나의 셀 스트링의 구조의 예를 보여준다.
- [0078] 도 9 및 도 10을 참조하면, 낸드 스트링(NS11)에는 기관(SUB) 위에 기관과 수직인 방향으로 신장되어 기관(SUB)과 접촉하는 필라(PL)가 제공될 수 있다. 도 9에 도시된 접지 선택 라인(GSL1), 워드 라인들(WL1~WL8), 그리고 스트링 선택 라인(SSL1)은 각각 기관(SUB)과 평행한 도전 물질들, 예를 들어 금속 물질들로 형성될 수 있다. 필라(PL)는 접지 선택 라인(GSL1), 워드 라인들(WL1~WL8), 그리고 스트링 선택 라인(SSL1)을 형성하는 도전 물질들을 관통하여 기관(SUB)과 접촉할 수 있다.
- [0079] 도 10에서, 절단 선(V-V')에 따른 단면도가 함께 도시되어 있다. 예시적으로, 제1 워드 라인(WL1)에 대응하는 제1 메모리 셀(MC1)의 단면도가 도시된다. 필라(PL)는 원통형의 바디(BD)를 포함할 수 있다. 바디(BD)의 내부에 에어갭(AG)이 제공될 수 있다.
- [0080] 바디(BD)는 P-타입 실리콘을 포함하며, 채널이 형성되는 영역일 수 있다. 필라(PL)는 바디(BD)를 둘러싸는 원통형의 터널 절연막(TI) 및 터널 절연막(TI)을 둘러싸는 원통형의 전하 포획 막(CT)을 더 포함할 수 있다.
- [0081] 제1 워드라인(WL1) 및 필라(PL)의 사이에 블로킹 절연막(BI)이 제공될 수 있다. 바디(BD), 터널 절연막(TI), 전하 포획 막(CT), 블로킹 절연막(BI), 그리고 제1 워드라인(WL1)은 기관(SUB) 또는 기관(SUB)의 상부 면과 수직인 방향으로 형성된 전하 포획형 트랜지스터일 수 있다. 스트링 선택 트랜지스터(SST), 접지 선택 트랜지스터(GST) 및 다른 메모리 셀들은 제1 메모리 셀(MC1)과 동일한 구조를 가질 수 있다.
- [0082] 다시 도 7를 참조하면, 제어 회로(460)는 스토리지 컨트롤러(300)로부터 커맨드(CMD) 및 어드레스 신호(ADDR)를 수신하고, 커맨드(CMD) 및 어드레스 신호(ADDR)에 기초하여 비휘발성 메모리 장치(400a)의 소거 루프, 프로그램 루프 및 독출 동작을 제어할 수 있다. 여기서 프로그램 루프는 프로그램 동작과 프로그램 검증 동작을 포함할 수 있고, 소거 루프는 소거 동작과 소거 검증 동작을 포함할 수 있다.
- [0083] 예를 들어, 제어 회로(460)는 커맨드 신호(CMD)에 기초하여 전압 생성기(470)를 제어하기 위한 제어 신호들(CTLs)과 페이지 버퍼 회로(430)를 제어하기 위한 페이지 버퍼 제어 신호(PBC)를 생성하고, 제어 신호들(CTLs)을 전압 생성기(470)에 제공하고, 페이지 버퍼 제어 신호(PBC)를 페이지 버퍼 회로(430)에 제공할 수 있다. 또한 제어 회로(460)는 어드레스 신호(ADDR)에 기초하여 로우 어드레스(R\_ADDR) 및 컬럼 어드레스(C\_ADDR)를 생성할 수 있다. 제어 회로(460)는 로우 어드레스(R\_ADDR)를 어드레스 디코더(450)에 제공하고, 컬럼 어드레스(C\_ADDR)를 데이터 입출력 회로(440)에 제공할 수 있다.
- [0084] 어드레스 디코더(450)는 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 접지 선택 라인(GSL)을 통해 메모리 셀 어레이(420)와 연결될 수 있다. 프로그램 동작 또는 독출 동작 시, 어드레스 디코더(450)는 제어 회로(460)로부터 제공되는 로우 어드레스(R\_ADDR)에 기초하여 복수의 워드 라인들(WLs) 중의 하나를 선택 워드라인인 제1 워드라인 결정하고, 복수의 워드 라인들(WLs) 중에서 제1 워드라인을 제외한 나머지 워드 라인들을 비선택 워드라인들로 결정할 수 있다.
- [0085] 전압 생성기(470)는 제어 회로(460)로부터 제공되는 제어 신호들(CTLs)에 기초하여 파워(PWR1)를 이용하여 비휘발성 메모리 장치(400a)의 동작에 필요한 워드 라인 전압들(VWLs)을 생성할 수 있다. 전압 생성기(470)로부터 생성되는 워드 라인 전압들(VWLs)은 어드레스 디코더(450)를 통해 복수의 워드 라인들(WLs)에 인가될 수 있다.
- [0086] 예를 들어, 소거 동작 시, 전압 생성기(470)는 메모리 블록의 웰에 소거 전압을 인가하고 메모리 블록의 모든

워드라인들에 접지 전압을 인가할 수 있다. 소거 검증 동작 시, 전압 생성기(470)는 하나의 메모리 블록의 모든 워드라인들에 소거 검증 전압을 인가하거나 워드라인 단위로 소거 검증 전압을 인가할 수 있다.

- [0087] 예를 들어, 프로그램 동작 시, 전압 생성기(470)는 제1 워드라인에 프로그램 전압을 인가하고, 비선택 워드라인들에는 프로그램 패스 전압을 인가할 수 있다. 또한 프로그램 검증 동작 시, 전압 생성기(470)는 제1 워드라인에 프로그램 검증 전압을 인가하고, 비선택 워드라인들에는 검증 패스 전압을 인가할 수 있다.
- [0088] 또한, 독출 동작 시, 전압 생성기(470)는 제1 워드라인에 독출 전압을 인가하고, 비선택 워드라인들에는 독출 패스 전압을 인가할 수 있다.
- [0089] 페이지 버퍼 회로(430)는 복수의 비트 라인들(BLs)을 통해 메모리 셀 어레이(420)와 연결될 수 있다. 페이지 버퍼 회로(430)는 복수의 페이지 버퍼를 포함할 수 있다. 일 실시예에 있어서, 하나의 페이지 버퍼에 하나의 비트 라인이 연결될 수 있다. 다른 실시예에 있어서, 하나의 페이지 버퍼에 두 개 이상의 비트 라인들이 연결될 수 있다.
- [0090] 페이지 버퍼 회로(430)는 프로그램 동작 시 선택된 페이지에 프로그램될 데이터를 임시로 저장하고, 독출 동작 시 선택된 페이지로부터 독출된 데이터를 임시로 저장할 수 있다.
- [0091] 데이터 입출력 회로(440)는 데이터 라인들(DLs)을 통해 페이지 버퍼 회로(430)와 연결될 수 있다. 프로그램 동작 시, 데이터 입출력 회로(440)는 스토리지 컨트롤러(300)로부터 사용자 데이터(DTA)를 수신하고, 제어 회로(460)로부터 제공되는 컬럼 어드레스(C\_ADDR)에 기초하여 사용자 데이터(DTA)를 페이지 버퍼 회로(430)에 제공할 수 있다.
- [0092] 독출 동작 시, 데이터 입출력 회로(440)는 제어 회로(320)로부터 제공되는 컬럼 어드레스(C\_ADDR)에 기초하여 페이지 버퍼 회로(430)에 저장된 사용자 데이터(DTA)를 상기 스토리지 컨트롤러(300)에 제공할 수 있다.
- [0093] 페이지 버퍼 회로(430)와 데이터 입출력 회로(440)는 제어 회로(460)에 의하여 제어될 수 있다.
- [0094] 제어 회로(460)는 메모리 셀 어레이(420)에 대한 프로그램 동작, 소거 동작 및 독출 동작의 완료 및/또는 진행 여부를 나타내는 상태 신호(RnB)를 생성하는 상태 신호 생성기(465)를 포함할 수 있다.
- [0095] 스토리지 컨트롤러(300)는 상태 신호(RnB)에 기초하여 비휘발성 메모리 장치(400a)의 유향 상태 및 비지 상태를 판단할 수 있다.
- [0096] 도 11은 도 8의 메모리 블록들 중 하나의 메모리 블록을 나타내는 사시도이다.
- [0097] 도 11을 참조하면, 메모리 블록(BLK<sub>i</sub>) 워드라인 컷 영역들(WLC) 사이에 적어도 하나의 접지 스트링 라인(GSL), 복수의 워드라인들(WLs), 적어도 하나의 스트링 선택 라인(SSL)이 수직 방향(VD)으로 기판(SUB) 위에 적층되는 형태로 구현될 수 있다. 워드라인 컷 영역들(WLC)의 기판(SUB) 상부에는 도핑 영역들(DOP)이 형성될 수 있고, 도핑 영역들(DOP)은 공통 소스 전압이 공급되는 공통 소스 라인(CSL: common source line) 또는 또는 공통 소스 노드(CSN: common source node)로 이용될 수 있다. 적어도 하나의 스트링 선택 라인(SSL)은 제1 수평 방향(HD1)으로 연장되는 스트링 선택 라인 컷 영역(SSLC)에 의하여 구분될 수 있다.
- [0098] 복수의 수직 채널들 또는 채널 홀들이 적어도 하나의 접지 스트링 라인 기판(GSL), 복수의 워드라인들(WLs), 적어도 하나의 스트링 선택 라인(SSL)을 관통한다. 여기서 적어도 하나의 접지 스트링 라인(GSL), 복수의 워드라인들(WLs), 적어도 하나의 스트링 선택 라인(SSL)은 기판 형태로 구현될 수 있다. 복수의 수직 채널들의 상부면에는 제2 수평 방향(HD2)으로 연장되는 비트라인들(BL)이 연결된다.
- [0099] 도 12a는 도 7의 메모리 셀 어레이에 포함된 메모리 셀이 3 비트 트리플 레벨 셀(TLC(triple-level cell))인 경우, 메모리 셀들의 문턱 전압에 따른 산포를 나타내는 그래프이다.
- [0100] 메모리 셀이 3 비트로 프로그램되는 3 비트 멀티 레벨 셀인 경우에, 메모리 셀은 소거 상태(E) 또는 제1 내지 7 프로그램 상태(P1~P7) 중 하나를 가질 수 있다. 싱글 레벨 셀에 비하여 멀티 레벨 셀의 경우, 문턱 전압(V<sub>th</sub>) 분포들 사이의 간격이 좁으므로, 멀티 레벨 셀에서는 문턱 전압(V<sub>th</sub>)의 작은 변화에 의해 증대한 문제가 야기될 수 있다.
- [0101] 제1 독출 전압(V<sub>r1</sub>)은 소거 상태(E)를 가지는 메모리 셀의 산포와 제1 프로그램 상태(P1)를 가지는 메모리 셀의 산포 사이의 전압 레벨을 가진다. 제2 내지 제7 독출 전압(V<sub>r2</sub>~V<sub>r7</sub>)은 각각의 인접하는 해당 프로그램 상태(P1~P7)의 산포를 갖는 메모리 셀들 사이의 전압 레벨을 갖는다.

- [0102] 일 실시예에서, 제1 독출 전압(Vr1)을 인가하여 메모리 셀이 턴온되면 데이터가 '1'이 저장되고, 메모리 셀이 턴오프되면 데이터가 '0'이 저장된 것으로 구별될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 다른 실시예에서, 제1 독출 전압(Vr1)을 인가하여 메모리 셀이 턴온되면 데이터가 '0'이 저장되고, 메모리 셀이 턴오프되면 데이터가 '1'이 저장된 것으로 구별할 수도 있다. 이와 같이, 데이터의 논리 레벨의 할당은 실시예에 따라 변경될 수 있다.
- [0103] 도 12b는 도 12a의 그래프에서 메모리 셀의 문턱 전압이 변경된 경우를 나타내는 그래프이다.
- [0104] 도 12b를 참조하면, 소거 상태(E), 제1 내지 제7 프로그램 상태(P1 내지 P7)로 각각 프로그램된 메모리 셀들은 독출 환경에 따라 도시된 바와 같이 변경된 분포를 가질 수 있다. 도 11b에서, 빗금 친 부분에 속하는 메모리 셀들은 독출 오류가 발생할 수 있고, 이에 따라, 메모리 장치의 신뢰성이 저하될 수 있다.
- [0105] 예를 들어, 제1 독출 전압(Vr1)을 이용하여 메모리 장치에 대한 독출 동작을 수행할 경우, 빗금 친 부분에 속하는 메모리 셀들은 제1 프로그램 상태(P1)로 프로그램 되었음에도 불구하고, 문턱 전압(Vth)의 감소에 의해 소거 상태(E)로 판단될 수 있다. 이에 따라, 독출 동작에 오류가 발생되어 메모리 장치의 신뢰성이 저하될 수 있다.
- [0106] 비휘발성 메모리 장치(400a)로부터 데이터를 독출하는 경우 RBER(raw bit error rate)은 독출 전압의 전압 레벨에 따라 달라지는데, 독출 전압의 최적 전압 레벨은 메모리 셀들의 산포 모양에 따라 결정될 수 있다. 따라서, 메모리 셀들의 산포가 변화함에 따라 메모리 장치로부터 데이터를 독출하는데 필요한 독출 전압의 최적 전압 레벨도 변경될 수 있다.
- [0107] 도 13은 본 발명의 실시예들에 따른 가상 테이블 생성기를 나타낸다.
- [0108] 도 13을 참조하면, 가상 테이블 생성기(390)는 난수(RN)에 기초하여 가상 테이블(V\_TB)을 생성할 수 있다.
- [0109] 상술한 바와 같이, 가상 테이블(V\_TB)은 메인 함수들 각각에 대응되는 인덱스들을 지정하는 랜덤 값들을 포함할 수 있고, 스토리지 장치(200)는 랜덤 값들을 호스트(100)에 전송함으로써, 벤더 고유 커맨드가 유출되는 것을 방지할 수 있다.
- [0110] 도 14는 본 발명의 실시예들에 따른 가상 테이블을 나타낸다.
- [0111] 도 14를 참조하면, 가상 테이블(V\_TB)은 인덱스들(Idx[0, 1, 2, 3])을 각각 지정하는 랜덤 값들(RNV)을 포함할 수 있다. 실시예에 있어서, 가상 테이블(V\_TB)은 인덱스들(Idx[0, 1, 2, 3])과 랜덤 값들(RNV\_D)을 포함할 수 있다.
- [0112] 도 14에서, 인덱스(Idx[0])를 지정하는 랜덤 값(RNV)은 '0x84548302'이고, 인덱스(Idx[1])를 지정하는 랜덤 값(RNV)은 '0x45328302'이고, 인덱스(Idx[2])를 지정하는 랜덤 값(RNV)은 '0x23403942'이고, 인덱스(Idx[3])를 지정하는 랜덤 값(RNV)은 '0x59642034'이다. 랜덤 값들(0x84548302, 0x45328302, 0x23403942, 0x59642034) 각각에서 '0x'는 랜덤 값들(0x84548302, 0x45328302, 0x23403942, 0x59642034)이 16진수임을 나타낼 수 있다.
- [0113] 즉, 인덱스(Idx[0])는 16진수 랜덤 값(84548302)에 의하여 지정될 수 있고, 인덱스(Idx[1])는 16진수 랜덤 값(45328302)에 의하여 지정될 수 있고, 인덱스(Idx[2])는 16진수 랜덤 값(23403942)에 의하여 지정될 수 있고, 인덱스(Idx[3])는 16진수 랜덤 값(59642034)에 의하여 지정될 수 있다.
- [0114] 인덱스들(Idx[0, 1, 2, 3])과 인덱스들(Idx[0, 1, 2, 3])이 지정하는 메인 함수들은 호스트(100)와 스토리지 장치(200)에 의하여 공유될 수 있고, 가상 테이블(V\_TB)의 엔트리들은 순서대로 인덱스들(Idx[0, 1, 2, 3])을 지정할 수 있다.
- [0115] 도 15는 본 발명의 실시예들에 따른 도 14의 랜덤 값들 중 하나를 나타낸다.
- [0116] 도 15를 참조하면, '0x84548302'에 해당하는 랜덤 값(RNVa)은 복수의 서브 필드들(SF1, SF2, SF3)를 포함할 수 있다. '0x84548302'에서 '8454'는 제1 서브 필드(SF1)에 해당하고, '83'은 제2 서브 필드(SF2)에 해당하고, '02'는 제3 서브 필드(SF3)에 해당할 수 있다. 즉, 도 14의 랜덤 값들(0x84548302, 0x45328302, 0x23403942, 0x59642034) 각각이 제1 서브 필드(SF1), 제2 서브 필드(SF2) 및 제3 서브 필드(SF3)를 포함할 수 있다.
- [0117] 제1 서브 필드(SF1), 제2 서브 필드(SF2) 및 제3 서브 필드(SF3) 각각은 인덱스들(Idx[0, 1, 2, 3])이 지정하는 메인 함수들 각각의 제1 서브 인자, 제2 서브 인자 및 제3 서브 인자에 해당할 수 있다. 도 15에서 제1 서브 필드(SF1)는 해당하는 인덱스를 식별하는데 사용되므로, 도 13의 가상 테이블 생성기(390)는 가상 테이블(V\_TB)을 생성함에 있어, 랜덤 값들(0x84548302, 0x45328302, 0x23403942, 0x59642034)의 제1 서브 필드(SF1)들이

중복되지 않도록 난수(RN)에 기초하여 랜덤 값들(0x84548302, 0x45328302, 0x23403942, 0x59642034)을 생성할 수 있다.

- [0118] 도 16은 본 발명의 실시예들에 따른 호스트와 스토리지 장치가 공유하는 인덱스와 메인 함수를 나타내는 함수 테이블이다.
- [0119] 도 16을 참조하면, 함수 테이블(F\_TB)은 인덱스(IDX) 및 인덱스(IDX)가 지정하는 메인 함수(FUNC) 사이의 맵핑 관계를 나타낼 수 있다.
- [0120] 인덱스(IDX[0])는 메인 함수(FUNC0)에 맵핑될 수 있고, 인덱스(IDX[1])는 메인 함수(FUNC1)에 맵핑될 수 있고, 인덱스(IDX[2])는 메인 함수(FUNC2)에 맵핑될 수 있고, 인덱스(IDX[3])는 메인 함수(FUNC3)에 맵핑될 수 있다. 인덱스(IDX)와 메인 함수(FUNC) 사이의 맵핑 관계는 호스트(100)와 스토리지 장치(200)에 의하여 공유될 수 있다.
- [0121] 도 17a는 본 발명의 실시예들에 따른 가상 테이블 생성기가 메인 함수들 및 서브 함수들에 기초하여 가상 테이블을 생성하는 것을 나타낸다.
- [0122] 도 17a의 표(TB1)는 메인 함수들에 대응되는 인덱스들(IDX(0, 1, 2, 3))과 메인 함수들(FUNC0\_0\_0, FUNC1, FUNC2\_0\_0, FUNC3), 메인 함수(FUNC0\_0\_0)에 관련되는 서브 함수들(FUNC0\_0\_1, FUNC0\_0\_2, FUNC0\_0\_3, FUNC0\_1, FUNC0\_2\_0, FUNC0\_2\_1) 및 메인 함수(FUNC2\_0\_0)에 관련되는 서브 함수(FUNC2\_1\_0)를 나타낸다. 또한, 표(TB1)는 메인 함수(FUNC0\_0\_0)의 랜덤 값(0x84548302), 메인 함수(FUNC0\_0\_0)의 서브 함수들(FUNC0\_0\_1, FUNC0\_0\_2, FUNC0\_0\_3, FUNC0\_1, FUNC0\_2\_0, FUNC0\_2\_1)의 랜덤 값들(0x84548303, 0x84548304, 0x84548305, 0x84548402, 0x84548502, 0x84548503), 메인 함수(FUNC1)의 랜덤 값(0x45328302), 메인 함수(FUNC2\_0\_0)의 랜덤 값(0x23403941), 메인 함수(FUNC2\_0\_0)의 서브 함수 메인 함수(FUNC2\_1\_0)의 랜덤 값(0x23403A41) 및 메인 함수(FUNC3)의 랜덤 값(0x59642034)을 나타낸다.
- [0123] 도 13의 가상 테이블 생성기(390)는 도 17a의 표(TB1)에서 메인 함수들(FUNC0\_0\_0, FUNC1, FUNC2\_0\_0, FUNC3)의 랜덤 값들(0x84548302, 0x45328302, 0x23403941, 0x59642034)이 가상 테이블(V\_TB)로서 호스트(100)에 제공할 수 있다. 가상 테이블 생성기(390)는 랜덤 값들(0x84548302, 0x45328302, 0x23403941, 0x59642034)의 제1 서브 필드들이 중복되지 않도록 랜덤 값들(0x84548302, 0x45328302, 0x23403941, 0x59642034)을 생성할 수 있다.
- [0124] 도 17b는 본 발명의 실시예들에 따른 호스트가 가상 테이블에 기초하여 벤더 고유 커맨드를 생성하는 것을 나타낸다.
- [0125] 도 17b의 표(TB2)는 도 2의 호스트(100)의 커맨드 생성기(160)에 포함되는 VUC 모듈(170)이 메인 함수들(FUNC0\_0\_0, FUNC1, FUNC2\_0\_0, FUNC3)의 랜덤 값들(0x84548302, 0x45328302, 0x23403941, 0x59642034)을 포함하는 가상 테이블(V\_TB)에 기초하여 제1 메인 함수(FUNC0\_0\_0)의 서브 함수(FUNC0\_2\_1)를 타겟 함수로 선택하고, 타겟 함수를 호출하기 위한 랜덤 값을 산출하는 것을 나타낸다.
- [0126] 도 17b를 참조하면, 서브 함수(FUNC0\_2\_1)의 제1 서브 인자가 '0'이므로 참조 번호(511)가 나타내는 바와 같이 제1 메인 함수(FUNC0\_0\_0)의 랜덤 값(0x84548302)에 제1 마스크 패턴(0xFFFF000)을 마스크(&)하여 '0x84540000'를 산출하고, 서브 함수(FUNC0\_2\_1)의 제2 서브 인자가 '2'이므로 참조 번호(513)가 나타내는 바와 같이, 제1 메인 함수(FUNC0\_0\_0)의 랜덤 값(0x84548302)에 제2 마스크 패턴(0x0000FF00)을 마스크(&)하여 '0x00008300'를 산출하고, '0x00008300'에 '0x0000200'를 합산하여 '0x00008500'을 산출하고, 서브 함수(FUNC0\_2\_1)의 제3 서브 인자가 '1'이므로 참조 번호(515)가 나타내는 바와 같이, 제1 메인 함수(FUNC0\_0\_0)의 랜덤 값(0x84548302)에 제3 마스크 패턴(0x000000FF)을 마스크(&)하여 '0x00000002'를 산출하고, '0x00000002'에 '0x00000001'을 합산하여 '00000003'을 산출하고, '0x84540000', '0x00008500' 및 '0x00000003'을 합산하여 '0x84548503'을 산출한다. '0x84548503'은 도 17a에서 서브 함수(FUNC0\_2\_1)의 랜덤 값과 일치한다.
- [0127] 상기 합산 과정에서 자리 올림(캐리)가 발생하면, VUC 모듈(170)은 상기 캐리로 자리 올림을 하지 않고, 상기 캐리를 버릴 수 있다.
- [0128] 커맨드 생성기(160)는 '0x84548503'을 벤더 고유 커맨드(VUC)로서 스토리지 장치(200)에 전송하고, 스토리지 장치(200)의 스토리지 컨트롤러(300)는 벤더 고유 커맨드(VUC)를 파싱하여 서브 함수(FUNC0\_2\_1)를 호출하여 동작을 수행할 수 있다.
- [0129] 도 14 내지 도 17b를 참조한 설명에서 메인 함수들, 메인 함수들 각각의 서브 함수들 및 벤더 고유 커맨드가



32-비트(4 바이트)로 구성되는 예를 설명하였으나, 메인 함수들, 메인 함수들 각각의 서브 함수들 및 벤더 고유 커맨드는 64-비트(8 바이트) 등 다양한 크기로 구성될 수 있다. 따라서 메인 함수들의 인자에 포함되는 서브 인자들은 메인 함수들의 크기에 따라 다양하게 구성될 수 있고, 이에 따라 랜덤 값들의 서브 필드들도 메인 함수들의 크기에 따라 다양하게 구성될 수 있다.

- [0130] 도 18a는 본 발명의 실시예들에 따른 도 5의 스토리지 시스템의 동작 방법을 나타내는 순서도이다.
- [0131] 도 2 내지 도 5 및 도 13 내지 도 18a를 참조하면, 호스트(100)와 스토리지 장치(200)를 포함하는 스토리지 시스템(50)에서, 호스트(100)와 스토리지 장치(200)가 연결되면, 호스트(100)와 스토리지 장치(200)는 서로에게 인증을 요구한다(S110).
- [0132] 호스트(100)와 스토리지 장치(200)는 키 값들을 교환하여(S120) 인증을 수행하고, 상기 인증이 성공인 경우에, 스토리지 장치(200)의 스토리지 컨트롤러(300)의 가상 테이블 생성기(380)는 메인 함수들에 대응되는 인덱스들을 지정하는 랜덤 값들을 포함하는 가상 테이블(V\_TB)를 생성하고(S130), 생성된 가상 테이블(V\_TB)을 호스트 인터페이스(350)를 통하여 호스트(100)에 전송한다(S140).
- [0133] 호스트(100)는 가상 테이블(V\_TB)을 수신하고, 호스트(100)의 커맨드 생성기(160)는 가상 테이블(V\_TB)에 기초하여 메인 함수들 및 서브 함수들 중에서 선택된 타겟 함수를 지정하는 랜덤 값을 가지는 벤더 고유 커맨드(VUC)를 생성하고(S150), 호스트(100)는 스토리지 인터페이스(140)를 통하여 벤더 고유 커맨드(VUC)를 스토리지 장치(200)에 전송한다(S160).
- [0134] 스토리지 장치(200)의 커맨드 매니저(380)는 벤더 고유 커맨드(VUC)를 파싱하고, 스토리지 컨트롤러(300)는 파싱된 벤더 고유 커맨드(VUC)에 상응하는 동작을 수행하고(S180), 동작의 결과(RZ)를 호스트 인터페이스(350)를 통하여 호스트(100)에 전송한다(S190).
- [0135] 도 18b는 본 발명의 실시예들에 따른 도 5의 스토리지 시스템의 동작 방법을 나타내는 순서도이다.
- [0136] 도 2 내지 도 5, 도 13 내지 도 17 및 도 18b를 참조하면, 호스트(100)와 스토리지 장치(200)를 포함하는 스토리지 시스템(50)에서, 호스트(100)와 스토리지 장치(200)가 연결되면, 호스트(100)와 스토리지 장치(200)는 서로에게 인증을 요구한다(S110).
- [0137] 호스트(100)와 스토리지 장치(200)는 키 값들을 교환하여(S120) 인증을 수행하고, 상기 인증이 성공인 경우에, 스토리지 장치(200)의 스토리지 컨트롤러(300)의 가상 테이블 생성기(380)는 메인 함수들에 대응되는 인덱스들과 상기 인덱스들을 지정하는 랜덤 값들을 포함하는 가상 테이블(V\_TB)를 생성하고(S130a), 생성된 가상 테이블(V\_TB)을 암호화하고(S135), 암호화된 가상 테이블(V\_TB)을 호스트 인터페이스(350)를 통하여 호스트(100)에 전송한다(S140a).
- [0138] 호스트(100)는 암호화된 가상 테이블(V\_TB)을 수신하고, 암호화된 가상 테이블(V\_TB)을 복호화하고(S145), 호스트(100)의 커맨드 생성기(160)는 가상 테이블(V\_TB)에 기초하여 메인 함수들 및 서브 함수들 중에서 선택된 타겟 함수를 지정하는 랜덤 값을 가지는 벤더 고유 커맨드(VUC)를 생성하고(S150), 호스트(100)는 스토리지 인터페이스(140)를 통하여 벤더 고유 커맨드(VUC)를 스토리지 장치(200)에 전송한다(S160).
- [0139] 스토리지 장치(200)의 커맨드 매니저(380)는 벤더 고유 커맨드(VUC)를 파싱하고, 스토리지 컨트롤러(300)는 파싱된 벤더 고유 커맨드(VUC)에 상응하는 동작을 수행하고(S180), 동작의 결과(RZ)를 호스트 인터페이스(350)를 통하여 호스트(100)에 전송한다(S190).
- [0140] 호스트(100)와 스토리지 장치(200)가 사용하는 가상 테이블(V\_TB)의 유효 구간은 호스트(100)와 스토리지 장치(200)가 서로 연결되어 통신 가능한 구간에 해당할 수 있고, 일정한 주기 또는 특정한 외부 이벤트가 발생하는 경우, 스토리지 장치(200)는 새로운 가상 테이블(V\_TB)을 생성하고, 생성된 가상 테이블(V\_TB)을 호스트(100)에 전송할 수 있다.
- [0141] 따라서 본 발명의 실시예들에 따른 스토리지 시스템(50)에서는 스토리지 장치(200)가 랜덤 값들을 포함하는 가상 테이블(V\_TB)을 인증된 호스트(100)에 전송하고, 호스트(100)는 가상 테이블(V\_TB)에 기초하여 타겟 함수를 지정하는 랜덤 값을 가지는 벤더 고유 커맨드(VUC)를 생성하고, 벤더 고유 커맨드(VUC)를 스토리지 장치(200)에 전송한다. 따라서, 벤더 고유 커맨드(VUC)의 내용이 유출되는 것을 방지하여 벤더 고유 커맨드(VUC)의 보안을 강화할 수 있다.
- [0142] 도 19는 본 발명의 실시예들에 따른 도 18의 동작 방법에서 가상 테이블을 생성하는 단계를 보다 상세히 나타내

는 흐름도이다.

- [0143] 도 19를 참조하면, 가상 테이블(V\_TB)를 생성하기 위하여(S130), 가상 테이블 생성기(390)는 가상 테이블의 생성을 시작한다(S131). 가상 테이블 생성기(390)는 가상 테이블(V\_TB)의 엔트리들의 개수(count)가 인덱스들의 개수(nIDX)와 동일한지 여부를 판단한다(S132).
- [0144] 가상 테이블(V\_TB)의 엔트리들의 개수(count)가 인덱스들의 개수(nIDX)와 동일하면(S132에서 YES), 가상 테이블 생성기(390)는 가상 테이블의 생성을 완료한다(S133). 가상 테이블(V\_TB)의 엔트리들의 개수(count)가 인덱스들의 개수(nIDX)와 동일하지 않으면(S132에서 NO), 가상 테이블 생성기(390)는 난수(RN)에 기초하여 랜덤 값의 후보(CND)을 생성한다(S134).
- [0145] 가상 테이블 생성기(390)는 후보(CND)의 제1 서브 필드(CND(SF1))이 가상 테이블(V\_TB)에 기저장된 인덱스들의 제1 서브 필드(IDX[SF1])와 동일한지 여부를 판단한다(S135). 후보(CND)의 제1 서브 필드(CND(SF1))가 인덱스들 중 하나의 제1 서브 필드(IDX[SF1])와 동일하면(S135에서 YES), 동작(S132)으로 복귀한다. 후보(CND)의 제1 서브 필드(CND(SF1))가 인덱스들 중 하나의 제1 서브 필드(IDX[SF1])와 동일하지 않으면(S135에서 NO), 가상 테이블 생성기(390)는 후보(CND)를 가상 테이블(V\_TB)에 등록(저장)하고, 동작(S132)으로 복귀한다.
- [0146] 도 20은 본 발명의 실시예들에 따른 가상 테이블 생성기의 동작을 나타내는 흐름도이다.
- [0147] 도 13 및 도 20을 참조하면, 벤더에 의하여 가상 테이블(V\_TB)의 랜덤화 여부가 판단된다(S310). 현재 단계가 스토리지 장치(200)의 개발 단계이면, 가상 테이블(V\_TB)의 랜덤화가 비활성화되고(S310에서 Disable), 가상 테이블 생성기(390)는 인덱스들과 동일한 값을 가지는 가상 테이블(V\_TB)을 생성하고(S320), 가상 테이블(V\_TB)을 호스트(100)로 전송한다(S340).
- [0148] 현재 단계가 스토리지 장치(200)의 양산(mass production) 단계이면, 가상 테이블(V\_TB)의 랜덤화가 활성화되고(S310에서 Enable), 가상 테이블 생성기(390)는 난수(RN)에 기초하여 인덱스들을 지정하는 랜덤 값들을 포함하는 가상 테이블(V\_TB)을 생성하고(S330), 가상 테이블(V\_TB)을 호스트(100)로 전송한다(S340).
- [0149] 도 21은 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.
- [0150] 도 21을 참조하면, 스토리지 시스템(600)은 링크(605)를 통하여 연결되는 호스트(610) 및 스토리지 장치(650)를 포함할 수 있다. 도 21에는 본 발명의 실시예들을 설명하기 위한 구성요소들만을 도시하고 있다. 호스트(610) 및 스토리지 장치(650)는 각각의 구성에 따라서 도 21에 도시되지 않은 다양한 구성 요소들을 더 포함할 수 있다.
- [0151] 호스트(610)는 스토리지 장치(650)에 데이터를 저장하거나 또는 스토리지 장치(650)에 저장된 데이터를 독출할 수 있다. 호스트(610)는 제1 포트(PT1)를 통해 스토리지 장치(650)와 통신할 수 있다. 예시적으로, 제1 포트(PT1)는 PCIe 프로토콜 기반의 물리 포트일 수 있다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0152] 이하에서, 본 발명의 기술적 특징을 간결하게 설명하기 위하여, 호스트(610) 및 스토리지 장치(650)는 PCIe 프로토콜 기반의 물리 포트(예를 들어, 제1 및 제2 포트들(PT1, PT2))을 통해 서로 통신하는 것으로 가정한다.
- [0153] 호스트(610)는 프로세서(620), 호스트 메모리 버퍼(HMB, 630), VUC 모듈(645) 및 루트 컴플렉스(640)를 포함할 수 있다.
- [0154] 프로세서(620)는 호스트 프로세서라 호칭될 수 있고, 중앙 처리 장치(CPU) 코어(621) 및 CPU 코어(621)에 접속된 캐시(625)를 포함할 수 있다.
- [0155] 호스트 메모리 버퍼(630)는 전송 큐(SQ, 631) 및 완료 큐(CQ, 633)을 포함할 수 있다. 전송 큐(631)는 스토리지 장치(650)로 제공될 커맨드를 저장할 수 있다. 완료 큐(633)는 스토리지 장치(650)에서 완료된 동작에 대한 완료 정보를 저장할 수 있다.
- [0156] VUC 모듈(645)은 상술한 바와 같이, 스토리지 장치(650)로부터 전송되는 가상 테이블에 기초하여 벤더 고유 커맨드를 생성할 수 있다.
- [0157] 루트 컴플렉스(640)는 프로세서(620), VUC 모듈(645) 및 호스트 메모리 버퍼(630)에 연결될 수 있다.
- [0158] 스토리지 장치(650)는 스토리지 컨트롤러(660) 및 적어도 하나의 비휘발성 메모리 장치(680)를 포함할 수 있다.
- [0159] 적어도 하나의 비휘발성 메모리 장치(680)는 스토리지 컨트롤러(660)의 제어에 따라 동작할 수 있다. 적어도 하나의 비휘발성 메모리 장치(680)는 낸드 플래시 메모리 장치일 수 있으나, 본 발명의 범위가 이에 한정되는 것

은 아니다.

- [0160] 스토리지 컨트롤러(660)는 커맨드 분석기(command parser, 665), 가상 테이블 생성기(667) 및 직접 메모리 액세스(direct memory access, DMA) 엔진(670)을 포함할 수 있다.
- [0161] 커맨드 분석기(665)는 호스트(610)로부터 제공되는 커맨드 및 벤더 고유 커맨드를 분석하고 분석된 커맨드를 비휘발성 메모리 장치(680)에 제공하고, 가상 테이블 생성기(667)는 상술한 바와 같이, 메인 함수들에 대응되는 인덱스들을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 가상 테이블을 호스트(610)에 전송하고, DMA 엔진(670)은 비휘발성 메모리 장치(680) 또는 호스트 메모리 버퍼(630)에 대한 메모리 액세스를 제어할 수 있다.
- [0162] 실시예에 있어서, 호스트(610) 및 스토리지 디바이스(650)는 피씨아이 익스프레스 (PCIe) 표준에 따른 PCIe 링크(605)를 통하여 연결될 수 있다.
- [0163] 도 22 및 도 23은 본 발명의 실시예들에 따른 스토리지 시스템에 적용되는 인터커넥트 아키텍처의 일 실시예를 나타내는 도면들이다.
- [0164] 도 22 및 23을 참조하면, 계층화된 프로토콜 스택의 일 실시예가 도시된다. 계층화된 프로토콜 스택은, QPI(Quick Path Interconnect) 스택, PCIe 스택, 차세대 고성능 컴퓨팅 인터커넥트 스택, 또는 다른 계층화된 스택과 같은, 임의의 형태의 계층화된 통신 스택을 포함한다. 본 발명의 실시예들은 PCIe 스택에 기초하여 설명되지만, 동일한 개념들이 다른 인터커넥트 스택들에 적용될 수 있다. 일 실시예에서, 프로토콜 스택은 트랜잭션 계층, 링크 계층, 및 물리 계층을 포함하는 PCIe 프로토콜 스택이다. 통신 프로토콜 스택으로서의 표현은 또한 프로토콜 스택을 구현/포함하는 모듈 또는 인터페이스로 지칭될 수도 있다.
- [0165] PCIe는 장치들(또는 컴포넌트들) 사이에서 정보를 통신하기 위해 패킷들을 사용한다. 송신 컴포넌트로부터 수신 컴포넌트로 정보를 전달하기 위해, 패킷들이 트랜잭션 계층 및 데이터 링크 계층에서 형성될 수 있다. 송신된 패킷들이 다른 계층들을 통해 흘러감에 따라, 그들은 그 계층들에서 패킷들을 처리하기 위해 필요한 추가 정보로 확장된다. 수신측에서 반대의 프로세스(reverse process)가 일어나고 패킷들은 이들의 물리 계층 표현에서 데이터 링크 계층 표현으로 그리고 마지막으로 (트랜잭션 계층 패킷들의 경우) 수신 디바이스의 트랜잭션 계층에 의해 처리될 수 있는 형태로 변환된다.
- [0166] 일 실시예에서, 트랜잭션 계층은, 데이터 링크 계층과 물리 계층과 같은, 디바이스의 프로세싱 코어 및 인터커넥트 아키텍처 사이에 인터페이스를 제공하는 것이다. 이러한 점에서, 트랜잭션 계층의 일차적 책임은 패킷들(즉, 트랜잭션 계층 패킷들 또는 TLP들)의 조립과 분해이다. 트랜잭션 계층은 전형적으로 TLP들에 대한 크레딧 기반 흐름 제어(credit-based flow control)를 관리한다. PCIe는 분할 트랜잭션들, 즉 요청과 응답이 시간에 의해 분리된 트랜잭션으로 구현하여, 타겟 디바이스가 응답에 대한 데이터를 수집하는 동안에 링크가 다른 트래픽을 반송할 수 있게 한다.
- [0167] 일 실시예에서, 트랜잭션 계층은 패킷 헤더/페이로드를 조립한다. 현재 패킷 헤더들/페이로드들에 대한 포맷은 PCIe 사양 웹 사이트에서의 PCIe 사양에서 발견될 수 있다.
- [0168] 데이터 링크 계층이라고도 지칭하는 링크 계층은 트랜잭션 계층과 물리 계층 사이의 중간 스테이지로서 역할을 한다. 일 실시예에서, 데이터 링크 계층의 책임은 링크를 통해 2개의 컴포넌트들(610, 650) 사이에서 트랜잭션 계층 패킷들(TLP들)을 교환하기 위한 신뢰할 수 있는 메커니즘을 제공하는 것이다. 데이터 링크 계층의 일 측은 트랜잭션 계층에 의해 조립된 TLP들을 수락하고, 패킷 시퀀스 식별자, 즉, 식별 번호 또는 패킷 번호를 적용하고, 에러 검출 코드, 즉, LCRC를 계산 및 적용하고, 물리 계층을 건너 외부 디바이스로의 송신을 위해 물리 계층에 수정된 TLP들을 제출한다.
- [0169] 일 실시예에서, 물리 계층은 패킷을 외부 디바이스로 물리적으로 송신하기 위해 논리 서브블록 및 전기 서브블록을 포함한다. 여기서, 논리 서브블록은 물리 계층의 "디지털" 기능들을 책임지고 있다. 이와 관련하여, 논리 서브블록은 물리 서브블록에 의한 송신을 위해 송출 정보를 준비하는 송신 섹션, 및 수신된 정보를 링크 계층에 전달하기 전에 그를 식별 및 준비하는 수신 섹션을 포함한다.
- [0170] 물리 블록은 송신기(TX) 및 수신기(RX)를 포함한다. 송신기(TX)는 논리 서브블록에 의해 심볼들을 공급받고, 송신기(TX)는 이들을 직렬화하여 외부 디바이스로 송신한다. 수신기(RX)는 외부 디바이스로부터 직렬화된 심볼들을 공급받고, 수신된 신호들을 비트 스트림으로 변환한다. 비트 스트림은 역직렬화되고 논리 서브블록에 공급된다. 일 실시예에서, 8b/10b 송신 코드가 이용되고, 10-비트 심볼들이 송신/수신된다. 여기서, 프레임들로 패킷

을 프레임링(framing)하기 위해 특정 심볼들이 사용된다. 그에 추가하여, 일 예에서, 수신기는 또한 착신 직렬 스트림으로부터 복원된 심볼 클록을 제공한다.

- [0171] 상술한 바와 같이, 트랜잭션 계층, 링크 계층 및 물리 계층이 PCIe 프로토콜 스택의 특정 실시예에 관하여 논의될지라도, 계층화된 프로토콜 스택이 이에 제한되지 않는다. 실시예들에 따라서, 임의의 계층화된 프로토콜이 포함/구현될 수 있다.
- [0172] 도 24는 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.
- [0173] 도 24를 참조하면, 스토리지 시스템(700)은 UFS(universal flash storage) 호스트(710) 및 UFS 스토리지 장치(740)를 포함할 수 있다.
- [0174] UFS 호스트(710)는 스토리지 인터페이스 회로(720) 및 VUC 모듈(735)를 포함할 수 있고, UFS 스토리지 장치(740)는 호스트 인터페이스 회로(750) 및 가상 테이블(V\_TABLE) 생성기(770)를 포함할 수 있다.
- [0175] VUC 모듈(765)은 상술한 바와 같이, UFS 스토리지 장치(740)로부터 전송되는 가상 테이블에 기초하여 벤더 고유 커맨드를 생성할 수 있다. 가상 테이블 생성기(770)는, 상술한 바와 같이, 메인 함수들에 대응되는 인덱스들을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 가상 테이블을 UFS 호스트(710)에 전송할 수 있다.
- [0176] 도 24에서 스토리지 인터페이스 회로(720)와 호스트 인터페이스 회로(750)는 설명의 편의를 위하여 각각 제1 인터페이스 회로 및 제2 인터페이스 회로로 호칭될 수 있고, MIPI(Mobile Industry Processor Interface) 연합(Alliance)에 의해 제안된 인터페이스 규약(Protocol)인 M-PHY 및 Unipro를 포함할 수 있다. 제1 인터페이스 회로(720)는 정해진 규약(즉, UFS 규약)에 따라 통신할 수 있다. 이를 위해, 제1 인터페이스 회로(720)의 물리 계층(M-PHY)은 출력 단자들(DOUT\_t, DOUT\_c), 입력 단자들(DIN\_t, DIN\_c), 및 클럭 단자(REF\_CLK)를 포함할 수 있다. 제1 인터페이스 회로(720)의 물리 계층(M-PHY)은 송신기(731) 및 수신기(732)를 포함할 수 있다.
- [0177] 제1 인터페이스 회로(720)의 물리 계층(M-PHY)은 출력 단자들(DOUT\_t, DOUT\_c)을 통하여 신호들을 제2 인터페이스 회로(750)로 전송할 수 있다. 출력 단자들(DOUT\_t, DOUT\_c)은 송신기(731)에 연결되어 제1 인터페이스 회로(720)의 송신 채널(M-TX)를 구성할 수 있다. 예를 들어, 출력 단자들(DOUT\_t, DOUT\_c)을 통하여 전송되는 신호들은 한 쌍의 차동 신호들을 구성할 수 있다. 즉, 출력 단자(DOUT\_c)를 통하여 전송되는 신호는 출력 단자(DOUT\_t)를 통하여 전송되는 신호와 상보적일 수 있다.
- [0178] 제1 인터페이스 회로(720)의 물리 계층(M-PHY)은 입력 단자들(DIN\_t, DIN\_c)을 통하여 신호들을 제2 인터페이스 회로(750)로부터 수신할 수 있다. 입력 단자들(DIN\_t, DIN\_c)은 수신기(732)에 연결되어 제1 인터페이스 회로(720)의 수신 채널(M-RX)을 구성할 수 있다. 예를 들어, 입력 단자들(DIN\_t, DIN\_c)을 통하여 수신되는 신호들은 한 쌍의 차동 신호를 구성할 수 있다. 즉, 입력 단자(DIN\_c)를 통하여 수신되는 신호는 입력 단자(DIN\_t)를 통하여 수신되는 신호와 상보적일 수 있다.
- [0179] 출력 단자들(DOUT\_t, DOUT\_c)과 입력 단자들(DIN\_t, DIN\_c)은 미리 정해진 규약에 따라 다양한 상태들 중 어느 하나로 제어될 수 있다. 예를 들어, 출력 단자들(DOUT\_t, DOUT\_c)과 입력 단자들(DIN\_t, DIN\_c)의 각각은 양의 상태, 음의 상태, 접지 상태, 또는 플로팅 상태 중 하나로 제어될 수 있다.
- [0180] 제1 출력 단자(DOUT\_t)의 출력 신호의 레벨(예컨대, 전압 레벨)이 제2 출력 단자(DOUT\_c)의 출력 신호의 레벨보다 높을 때, 출력 단자들(DOUT\_t, DOUT\_c)은 양의 상태일 수 있다. 제1 출력 단자(DOUT\_t)의 출력 신호의 레벨이 제2 출력 단자(DOUT\_c)의 출력 신호의 레벨보다 낮을 때, 출력 단자들(DOUT\_t, DOUT\_c)은 음의 상태일 수 있다. 제1 출력 단자(DOUT\_t) 및 제2 출력 단자(DOUT\_c)가 플로팅 될 때, 출력 단자들(DOUT\_t, DOUT\_c)은 플로팅 상태일 수 있다. 제1 출력 단자(DOUT\_t) 및 제2 출력 단자(DOUT\_c)의 레벨들이 동일할 때, 출력 단자들(DOUT\_t, DOUT\_c)은 접지 상태일 수 있다.
- [0181] 제1 입력 단자(DIN\_t)의 입력 신호의 레벨이 제2 입력 단자(DIN\_c)의 입력 신호의 레벨보다 높을 때, 입력 단자들(DIN\_t, DIN\_c)은 양의 상태일 수 있다. 제1 입력 단자(DIN\_t)의 입력 신호의 레벨이 제2 입력 단자의 입력 신호의 레벨보다 낮을 때, 입력 단자들(DIN\_t, DIN\_c)은 음의 상태일 수 있다. 제1 입력 단자(DIN\_t) 및 제2 입력 단자(DIN\_c)가 접지 상태의 단자들에 연결될 때, 출력 단자들(DOUT\_t, DOUT\_c)은 접지 상태일 수 있다. 제1 입력 단자(DIN\_t) 및 제2 입력 단자(DIN\_c)가 플로팅 될 때, 입력 단자들(DIN\_t, DIN\_c)은 플로팅 상태일 수 있다.
- [0182] 제2 인터페이스 회로(750)는 UFS 규약에 따라 통신할 수 있다. 이를 위해, 제2 인터페이스 회로(750)의 물리 계층(MPHY)은 출력 단자들(DOUT\_t, DOUT\_c), 입력 단자들(DIN\_t, DIN\_c), 및 클럭 단자(REF\_CLK)를 포함할 수 있

다.

- [0183] 제2 인터페이스 회로(750)의 출력 단자들(DOUT\_t, DOUT\_c)은 제1 인터페이스 회로(720)의 입력 단자들(DIN\_t, DIN\_c)에 대응할 수 있으며, 제2 인터페이스 회로(750)의 입력 단자들(DIN\_t, DIN\_c)은 제1 인터페이스 회로(720)의 출력 단자들(DOUT\_t, DOUT\_c), 입력 단자들(DIN\_t, DIN\_c)에 대응할 수 있다.
- [0184] 제2 인터페이스 회로(750)의 물리 계층(M-PHY)은 입력 단자들(DIN\_t, DIN\_c)을 통하여 신호들을 수신할 수 있으며, 출력 단자들(DOUT\_t, DOUT\_c)을 통하여 신호를 전송할 수 있다. 제2 인터페이스 회로(750)의 물리 계층(M-PHY)은 수신기(761) 및 송신기(763)을 포함할 수 있다.
- [0185] 제2 인터페이스 회로(750)의 출력 단자들(DOUT\_t, DOUT\_c) 및 입력 단자들(DIN\_t, DIN\_c)은 앞서 제1 인터페이스 회로(720)에 설명된 것과 유사한 방식에 따라 양의 상태, 음의 상태, 접지 상태, 또는 플로팅 상태로 제어될 수 있다.
- [0186] 한편, MIPI M-PHY 스펙에 의하면, 제2 인터페이스 회로(750)의 물리 계층(M-PHY)은 기준 클럭 검출기(765)를 포함할 수 있다. 기준 클럭 검출기(765)는 UFS 스토리지 장치(740)의 유휴 모드와 활성 모드 사이의 변경을 감지할 수 있다.
- [0187] UFS 스토리지 장치(740)가 어떠한 동작도 실행하지 않는 경우, UFS 스토리지 장치(740)는 제1 유휴 모드 또는 제2 유휴 모드에 있을 수 있다. UFS 스토리지 장치(740)가 제 1 유휴 모드 및/또는 제 2 유휴 모드에 있는 경우, 제1 인터페이스 회로(720)는 제2 인터페이스 회로(750)로 기준 클럭(REF\_CLK)을 전송하지 않을 수 있다. UFS 스토리지 장치(740)가 제1 유휴 모드 및/또는 제2 유휴 모드로부터 활성 모드로 변경되는 경우, 제2 인터페이스 회로(750)의 입력 단자들(DIN\_t, DIN\_c)은 플로팅 상태에서부터 음의 상태로 변경될 수 있다. 그리고, UFS 스토리지 장치(740)가 제1 유휴 모드 및/또는 제2 유휴 모드로부터 활성 모드로 변경되는 경우, 제1 인터페이스 회로(720)는 제2 인터페이스 회로(750)로 기준 클럭(REF\_CLK)의 전송을 재개할 수 있다.
- [0188] 실시 예에 있어서, UFS 스토리지 장치(740)가 제 2 유휴 모드에 있는 경우, 기준 클럭 검출기(765)는 기준 클럭(REF\_CLK)의 토글링에 기반하여 UFS 스토리지 장치(740)를 활성 모드로 진입시키기 위한 트리거 신호를 생성할 수 있다.
- [0189] 도 25는 본 발명의 실시예들에 따른 스토리지 장치를 나타내는 블록도이다.
- [0190] 도 25를 참조하면, 스토리지 장치(800)은 스토리지 컨트롤러(810) 및 스토리지 미디어(820)를 포함할 수 있다. 스토리지 장치(800)는 복수의 채널들(CH1, CH2, ..., CHk)을 지원할 수 있고, 메 스토리지 컨트롤러(810) 및 스토리지 미디어(820)는 복수의 채널들(CH1~CHk)을 통해 연결될 수 있다. 스토리지 컨트롤러(810)는 가상 테이블 생성기(815)를 포함할 수 있고, 가상 테이블 생성기(815)는, 상술한 바와 같이, 메인 함수들에 대응되는 인덱스들을 지정하는 랜덤 값들을 포함하는 가상 테이블을 생성하고, 가상 테이블을 인증된 호스트에 전송할 수 있다.
- [0191] 스토리지 미디어(820)는 복수의 비휘발성 메모리 장치들(NVM11, NVM12, ..., NVM1s, NVM21, NVM22, ..., NVM2s, NVMk1, NVMk2, ..., NVMks)을 포함할 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVMks)은 도 1의 비휘발성 메모리들 장치들(400a, ..., 400k)에 대응할 수 있다. 비휘발성 메모리 장치들(NVM11~NVMks) 각각은 대응하는 웨이(way)를 통해 복수의 채널들(CH1~CHk) 중 하나에 연결될 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVM1s)은 웨이들(W11, W12, ..., W1n)을 통해 제1 채널(CH1)에 연결되고, 비휘발성 메모리 장치들(NVM21~NVM2s)은 웨이들(W21, W22, ..., W2n)을 통해 제2 채널(CH2)에 연결되며, 비휘발성 메모리 장치들(NVMk1~NVMks)은 웨이들(Wk1, Wk2, ..., Wks)을 통해 제k 채널(CHk)에 연결될 수 있다. 예시적인 실시예에서, 비휘발성 메모리 장치들(NVM11~NVMks) 각각은 스토리지 컨트롤러(810)로부터의 개별적인 명령에 따라 동작할 수 있는 임의의 메모리 단위로 구현될 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVMks) 각각은 칩(chip) 또는 다이(die)로 구현될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0192] 스토리지 컨트롤러(810)는 복수의 채널들(CH1~CHk)을 통해 스토리지 미디어(820)와 신호들을 송수신할 수 있다. 예를 들어, 스토리지 컨트롤러(810)는 도 1의 스토리지 컨트롤러(200)에 대응할 수 있다. 예를 들어, 스토리지 컨트롤러(810)는 채널들(CH1~CHk)을 통해 스토리지 미디어(820)로 커맨드들(CMDa, CMDb, ..., CMDk), 어드레스들(ADDRa, ADDRb, ..., ADDRk) 및 데이터(DATAa, DATAb, ..., DATAk)를 전송하거나, 스토리지 미디어(820)로부터 데이터(DATAa~DATAk)를 수신할 수 있다.
- [0193] 스토리지 미디어(820)는 각각의 채널을 통해 해당 채널에 연결된 비휘발성 메모리 장치들 중 하나를 선택하고, 선택된 비휘발성 메모리 장치와 신호들을 송수신할 수 있다.

- [0194] 스토리지 컨트롤러(810)는 서로 다른 채널들을 통해 스토리지 미디어(820)와 신호들을 병렬적으로 송수신할 수 있다.
- [0195] 도 26은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 시스템을 나타내는 블록도이다.
- [0196] 도 26을 참조하면, 전자 시스템(3000)은 반도체 장치(3100) 및 반도체 장치(3100)와 전기적으로 연결되는 컨트롤러(3200)를 포함할 수 있다. 전자 시스템(3000)은 하나 또는 복수의 반도체 장치들(3100)을 포함하는 스토리지 장치(storage device) 또는 스토리지 장치를 포함하는 전자 장치(electronic device)일 수 있다. 예를 들어, 전자 시스템(3000)은 하나 또는 복수의 반도체 장치들(3100)을 포함하는 에스에스디(Solid State Drive: SSD) 장치, 유에스비(Universal Serial Bus: USB), 컴퓨팅 시스템, 의료 장치 또는 통신 장치일 수 있다.
- [0197] 반도체 장치(3100)는 비휘발성 메모리 장치일 수 있으며, 예를 들어, 도 6 내지 도 11을 참조하여 상술한 비휘발성 메모리 장치일 수 있다. 반도체 장치(3100)는 제1 구조물(3100F) 및 제1 구조물(3100F) 상의 제2 구조물(3100S)을 포함할 수 있다. 제1 구조물(3100F)은 디코더 회로(3110), 페이지 버퍼 회로(3120), 및 로직 회로(3130)를 포함하는 주변 회로 구조물일 수 있다. 제2 구조물(3100S)은 비트라인(BL), 공통 소스 라인(CSL), 워드라인들(WL), 제1 및 제2 게이트 상부 라인들(UL1, UL2), 제1 및 제2 게이트 하부 라인들(LL1, LL2), 및 비트라인(BL)과 공통 소스 라인(CSL) 사이의 메모리 셀 스트링들(CSTR)을 포함하는 메모리 셀 구조물일 수 있다.
- [0198] 제2 구조물(3100S)에서, 각각의 메모리 셀 스트링들(CSTR)은 공통 소스 라인(CSL)에 인접하는 하부 트랜지스터들(LT1, LT2), 비트 라인(BL)에 인접하는 상부 트랜지스터들(UT1, UT2), 및 하부 트랜지스터들(LT1, LT2)과 상부 트랜지스터들(UT1, UT2) 사이에 배치되는 복수의 메모리 셀 트랜지스터들(MCT)을 포함할 수 있다. 하부 트랜지스터들(LT1, LT2)의 개수와 상부 트랜지스터들(UT1, UT2)의 개수는 실시예들에 따라 다양하게 변형될 수 있다.
- [0199] 예시적인 실시예들에서, 상부 트랜지스터들(UT1, UT2)은 스트링 선택 트랜지스터를 포함할 수 있고, 하부 트랜지스터들(LT1, LT2)은 그라운드 선택 트랜지스터를 포함할 수 있다. 하부 게이트 라인들(LL1, LL2)은 각각 하부 트랜지스터들(LT1, LT2)의 게이트 전극일 수 있다. 워드 라인들(WL)은 메모리 셀 트랜지스터들(MCT)의 게이트 전극들일 수 있고, 상부 게이트 라인들(UL1, UL2)은 각각 상부 트랜지스터들(UT1, UT2)의 게이트 전극일 수 있다.
- [0200] 예시적인 실시예들에서, 하부 트랜지스터들(LT1, LT2)은 직렬 연결된 하부 소거 제어 트랜지스터(LT1) 및 그라운드 선택 트랜지스터(LT2)를 포함할 수 있다. 상부 트랜지스터들(UT1, UT2)은 직렬 연결된 스트링 선택 트랜지스터(UT1) 및 상부 소거 제어 트랜지스터(UT2)를 포함할 수 있다. 하부 소거 제어 트랜지스터(LT1) 및 상부 소거 제어 트랜지스터(UT1) 중 적어도 하나는 게이트 유도 누설 전류(Gate Induce Drain Leakage: GIDL) 현상을 이용하여 메모리 셀 트랜지스터들(MCT)에 저장된 데이터를 삭제하는 소거 동작에 이용될 수 있다.
- [0201] 공통 소스 라인(CSL), 제1 및 제2 하부 게이트 라인들(LL1, LL2), 워드 라인들(WL), 및 제1 및 제2 상부 게이트 라인들(UL1, UL2)은, 제1 구조물(3100F) 내에서 제2 구조물(1100S)까지 연장되는 제1 연결 배선들(3115)을 통해 디코더 회로(3110)와 전기적으로 연결될 수 있다. 비트 라인들(BL)은 제1 구조물(3100F) 내에서 제2 구조물(3100S)까지 연장되는 제2 연결 배선들(3125)을 통해 페이지 버퍼 회로(3120)와 전기적으로 연결될 수 있다.
- [0202] 제1 구조물(3100F)에서, 디코더 회로(1110) 및 페이지 버퍼 회로(3120)는 복수의 메모리 셀 트랜지스터들(MCT) 중 적어도 하나의 선택 메모리 셀 트랜지스터에 대한 제어 동작을 실행할 수 있다. 디코더 회로(3110) 및 페이지 버퍼 회로(3120)는 로직 회로(3130)에 의해 제어될 수 있다. 반도체 장치(3000)는 로직 회로(3130)와 전기적으로 연결되는 입출력 패드(3101)를 통해, 컨트롤러(3200)와 통신할 수 있다. 입출력 패드(3101)는 제1 구조물(3100F) 내에서 제2 구조물(3100S)까지 연장되는 입출력 연결 배선(3135)을 통해 로직 회로(3130)와 전기적으로 연결될 수 있다.
- [0203] 컨트롤러(3200)는 프로세서(3210), NAND 컨트롤러(3220), 및 호스트 인터페이스(1230)를 포함할 수 있다. 실시예들에 따라, 전자 시스템(3000)은 복수의 반도체 장치들(3100)을 포함할 수 있으며, 이 경우, 컨트롤러(3200)는 복수의 반도체 장치들(3000)을 제어할 수 있다.
- [0204] 프로세서(3210)는 컨트롤러(3200)를 포함하는 전자 시스템(3000) 전반의 동작을 제어할 수 있다. 프로세서(3210)는 소정의 펌웨어에 따라 동작할 수 있으며, NAND 컨트롤러(3220)를 제어하여 반도체 장치(3100)에 액세스할 수 있다. NAND 컨트롤러(3220)는 반도체 장치(3100)와의 통신을 처리하는 NAND 인터페이스(3221)를 포함할 수 있다. NAND 인터페이스(3221)를 통해, 반도체 장치(3100)를 제어하기 위한 제어 명령, 반도체 장치(1100)의

메모리 셀 트랜지스터들(MCT)에 기록하고자 하는 데이터, 반도체 장치(3100)의 메모리 셀 트랜지스터들(MCT)로부터 독출하고자 하는 데이터 등이 전송될 수 있다. 호스트 인터페이스(3230)는 전자 시스템(3000)과 외부 호스트 사이의 통신 기능을 제공할 수 있다. 호스트 인터페이스(3230)를 통해 외부 호스트로부터 제어 명령을 수신하면, 프로세서(3210)는 제어 명령에 응답하여 반도체 장치(3100)를 제어할 수 있다.

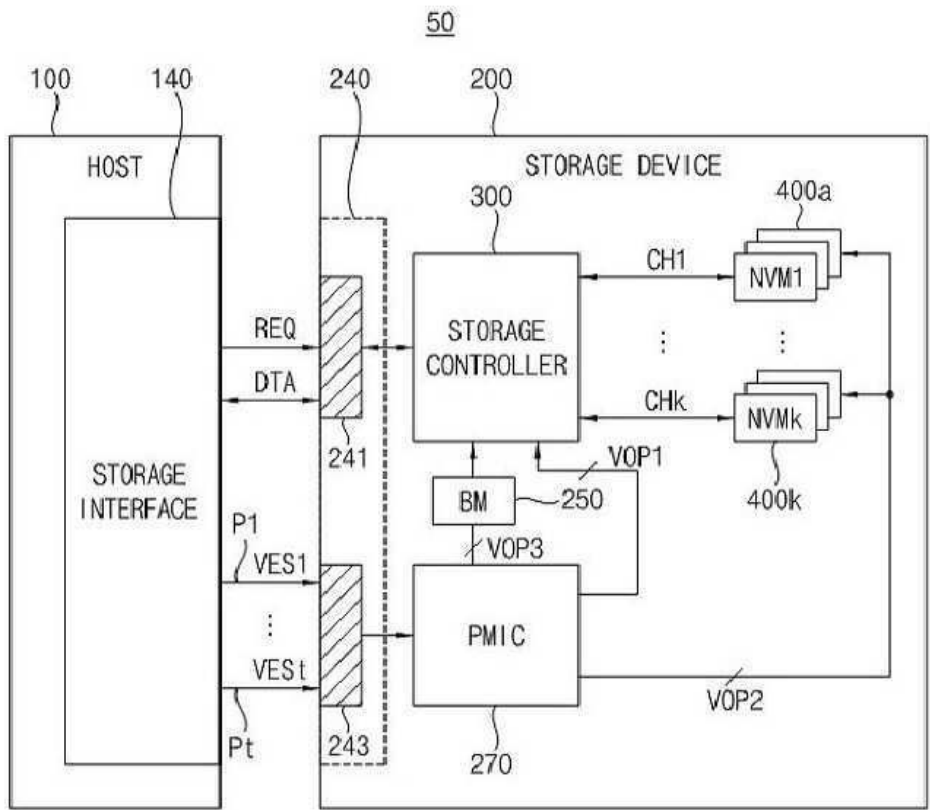
- [0205] 도 27은 본 발명의 실시예들에 따른 스토리지 시스템을 나타내는 블록도이다.
- [0206] 도 27을 참조하면, 스토리지 시스템(4000)은 호스트(4100) 및 스토리지 장치(4200)를 포함한다. 호스트(4100) 및 스토리지 장치(4200)는 도 1 내지 도 20을 참조하여 설명된 바에 따라 동작할 수 있다.
- [0207] 스토리지 장치(4200)는 가상 테이블 생성기(4210)을 포함할 수 있다.
- [0208] 호스트(4100)는 애플리케이션 프로세서(4110), 랜덤 액세스 메모리(4120)(RAM), 모뎀(4130), 장치 드라이버(4140), 스피커(4150), 디스플레이(4160), 터치 패널(4170), 마이크로폰(4180), 그리고 이미지 센서들(4190)을 포함할 수 있다.
- [0209] 애플리케이션 프로세서(4110)는 애플리케이션 및 파일 시스템을 실행할 수 있다. 애플리케이션 프로세서(4110)는 RAM(4120)을 시스템 메모리로 사용할 수 있다. 애플리케이션 프로세서(4110)는 모뎀(4130)을 통해 외부의 장치와 유선 또는 무선으로 통신할 수 있다. 예시적으로, 모뎀(4130)은 애플리케이션 프로세서(4110)의 내부에 내장될 수 있다.
- [0210] 애플리케이션 프로세서(4110)는 장치 드라이버(4140)를 통해 주변 장치들과 통신할 수 있다. 예를 들어, 애플리케이션 프로세서(4110)는 장치 드라이버(4140)를 통해 스피커(4150), 디스플레이(4160), 터치 패널(4170), 마이크로폰(4180), 이미지 센서들(4190), 그리고 스토리지 장치(4200)와 통신할 수 있다.
- [0211] 스피커(4150) 및 디스플레이(4160)는 사용자에게 정보를 전달하는 사용자 출력 인터페이스들일 수 있다. 터치 패널(4170), 마이크로폰(4180), 그리고 이미지 센서들(4190)은 사용자로부터 정보를 수신하는 사용자 입력 인터페이스들일 수 있다.

**산업상 이용가능성**

- [0212] 본 발명은 스토리지 장치를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다. 예를 들어, 본 발명은 스토리지 장치를 구비하는 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등에 적용될 수 있다.
- [0213] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

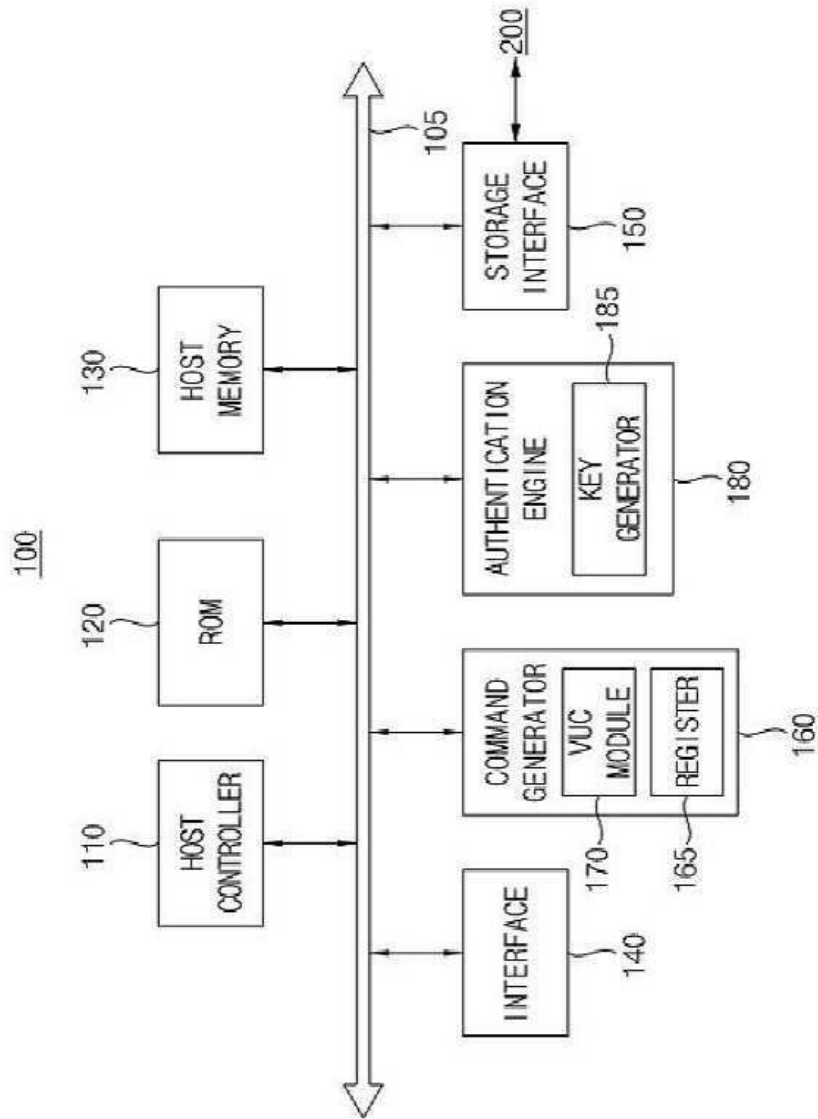
도면

도면1

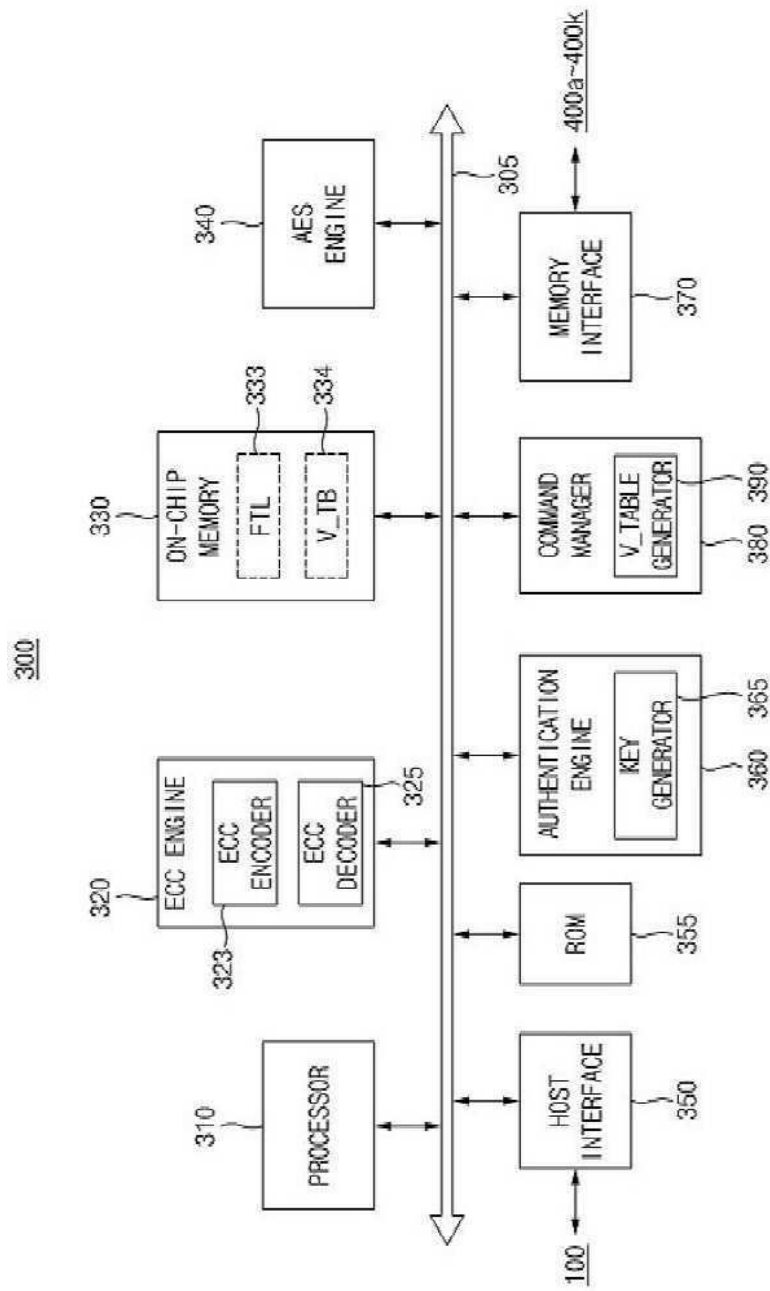




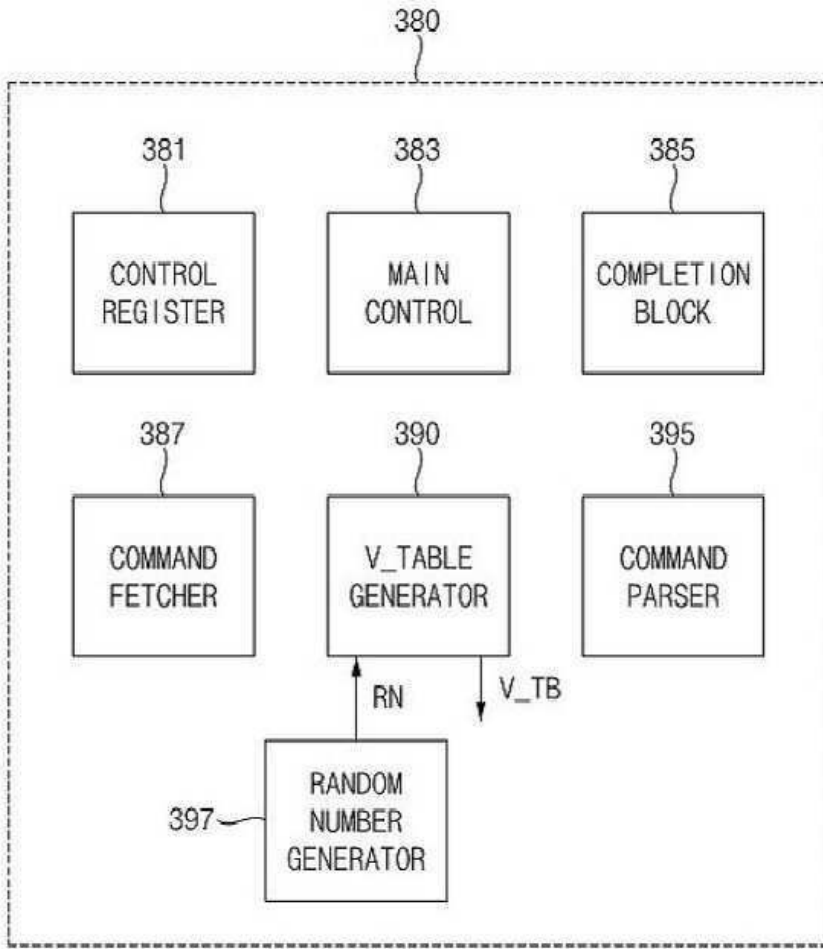
도면2



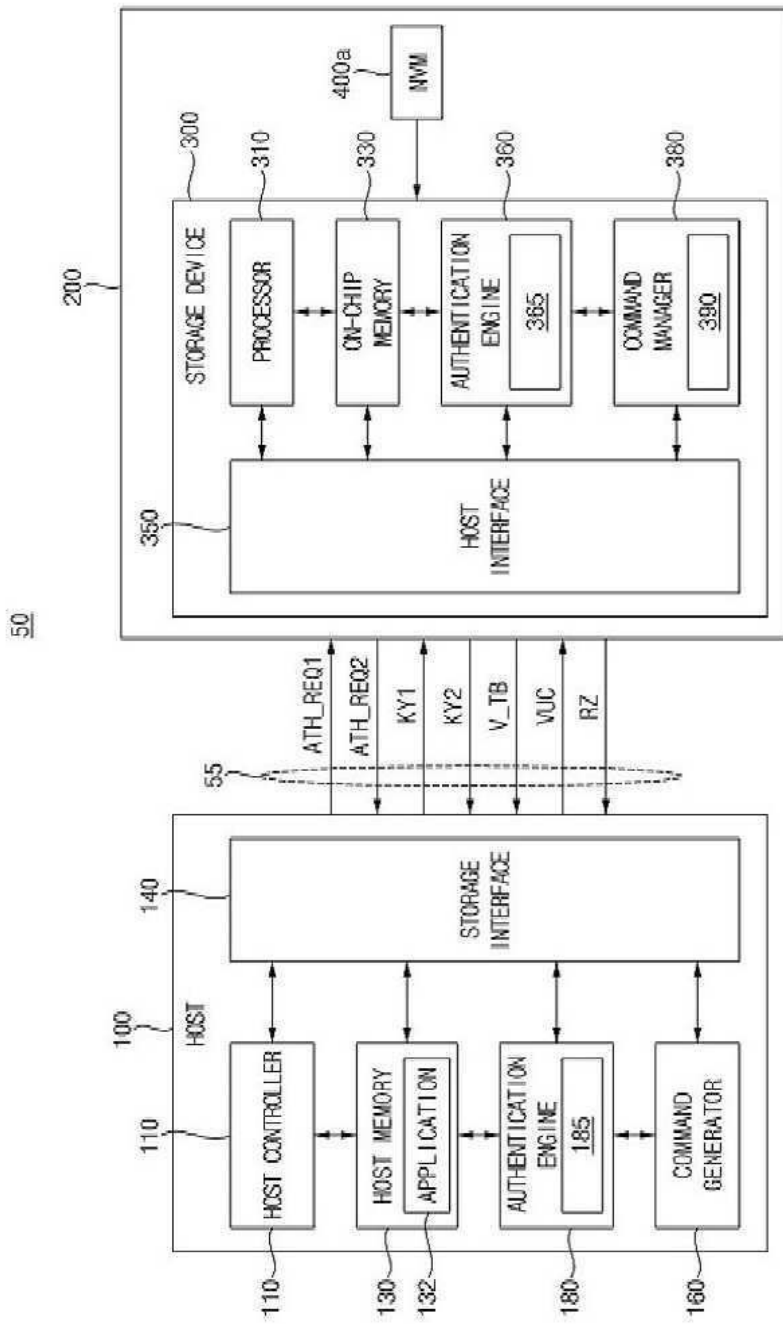
도면3



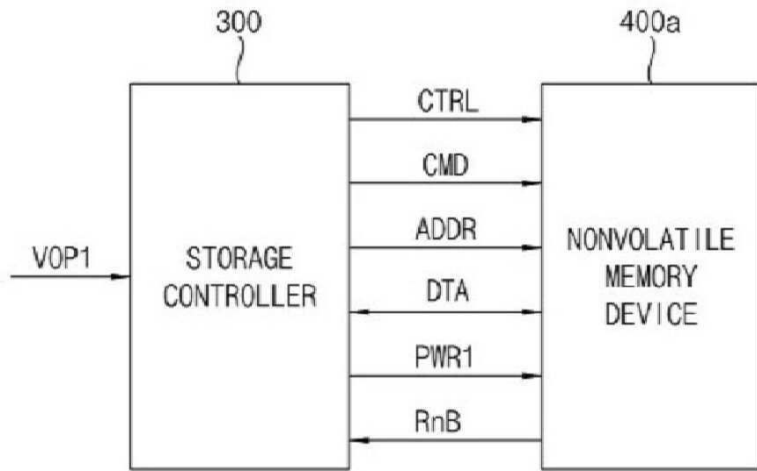
도면4



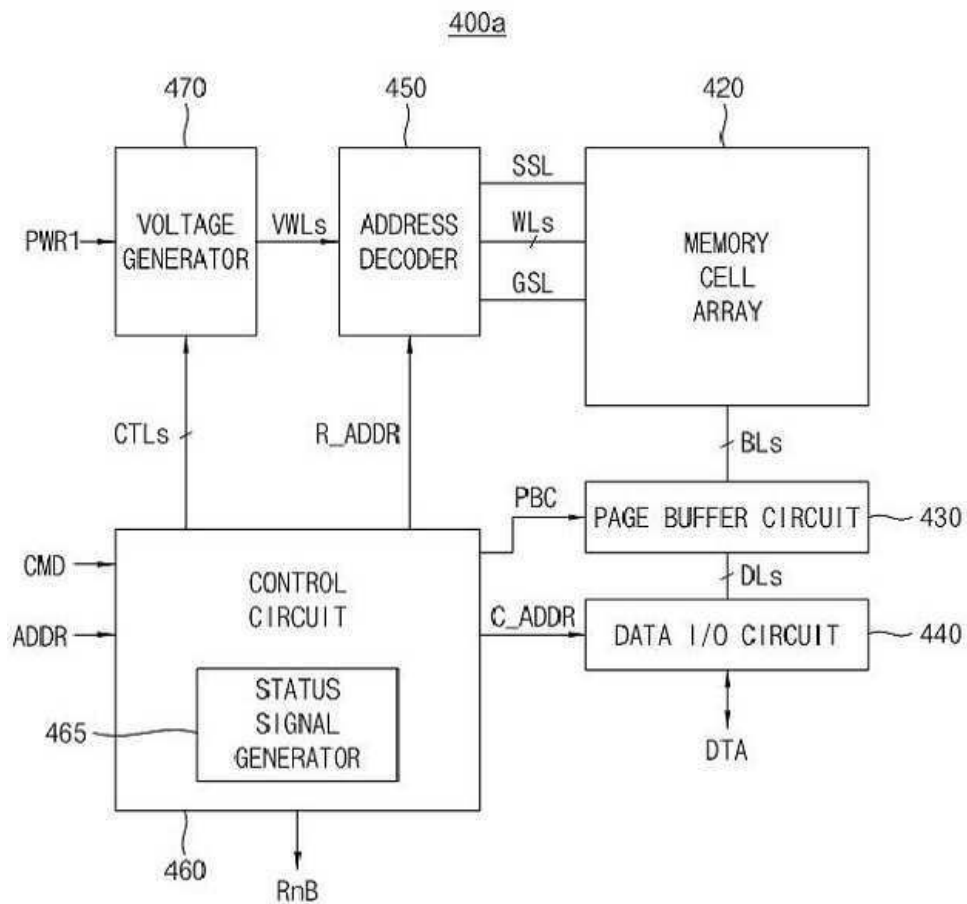
도면5



도면6

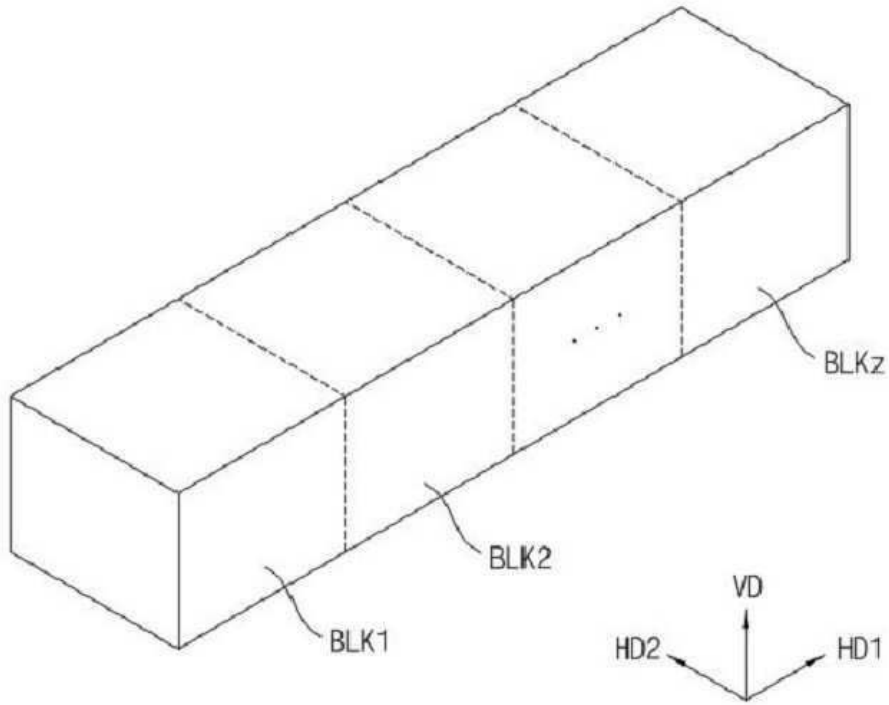


도면7

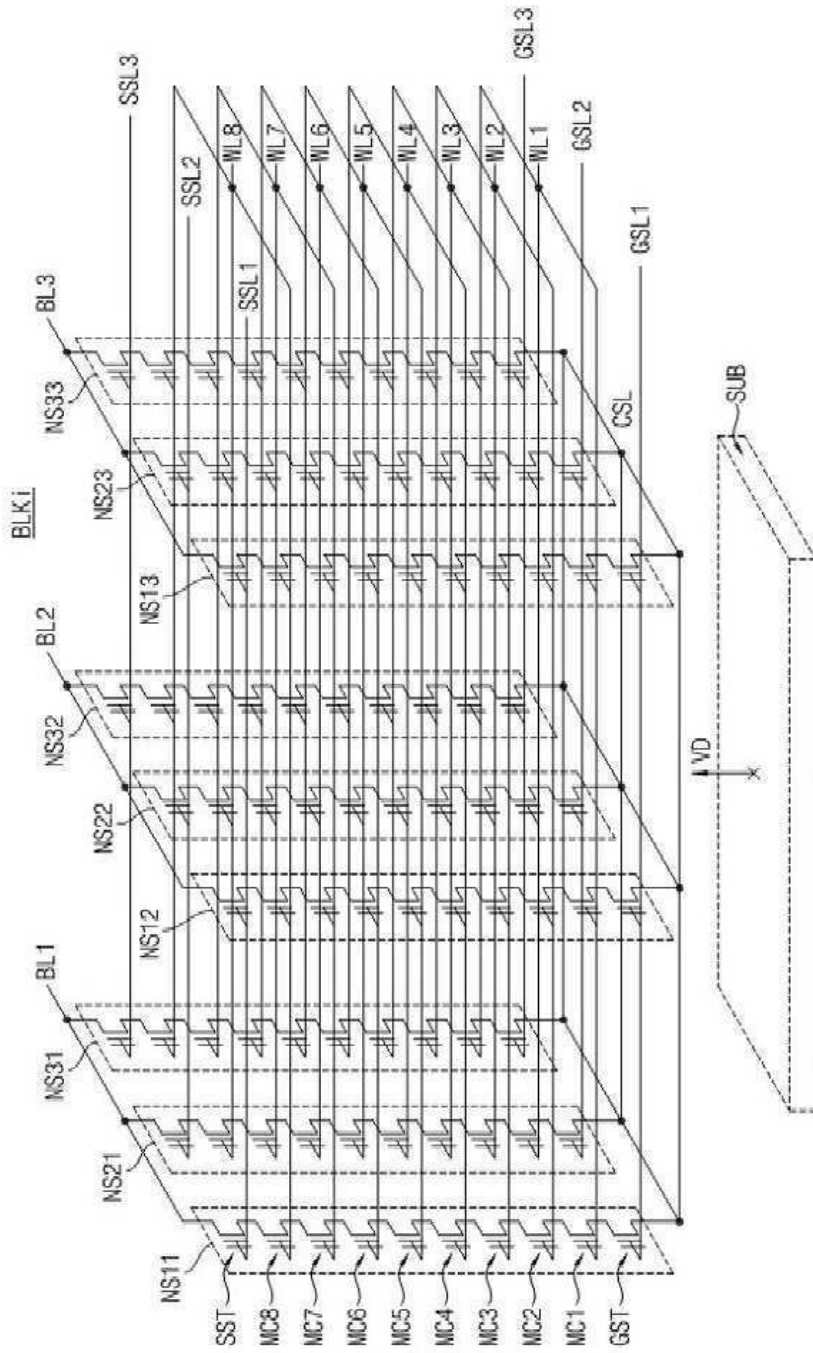


도면8

420

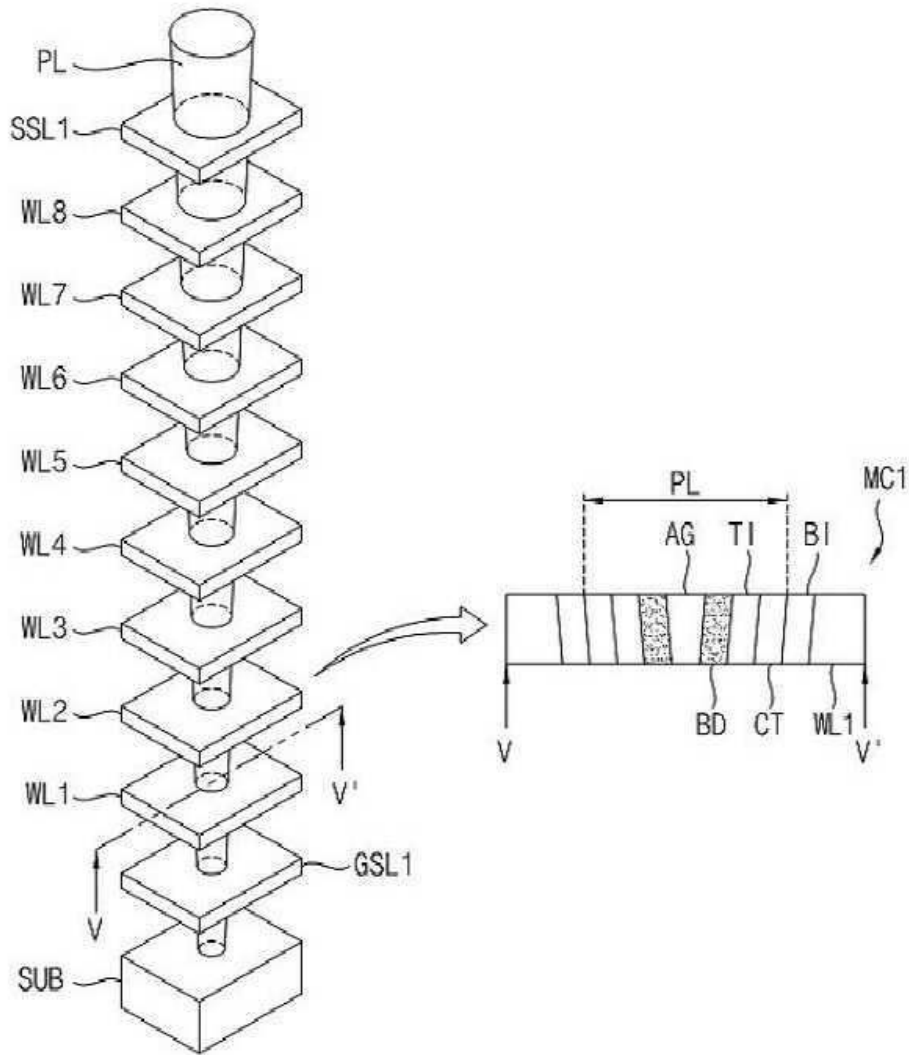


도면9



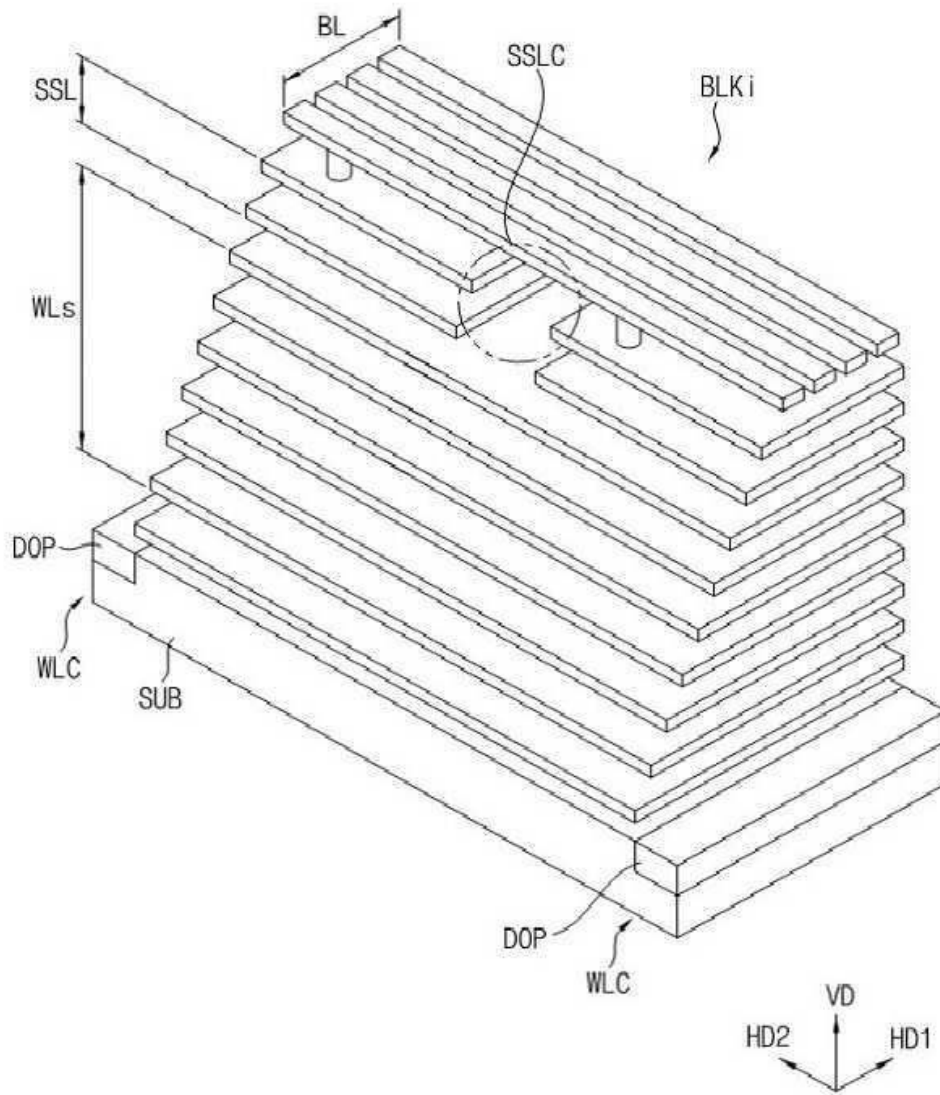
도면10

NS11

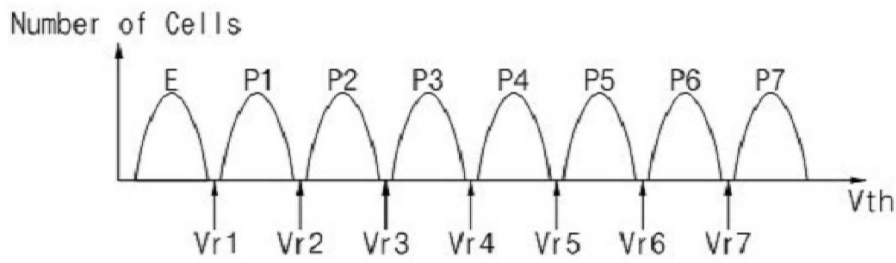




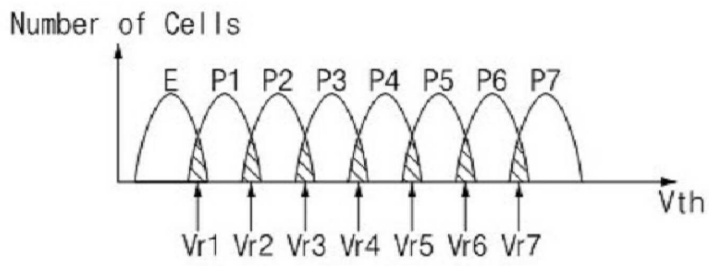
도면11



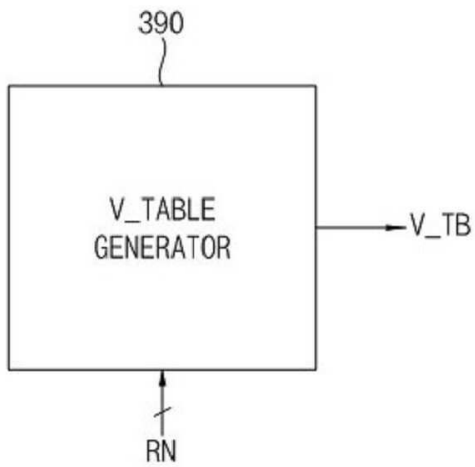
도면12a



도면12b



도면13



도면14

V\_TB

IDX	RNV
0	0x84548302
1	0x45328302
2	0x23403941
3	0x59642034

도면15

RNVa

0 x 8 4 5 4 8 3 0 2  
       └───┬───┬───┘  
       SF1 SF2 SF3

도면16

F\_TB

IDX	FUNC
0	FUNC0
1	FUNC1
2	FUNC2
3	FUNC3

도면17a

TB1

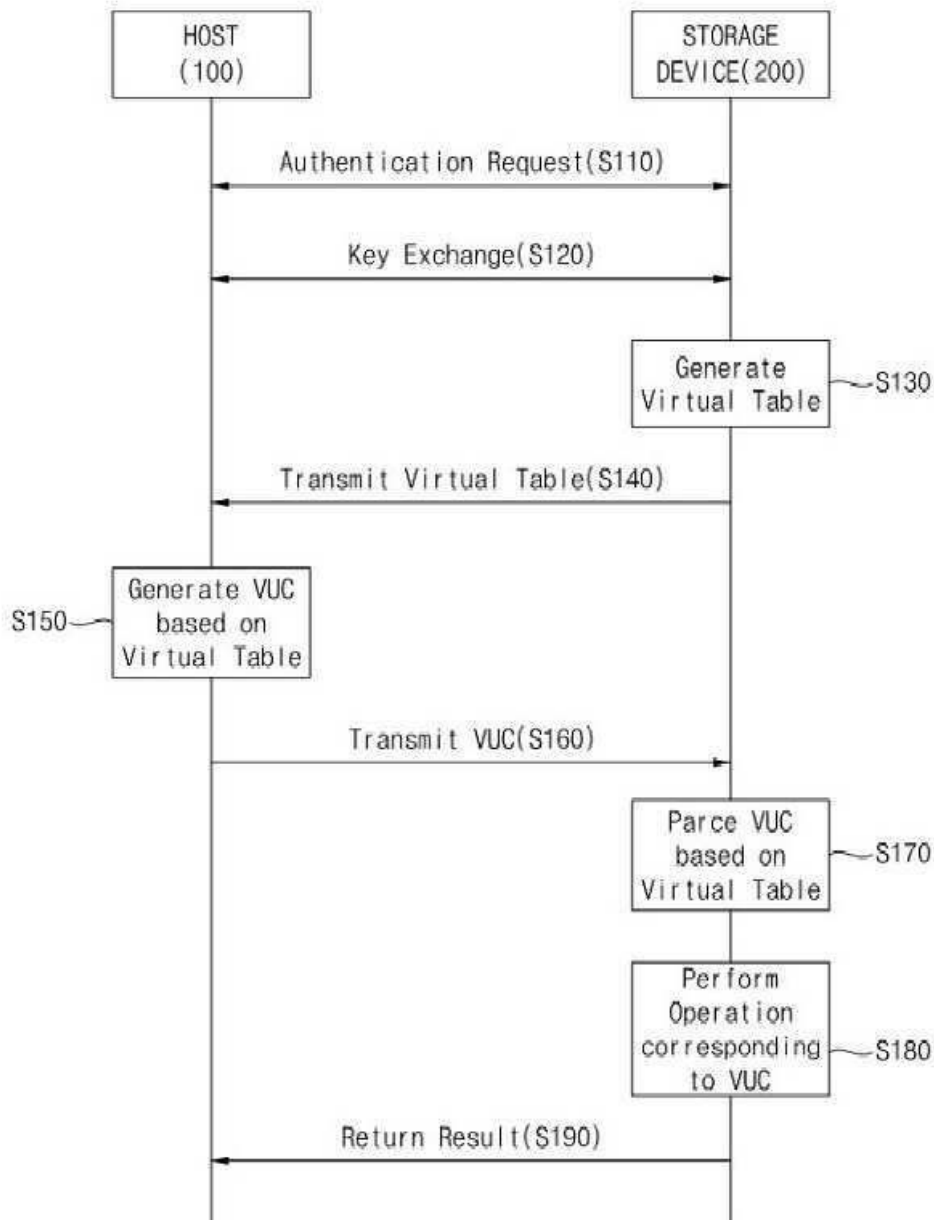
IDX	ARG[3:2]	ARG[1]	ARG[0]	FUNC	RNV	V_TB
0	0	0.0	0.0.0	FUNC0_0_0	0x84548302	0x84548302
			0.0.1	FUNC0_0_1	0x84548303(FUNC0_0_0+0x1)	0x45328302
			0.0.2	FUNC0_0_2	0x84548304(FUNC0_0_0+0x2)	0x29403941
			0.0.3	FUNC0_0_3	0x84548305(FUNC0_0_0+0x3)	0x59642034
		0.1		FUNC0_1	0x84548402(FUNC0_0_0+0x100)	
		0.2	0.2.0	FUNC0_2_0	0x84548502(FUNC0_0_0+0x200)	
			0.2.1	FUNC0_2_1	0x84548503(FUNC0_0_0+0x201)	
1	1			FUNC1	0x45328302	
2	2	2.0	2.0.0	FUNC2_0_0	0x23403941	
		2.1	2.1.0	FUNC2_1_0	0x23403A41(FUNC2_0_0+0x100)	
3	3			FUNC3	0x59642034	

도면17b

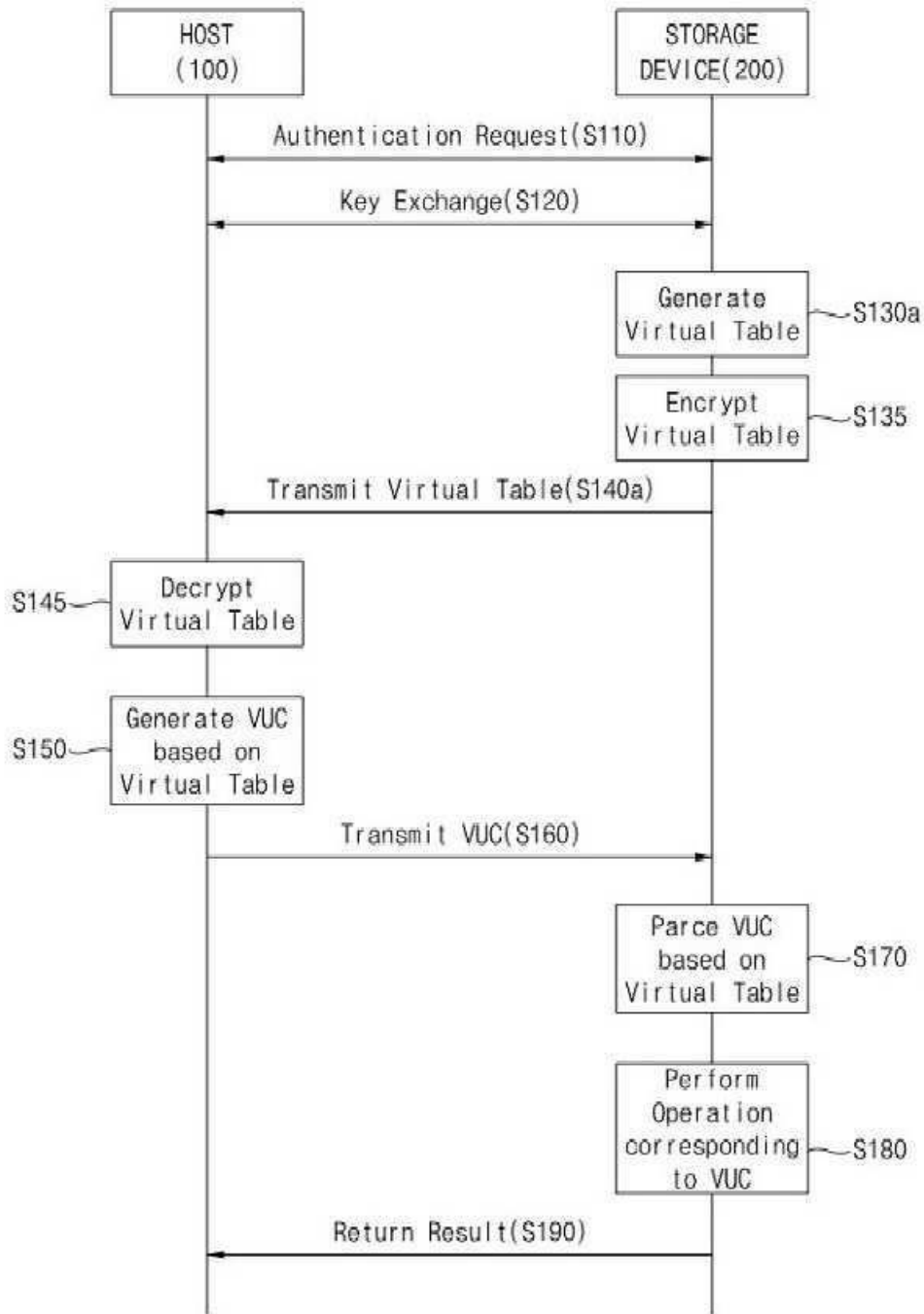
TB2

511->  $(0x84548302 \& 0xFFFF0000) +$   
 513->  $(0x84548302 \& 0x0000FF00) + (2 \ll 8) \& 0x0000FF00$   
 515->  $(0x84548302 \& 0x000000FF) + (1 \ll 0) \& 0x000000FF = 0x84548503$

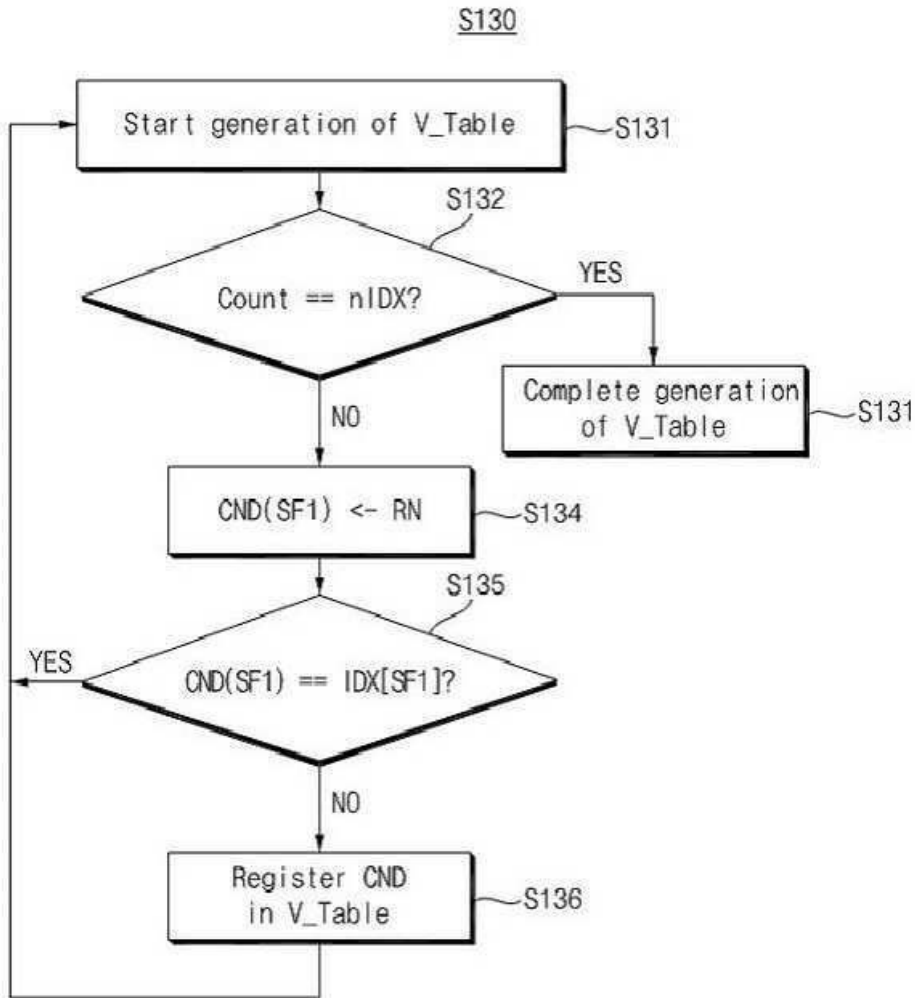
도면18a



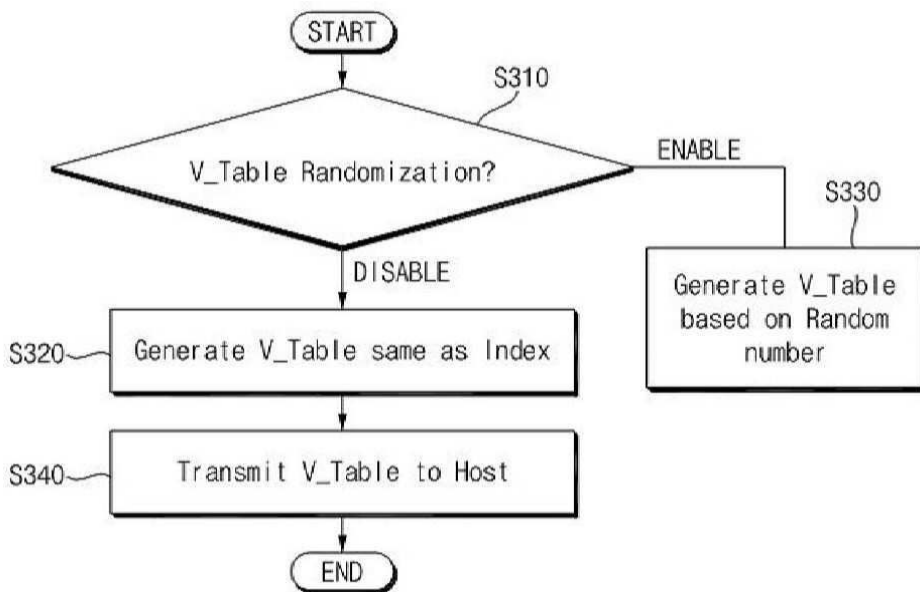
도면18b



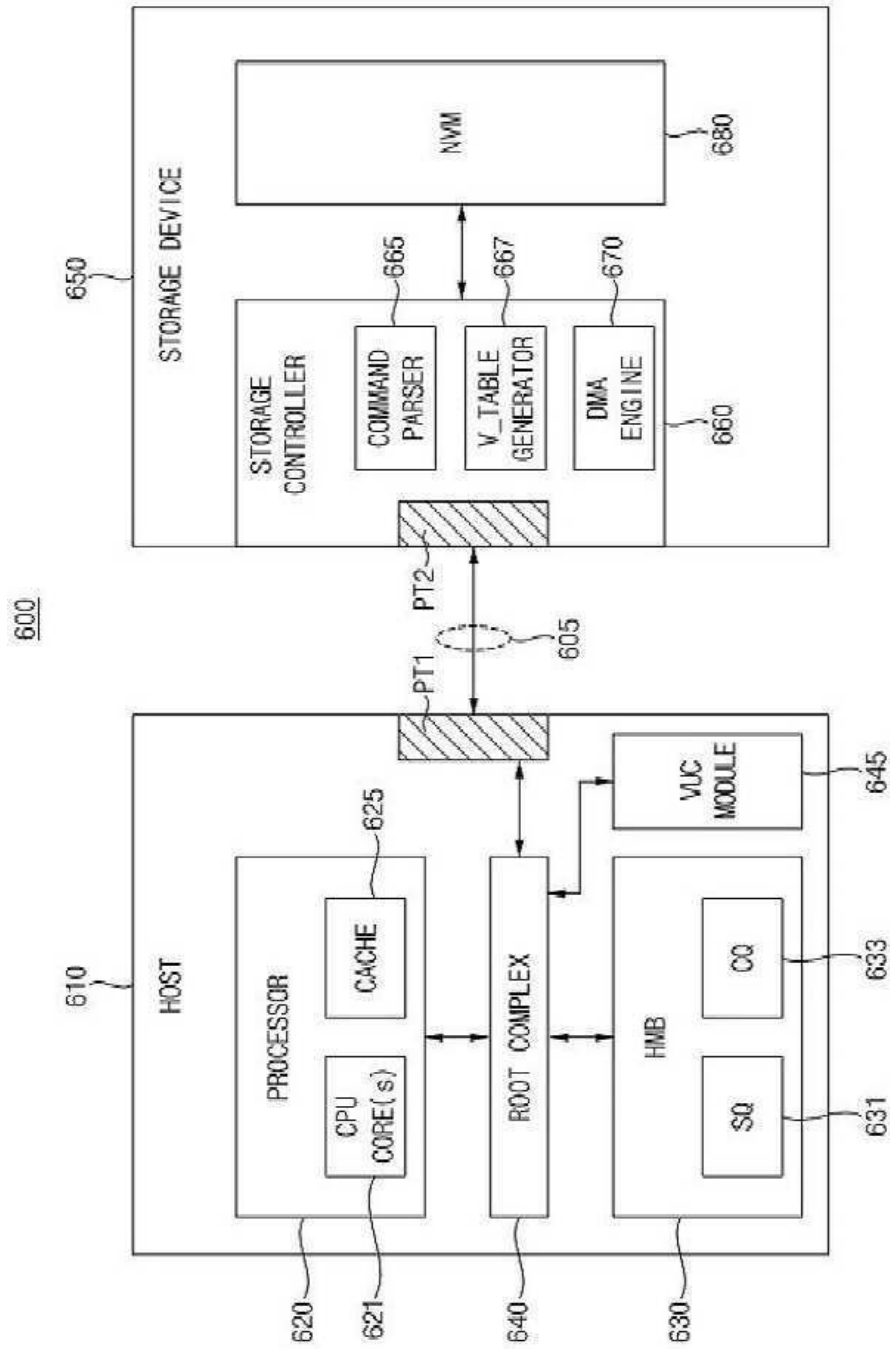
도면19



도면20

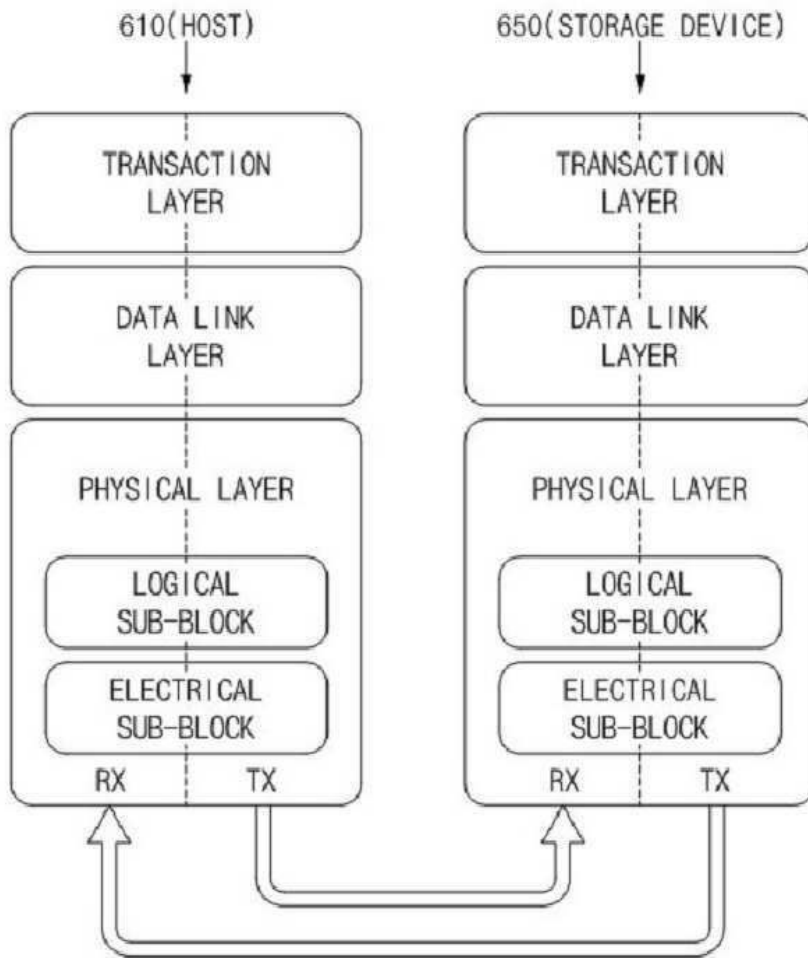


도면21

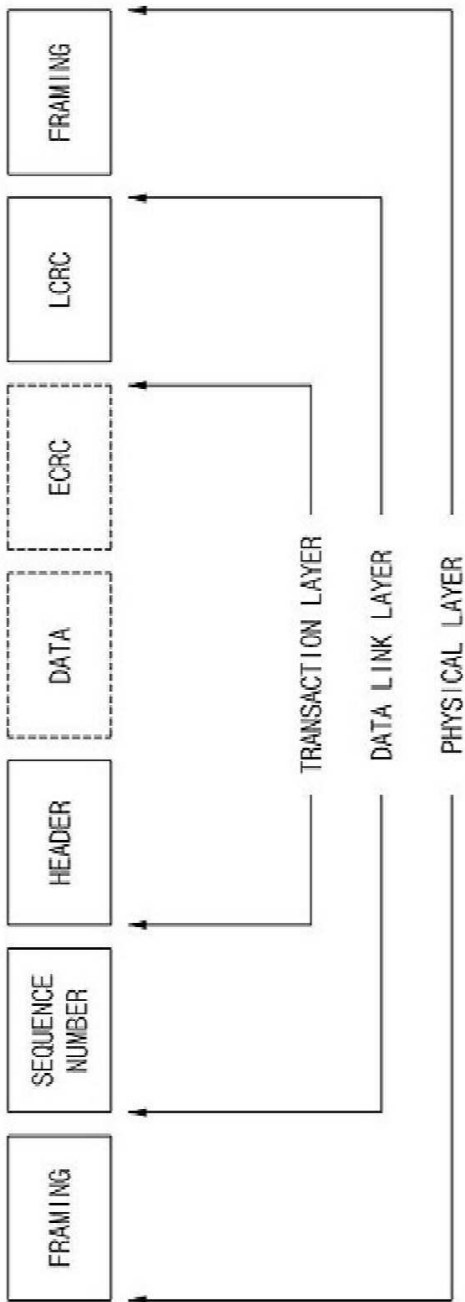




도면22

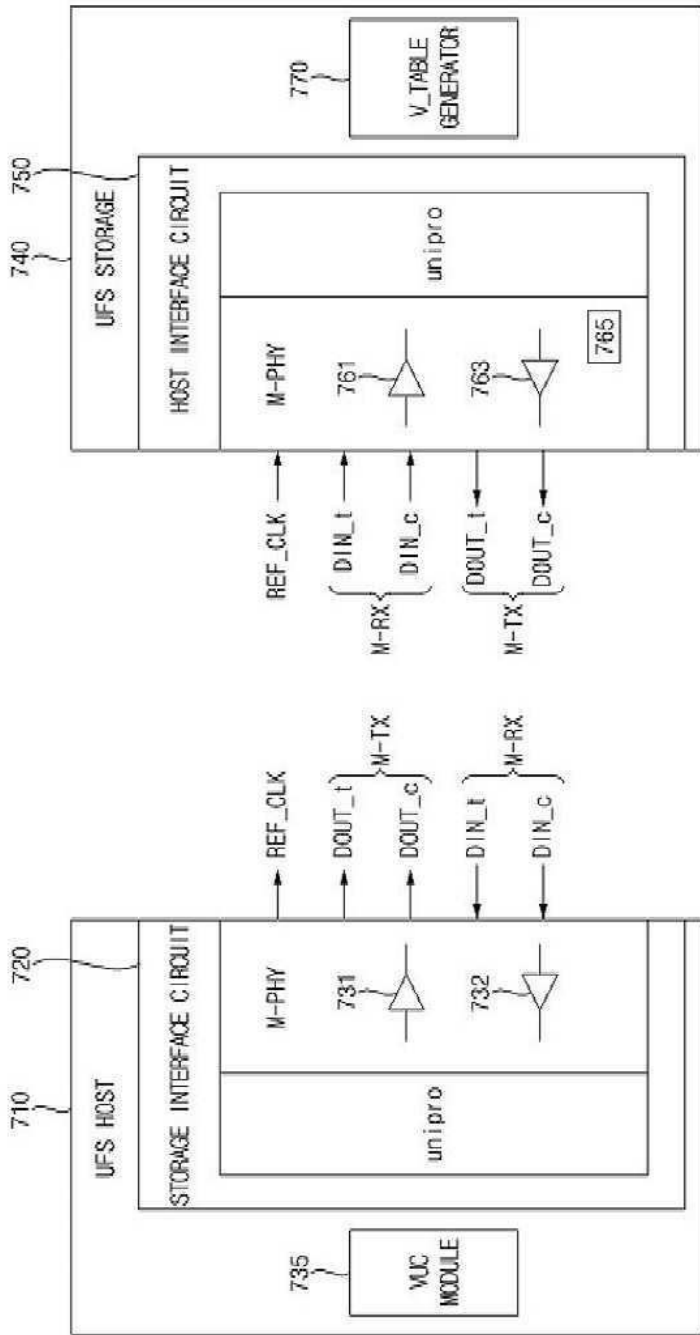


도면23

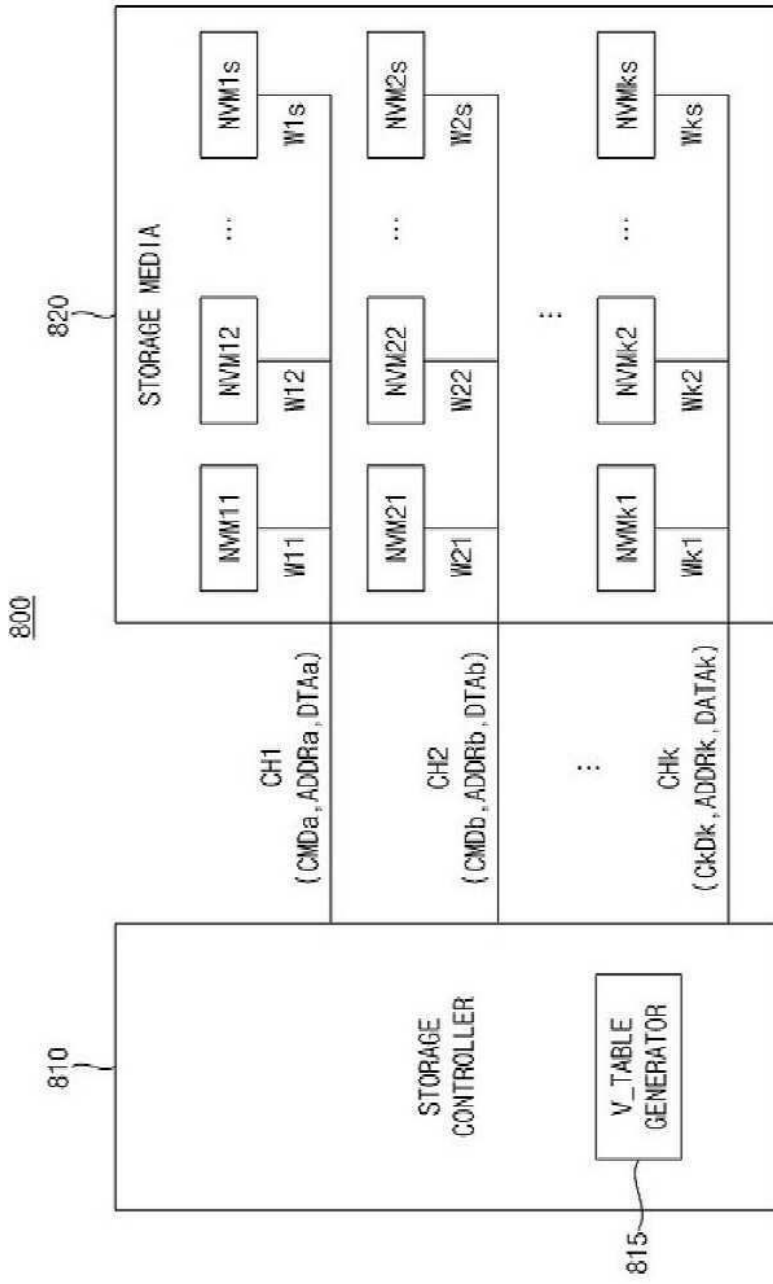


도면24

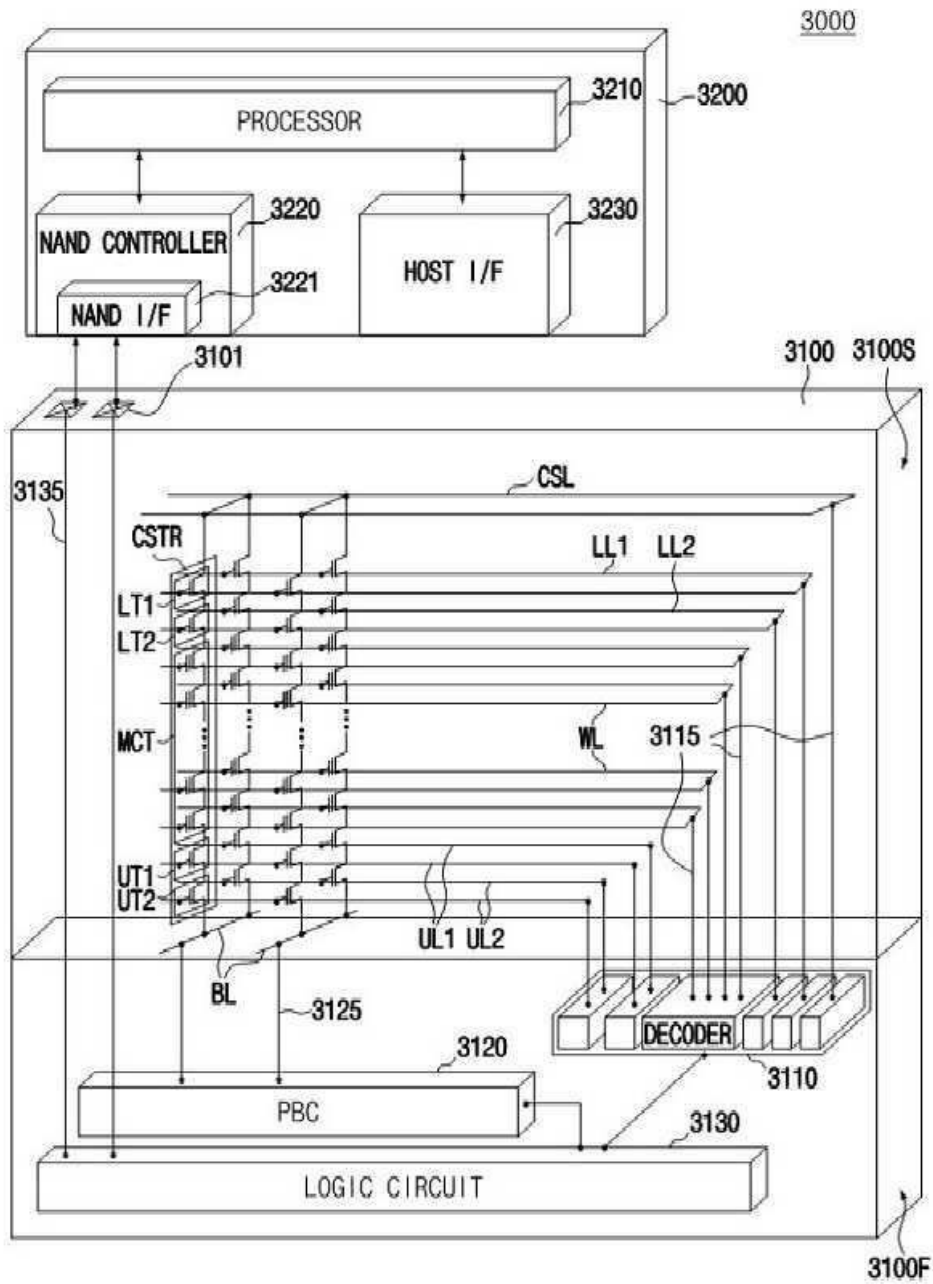
700



도면25



도면26



도면27

