



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0068227
(43) 공개일자 2010년06월22일

(51) Int. Cl.

H03F 1/07 (2006.01) H03F 3/60 (2006.01)
H03F 3/68 (2006.01)

(21) 출원번호 10-2009-0124261

(22) 출원일자 2009년12월14일

심사청구일자 2009년12월14일

(30) 우선권주장

12/623,164 2009년11월20일 미국(US)

61/122,275 2008년12월12일 미국(US)

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

조지아 테크 리서치 코오포레이션

미국 조지아주 30332-0415 아틀란타 엔더블유 10
번가 505

(72) 발명자

오클리, 마이클, 알란

미국, 노스 캐롤라이나 27707, 더럼, 비스케인 로
드 4812

이동호

미국, 아이오와 52402, 시더 래피드즈, 파크타운
플레인 엔이 1628, 아파트먼트 6

(뒷면에 계속)

(74) 대리인

특허법인 씨엔에스·로고스

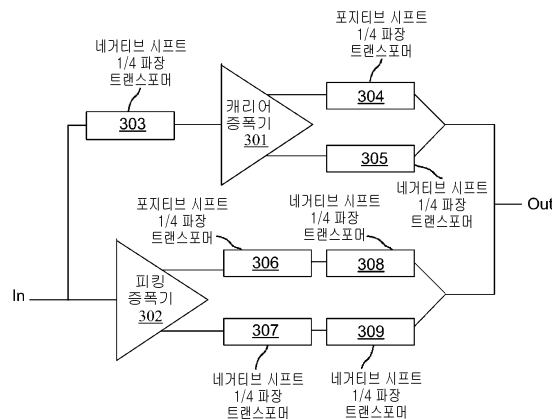
전체 청구항 수 : 총 20 항

(54) 무선 용신 장치용 집적 전력 증폭기 시스템

(57) 요약

집적된 전력 증폭기는 입력이 제1 1/4 파장 트랜스포머에 연결된 캐리어 증폭기를 포함할 수 있다. 더하여, 상기 전력 증폭기는 상기 캐리어 증폭기에 병렬 연결된 적어도 하나의 피킹 증폭기와, 상기 캐리어 증폭기의 제1 차동 출력을 동상으로 결합하여 제1 단일 종단 출력 신호를 생성하는 제1 복수의 1/4 파장 트랜스포머를 포함하는 제1 차동 결합 구조, 및 상기 적어도 하나의 피킹 증폭기 각각의 제2 차동 출력을 동상으로 결합하여 제2 단일 종단 출력 신호를 생성하는 제2 복수의 1/4 파장 트랜스포머를 포함하는 제2 차동 결합 구조를 포함하며, 상기 제1 단일 종단 출력 신호 및 상기 제2 단일 종단 출력 신호는 동상으로 결합되어 전체 출력을 제공할 수 있다.

대표도 - 도3



(72) 발명자

안규환

미국, 조지아 30338, 던우디, 어제일러 가든 드라이브 3201

이창호

미국, 조지아 30068, 마리에타, 베넷즈 포인트 드라이브 1944

라스카 조이

미국, 조지아 30068, 마리에타, 세인트 드라이브 860

특허청구의 범위

청구항 1

제1 1/4 파장 트랜스포머에 연결된 입력을 갖는 캐리어 증폭기;

상기 캐리어 증폭기와 병렬 연결된 적어도 하나의 피킹 증폭기;

상기 캐리어 증폭기의 제1 차동 출력을 동상으로 결합하여 제1 단일 종단 출력 신호를 생성하는 제1 복수의 1/4 파장 트랜스포머를 포함하는 제1 차동 결합 구조; 및

상기 적어도 하나의 피킹 증폭기 각각의 제2 차동 출력을 동상으로 결합하여 제2 단일 종단 출력 신호를 생성하는 제2 복수의 1/4 파장 트랜스포머를 포함하는 제2 차동 결합 구조를 포함하며,

상기 제2 복수의 1/4 파장 트랜스포머는, 상기 제1 1/4 파장 트랜스포머 및 상기 복수의 제2 1/4 파장 트랜스포머에 의해 제공되는 것과 동일한 누적 지연 및 위상 시프트를 제공함으로써, 상기 제1 단일 종단 출력 신호 및 상기 제2 단일 종단 출력 신호는 동상으로 결합되어 전체 출력을 제공하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 2

제1항에 있어서,

상기 제1 복수의 1/4 파장 트랜스포머는 각각 제1 종단 및 제2 종단을 갖는 제2 1/4 파장 트랜스포머 및 제3 1/4 파장 트랜스포머를 포함하며, 상기 제2 1/4 파장 트랜스포머 및 상기 제3 1/4 파장 트랜스포머는 실질적으로 상호 180°의 위상차로 동작하며, 상기 제2 1/4 파장 트랜스포머 및 상기 제3 1/4 파장 트랜스포머의 상기 제1 종단은 각각 상기 캐리어 증폭기의 제1 차동 출력 중 하나에 연결되며, 상기 제2 1/4 파장 트랜스포머 및 상기 제3 1/4 파장 트랜스포머의 상기 제2 종단은 상호 연결되어 상기 제1 단일 종단 출력을 생성하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 3

제2항에 있어서,

상기 제2 복수의 1/4 파장 트랜스포머는 각각 제1 종단 및 제2 종단을 갖는 제4 1/4 파장 트랜스포머, 제5 1/4 파장 트랜스포머, 제6 1/4 파장 트랜스포머 및 제7 1/4 파장 트랜스포머를 포함하며, 상기 제4 및 제5 1/4 파장 트랜스포머 각각의 제1 종단은 상기 적어도 하나의 피킹 증폭기의 상기 제2 차동 출력 중 하나에 연결되며, 상기 제4 1/4 파장 트랜스포머의 제2 종단은 상기 제6 1/4 파장 트랜스포머의 제1 종단에 연결되며, 상기 제5 1/4 파장 트랜스포머의 제2 종단은 상기 제7 1/4 파장 트랜스포머의 제1 종단에 연결되며, 상기 제6 및 제7 1/4 파장 트랜스포머의 제2 종단은 상호 연결되어 상기 제2 단일 종단 출력을 생성하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 4

제3항에 있어서,

상기 제1, 제3, 제5, 제6 및 제7 1/4 파장 트랜스포머는 네거티브 시프트 1/4 파장 트랜스포머이며, 상기 제2 및 제4 1/4 파장 트랜스포머는 포지티브 시프트 1/4 파장 트랜스포머인 것을 특징으로 하는 전력 증폭기 시스템.

청구항 5

제3항에 있어서,

(1) 상기 제4 및 제5 1/4 파장 트랜스포머는 실질적으로 상호 180°의 위상차로 동작하거나,

(2) 상기 제4 및 제5 1/4 파장 트랜스포머는 동상을 가지며, 상기 제6 및 제7 1/4 파장 트랜스포머는 실질적으로 상호 180°의 위상차로 동작하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 6

제1항에 있어서,

상기 제1 복수의 1/4 파장 트랜스포머 및 제2 복수의 1/4 파장 트랜스포머에 포함된 각 1/4 파장 트랜스포머는 티(T) 구조 또는 파이(Pi) 구조로 배치된 립프 소자를 포함하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 7

제1항에 있어서,

상기 캐리어 증폭기 또는 상기 적어도 하나의 피킹 증폭기 중 적어도 하나에 적응형 입력 바이어스를 제공하는 적응형 바이어스 구조를 더 포함하며, 상기 적응형 입력 바이어스는 상기 캐리어 증폭기 또는 상기 적어도 하나의 피킹 증폭기 각각에 대한 등가 입력 저항이 감소함에 따라 저전력 레벨에서 대기 전류를 최소화하도록 결정된 것을 특징으로 하는 전력 증폭기 시스템.

청구항 8

제1항에 있어서,

상기 캐리어 증폭기 및 상기 제1 차동 결합 구조 사이에 제공된 제1 매칭 블록; 및
 상기 적어도 하나의 피킹 증폭기 및 상기 제2 차동 결합 구조 사이에 제공된 제2 매칭 블록을 더 포함하며,
 상기 제1 매칭 블록은 상기 캐리어 증폭기의 백오프 효율을 최대화 하며, 상기 제2 매칭 블록은 상기 적어도 하나의 피킹 증폭기가 대기중이거나 상기 전체 출력에 대해 최소 전력을 제공하는 경우 상기 전체 출력에 대한 누설 전류를 최소화하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 9

제1항에 있어서,

상기 제1 1/4 파장 트랜스포머 및 상기 캐리어 증폭기 사이에 배치된 제1 발룬; 및 제2 발룬을 더 포함하며,
 상기 제1 1/4 파장 트랜스포머는 단일 중단 입력 신호를 입력받아 상기 제1 발룬으로 위상 시프트된 단일 중단 입력 신호를 제공하고, 상기 제1 발룬은 상기 위상 시프트된 단일 중단 입력 신호를 상기 캐리어 증폭기에 의해 수신되는 제1 차동 입력 신호로 변환하고, 상기 제2 발룬은 상기 단일 중단 입력 신호를 상기 적어도 하나의 피킹 증폭기에 의해 수신되는 제2 차동 입력 신호로 변환하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 10

제9항에 있어서,

제1 발룬은 제1 입력측 매칭 요소를 포함하며, 상기 제2 발룬은 제2 입력측 매칭 요소를 포함하며, 상기 제1 및 제2 입력측 매칭 요소는 상기 단일 중단 입력 신호에 관한 임피던스 매칭을 수행하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 11

입력 1/4 파장 트랜스포머에 연결된 입력을 갖는 단일 캐리어 증폭기;
 상기 단일 캐리어 증폭기와 병렬 연결된 적어도 하나의 피킹 증폭기;
 일단이 상기 단일 캐리어 증폭기의 제1 차동 출력에 각각 연결되고, 타단이 제1 단일 중단 출력을 생성하도록 상호 연결되며, 실질적으로 상호 180°의 위상차로 동작하는 제2 1/4 파장 트랜스포머 및 제3 1/4 파장 트랜스포머를 포함하는 제1 차동 결합 구조; 및
 직렬 연결된 두 개의 출력 1/4 파장 트랜스포머를 포함하는 제1 경로 및 직렬 연결된 두 개의 출력 1/4 파장 트랜스포머를 포함하는 제2 경로를 포함하는 제2 차동 결합 구조를 포함하며,
 상기 제1 및 제2 경로 각각의 일 출력 1/4 파장 트랜스포머는 실질적으로 상호 180°의 위상차로 동작하며, 상기 제1 및 제2 경로 각각의 나머지 출력 1/4 파장 트랜스포머는 상기 입력 1/4 파장 트랜스포머와 동상을 가지며, 상기 적어도 하나의 피킹 증폭기의 제2 차동 출력 중 하나는 각각 상기 제1 및 제2 경로에 대한 입력으로 제공되며, 상기 제1 및 제2 경로의 출력은 결합되어 제2 단일 중단 출력을 생성하고, 상기 제1 및 제2 단일 중

단 출력은 동상으로 결합되어 전체 출력을 제공하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 12

제11항에 있어서,

상기 입력 1/4 파장 트랜스포머는 포지티브 시프트 1/4 파장 트랜스포머 또는 네거티브 시프트 1/4 파장 트랜스포머인 것을 특징으로 하는 전력 증폭기 시스템.

청구항 13

제12항에 있어서,

상기 입력 1/4 파장 트랜스포머는 제1 네거티브 시프트 1/4 파장 트랜스포머이며, 상기 제1 경로의 두 개의 출력 1/4 파장 트랜스포머는 제1 포지티브 시프트 1/4 파장 트랜스포머 및 제2 네거티브 시프트 1/4 파장 트랜스포머를 포함하며, 상기 제2 경로의 두 개의 출력 1/4 파장 트랜스포머는 제3 네거티브 시프트 1/4 파장 트랜스포머 및 제4 네거티브 시프트 1/4 파장 트랜스포머를 포함하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 14

제12항에 있어서,

상기 입력 1/4 파장 트랜스포머는 제1 포지티브 시프트 1/4 파장 트랜스포머이며, 상기 제1 경로의 두 개의 출력 1/4 파장 트랜스포머는 제2 포지티브 시프트 1/4 파장 트랜스포머 및 제3 포지티브 시프트 1/4 파장 트랜스포머를 포함하며, 상기 제2 경로의 두 개의 출력 1/4 파장 트랜스포머는 제1 네거티브 시프트 1/4 파장 트랜스포머 및 제4 포지티브 시프트 1/4 파장 트랜스포머를 포함하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 15

제11항에 있어서,

상기 단일 캐리어 증폭기 또는 상기 적어도 하나의 피킹 증폭기 중 적어도 하나에 적응형 입력 바이어스를 제공하는 적응형 바이어스 구조를 더 포함하며, 상기 적응형 입력 바이어스는 상기 단일 캐리어 증폭기 또는 상기 적어도 하나의 피킹 증폭기 각각에 대한 등가 입력 저항이 감소함에 따라 저전력 레벨에서 대기 전류를 최소화하도록 결정된 것을 특징으로 하는 전력 증폭기 시스템.

청구항 16

제11항에 있어서,

상기 단일 캐리어 증폭기 및 상기 제1 차동 결합 구조 사이에 제공된 제1 매칭 블록; 및
 상기 적어도 하나의 피킹 증폭기 및 상기 제2 차동 결합 구조 사이에 제공된 제2 매칭 블록을 더 포함하며,
 상기 제1 매칭 블록은 상기 단일 캐리어 증폭기의 백오프 효율을 최대화 하며, 상기 제2 매칭 블록은 상기 적어도 하나의 피킹 증폭기가 대기중이거나 상기 전체 출력에 대해 최소 전력을 제공하는 경우 상기 전체 출력에 대한 누설 전류를 최소화하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 17

제11항에 있어서,

상기 입력 1/4 파장 트랜스포머 및 상기 단일 캐리어 증폭기 사이에 배치된 제1 발룬; 및 제2 발룬을 더 포함하며,
 상기 입력 1/4 파장 트랜스포머는 단일 중단 입력 신호를 입력받아 상기 제1 발룬으로 위상 시프트된 단일 중단 입력 신호를 제공하고, 상기 제1 발룬은 상기 위상 시프트된 단일 중단 입력 신호를 상기 캐리어 증폭기에 의해 수신되는 제1 차동 입력 신호로 변환하고, 상기 제2 발룬은 상기 단일 중단 입력 신호를 상기 적어도 하나의 피킹 증폭기에 의해 수신되는 제2 차동 입력 신호로 변환하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 18

제17항에 있어서,

제1 발문은 제1 입력측 매칭 요소를 포함하며, 상기 제2 발문은 제2 입력측 매칭 요소를 포함하며, 상기 제1 및 제2 입력측 매칭 요소는 상기 단일 중단 입력 신호에 관한 입피던스 매칭을 수행하는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 19

제1 입력 신호를 입력받아 제1 차동 출력을 생성하는 캐리어 증폭기; 및

상기 캐리어 증폭기와 병렬로 배치되며, 제2 입력 신호를 입력받아 제2 차동 출력을 생성하는 적어도 하나의 피킹 증폭기를 포함하며,

상기 제1 차동 출력은 제1 복수의 제1 1/4 파장 트랜스포머 및 제1 미스매치 보상 블록에 의해 처리되어 제1 단일 중단 출력 신호를 생성하며,

상기 제1 입력 신호 및 제2 입력 신호는 하나의 전체 단일 중단 입력 신호의 적어도 일부에서 생성되며, 상기 제2 차동 출력은 제2 복수의 제2 1/4 파장 트랜스포머 및 제2 미스매치 보상 블록에 의해 처리되어 제2 단일 중단 출력 신호를 생성하며, 상기 제1 단일 중단 출력 신호 및 상기 제2 단일 중단 출력 신호가 동상으로 결합되어 전체 단일 중단 출력 신호를 생성하도록 상기 제2 복수의 제2 1/4 파장 트랜스포머에 대해 상기 제1 복수의 제1 1/4 파장 트랜스포머가 배치되는 것을 특징으로 하는 전력 증폭기 시스템.

청구항 20

제19항에 있어서,

상기 제1 미스매치 보상 블록 및 상기 제2 미스매치 보상 블록은, 상기 제1 복수의 제1 1/4 파장 트랜스포머 및 상기 제2 복수의 1/4 파장 트랜스포머 중 적어도 하나 이상의 트랜스포머에서 나타나는 성분 미스매치에 의해, 동작 대역에서 나타나는 적어도 하나 이상의 노치(notch)를 제거하도록 배치되는 것을 특징으로 하는 전력 증폭기 시스템.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 일반적으로 전력 증폭기에 관한 것으로, 더욱 상세하게는 모바일 장치와 같은 무선 통신 디바이스에 사용하기 위한 집적 전력 증폭기에 관한 것이다.

배경기술

[0002] 모바일 단말기에서 전력 증폭기는 나머지 통신 회로에 사용되는 저렴한 CMOS 공정(또는 구조)에서 높은 전력, 높은 효율성 및 높은 선형도를 동시에 획득하는데 어려움이 있으므로 단독(stand-alone) 구조를 갖는다. 모바일 단말기에서 전력 증폭기는 배터리 전력의 주요 소모원이므로, 회로 내에서 전력 증폭기의 효율은 전형적인 작동 시 요구되는 다양한 전력 레벨에서 최대화가 되어야 한다. 그러나, 일반적인 단일 경로 전력 증폭기는 효율이 증가함에 따라 선형성을 감소시키며, 전력 레벨의 피크에서만 유효한 것으로 간주된다. 이에 반해, 도허티(Doherty) 증폭기 구조는, 증폭기의 일부에서 나타나는 부하를 동적으로 변화시킴으로써 최대 출력보다 낮은 레벨에서 효율 증가를 가능하게 한다.

[0003] 도허티 증폭기는, 보조 증폭기(피킹 증폭기)와 병렬로 배치되는 주증폭기(캐리어 증폭기)를 포함한다. 도허티 증폭기의 동작시, 변경되는 부하는 캐리어 증폭기가 더욱 신속하게 최대 전압 스윙에 이르게 하여 효율을 향상시킨다. 도허티 증폭기에 대한 입력 레벨이 상승함에 따라, 피킹 증폭기는 점진적으로 턴온된다. 주경로의 출력에서 1/4 파장 트랜스포머는 캐리어 증폭기의 전압 스윙이 과도하게 커지는 것을 방지한다. 따라서, 선형성을 저하시키지 않으면서 효율을 유지할 수 있다.

[0004] 도 1은 병렬 연결된 캐리어 증폭기 및 피킹 증폭기를 포함하는 도허티 증폭기의 일반적인 구조를 도시한 도면이

다. 도 1에 도시한 바와 같이, 전력 분할기(splitter)(105)는 각 경로로 전력을 균등 분할하고, 1/4 파장 트랜스포머(103)가 캐리어 증폭기(101) 부하 임피던스를 변환(modulating)하는 것을 보조하는데 사용된다. 경로 지연을 동일하게 하기 위해 부가적인 1/4 파장 트랜스포머(104)가 피킹 증폭기(102)의 전단에 배치된다.

[0005] 일반적으로, 도허티 증폭기 구조에서 피킹 증폭기의 점진적인 "턴온(turning on)"은, 적절한 전류 흐름, 클래스 C로 불리는 바이어스 포인트를 위해 입력 전압 레벨 이하에서 동작하는 바이어스 트랜지스터에 의해 달성된다. 클래스 C 증폭기는 감소된 유도각(conduction angle)에 의해 다량의 비선형성을 제공한다. CMOS와 같은 전형적인 비선형 공정(또는 구조)에서, 이러한 증폭기의 비선형 동작은 최근의 무선 통신 표준에서 요구되는 엄격한 선형성 및 전력 조건을 충족하지 못한다. 특히, 더욱 높은 바이어스 포인트는 너무 낮은 입력 전력에서 부하를 변환하고 이로 인해 캐리어 증폭기가 최대 전압 스윙에 이르지 못하게 함으로써 도허티 증폭기의 효율을 저하시킨다. 따라서, 적응형 바이어스의 개념이 최대치 미만의 출력 전력 레벨(일반적으로 백오프(back-off) 레벨로 일컬어짐)에서 전력 소모 및 효율의 희생 없이 선형성을 향상시키기 위한 적절한 방법이 되고 있다.

[0006] 헤테로 접합 양극성 트랜지스터(Heterojunction bipolar transistor: HBT)는 전력 증폭기 시장을 지배하고 있다. 양극성 접합 트랜지스터의 자기 바이어스 효과는 입력 전력을 온도 효과에 의해 증가시킴으로써 장치의 입력 임피던스를 감소시킨다. "Doherty Linear Power Amplifiers for <obile Handset Applications, Kim et al., IEEE Proceedings of Asia-Pacific Microwave Conference 2006"에 따르면, 이러한 임피던스 변화의 잇점이 가변(uneven) 전력 구동에 동적으로 적용될 수 있다. 이러한 효과를 이용하기 위해, 도 2에 도시된 것과 같은 이토폴로지서, 도 1에 도시된 통상의 도허티 증폭기 구조의 벌크 전력 분할기(105)가 제거되고 각 경로를 따라 부가적인 90° 라인으로 대체되며, 입력 전력이 증가함에 따라 더욱 효율적인 피킹 증폭기에 더 많은 전류를 주입한다. 점진적인 바이어스의 증가에 따라 바람직한 효과가 유사하게 나타나지만 그 반대의 효과가 CMOS 트랜지스터에서 발생한다. 도 2에 도시한 바와 같이, 1/4 파장 트랜스포머(204) 및 1/2 파장 트랜스포머(205)가 캐리어 증폭기(201)와 피킹 증폭기(202)의 전단에 각각 배치된다. 더하여 도 2에 도시한 바와 같이, 1/4 파장 트랜스포머(203)는 도 1과 같이 캐리어 증폭기의 후단에 배치된다.

[0007] 가변 전력 구동은 효율의 측면에서 효과적인 것처럼 나타나지만, 전송 선로가 구현되지 않고 동등한 림프 요소가 사용되므로 셀룰러 주파수에서 레이아웃 면적이 크게 감소되지 않는다. 일반적으로, 예를 들어 1/4 파장 트랜스포머를 제작하는 수동 소자들의 집합이 림프 엘리먼트 등가 회로라 불린다. 더하여, CMOS 공정(또는 구조)에서, 원하는 효율의 이득을 희생하여야 하므로, 선형성의 문제는 동적인 가변 전력 구동을 실행하는데 적합하지 못하다. 지배적인 전력 증폭기 기술과 비교하여 낮은 브레이크다운 전압이 CMOS에서 다른 문제가 된다. 이러한 문제는 몇가지 토폴로지, 특히 차동 캐스코드 구조의 선택을 필요로 하게 한다. 전형적으로, 차동 동작을 위해 요구되는 입력 및 출력 발룬은 큰 온칩 구조이다. 도허티 증폭기를 위해 요구되는 두 개의 림프 엘리먼트 1/4 파장 트랜스포머에 더하여, 이러한 발룬 구조를 위한 영역은 레이아웃 면적의 관점에서 매우 비효율적이다. 따라서, 성능의 저하를 최소화 하면서 레이아웃 면적을 감소시키는 방법이 요구된다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 성능의 저하를 최소화 하면서 레이아웃 면적을 감소시키는 전력 증폭기 시스템을 제공하는 것을 해결하고자 하는 기술적 과제로 한다.

과제 해결수단

[0009] 본 발명은 가변(uneven) 전력 구동을 위해 캐리어 증폭기의 입력에 연결된 1/4 파장 트랜스포머를 포함하며, 피킹 증폭기 경로의 트랜스포머 요소들은 출력측에 제공한다. 이러한 배치는 칩 레이아웃 면적을 감소시키기 위해 출력측에 요구되는 더 낮은 특성 임피던스에 영향을 미친다. 특히, 본 발명에 따르면, 출력측의 발룬 및 하나의 1/4 파장 트랜스포머가 실질적으로 상호 180° 위상차의 두 1/4 파장 트랜스포머를 포함하는 하나의 구조로 결합될 수 있으며, 디자인을 감소시키고 레이아웃 면적을 감소시킨다. 이는 림프 요소인 1/4 파장 트랜스포머가 실질적으로 콤포넌트 배치에 따라 네거티브 및 포지티브 90° 위상 시프트를 달성함으로써 가능하다. 본 발명의 실시형태들에 사용된 구조는, 백오프 영역에서 효율 개선 및 낮은 대기 전류 소모를 가능하게 하면서 CMOS 공정에서 선형 증폭기의 소형화를 가능하게 한다.

[0010] 본 발명의 일실시형태에 따르면, 전력 증폭기 시스템이 제공된다. 상기 전력 증폭기 시스템은, 제1 1/4 파장 트

랜스포머에 연결된 입력을 갖는 캐리어 증폭기; 상기 캐리어 증폭기와 병렬 연결된 적어도 하나의 피킹 증폭기; 상기 캐리어 증폭기의 제1 차동 출력을 동상으로 결합하여 제1 단일 종단 출력 신호를 생성하는 제1 복수의 1/4 파장 트랜스포머를 포함하는 제1 차동 결합 구조; 및 상기 적어도 하나의 피킹 증폭기 각각의 제2 차동 출력을 동상으로 결합하여 제2 단일 종단 출력 신호를 생성하는 제2 복수의 1/4 파장 트랜스포머를 포함하는 제2 차동 결합 구조를 포함할 수 있다. 상기 제2 복수의 1/4 파장 트랜스포머는, 상기 제1 1/4 파장 트랜스포머 및 상기 복수의 제2 1/4 파장 트랜스포머에 의해 제공되는 것과 동일한 누적 지연 및 위상 시프트를 제공함으로써, 상기 제1 단일 종단 출력 신호 및 상기 제2 단일 종단 출력 신호는 동상으로 결합되어 전체 출력을 제공할 수 있다.

[0011] 본 발명의 다른 실시형태에 따르면, 다른 전력 증폭기 시스템이 제공된다. 상기 다른 전력 증폭기 시스템은, 입력 1/4 파장 트랜스포머에 연결된 입력을 갖는 단일 캐리어 증폭기; 상기 단일 캐리어 증폭기와 병렬 연결된 적어도 하나의 피킹 증폭기; 일단이 상기 단일 캐리어 증폭기의 제1 차동 출력에 각각 연결되고, 타단이 제1 단일 종단 출력을 생성하도록 상호 연결되며, 실질적으로 상호 180°의 위상차로 동작하는 제2 1/4 파장 트랜스포머 및 제3 1/4 파장 트랜스포머를 포함하는 제1 차동 결합 구조; 및 직렬 연결된 두 개의 출력 1/4 파장 트랜스포머를 포함하는 제1 경로 및 직렬 연결된 두 개의 출력 1/4 파장 트랜스포머를 포함하는 제2 경로를 포함하는 제2 차동 결합 구조를 포함할 수 있다. 상기 제1 및 제2 경로 각각의 일 출력 1/4 파장 트랜스포머는 실질적으로 상호 180°의 위상차로 동작하며, 상기 제1 및 제2 경로 각각의 나머지 출력 1/4 파장 트랜스포머는 상기 입력 1/4 파장 트랜스포머와 동상을 가지며, 상기 적어도 하나의 피킹 증폭기의 제2 차동 출력 중 하나는 각각 상기 제1 및 제2 경로에 대한 입력으로 제공되며, 상기 제1 및 제2 경로의 출력은 결합되어 제2 단일 종단 출력을 생성하고, 상기 제1 및 제2 단일 종단 출력은 동상으로 결합되어 전체 출력을 제공할 수 있다.

[0012] 본 발명의 또 다른 실시형태에 따르면, 또 다른 전력 증폭기 시스템이 제공된다. 상기 또 다른 전력 증폭기 시스템은, 제1 입력 신호를 입력받아 제1 차동 출력을 생성하는 캐리어 증폭기; 및 상기 캐리어 증폭기와 병렬로 배치되며, 제2 입력 신호를 입력받아 제2 차동 출력을 생성하는 적어도 하나의 피킹 증폭기를 포함할 수 있다. 상기 제1 차동 출력은 제1 복수의 제1 1/4 파장 트랜스포머 및 제1 미스매치 보상 블록에 의해 처리되어 제1 단일 종단 출력 신호를 생성하며, 상기 제1 입력 신호 및 제2 입력 신호는 하나의 전체 단일 종단 입력 신호의 적어도 일부에서 생성되며, 상기 제2 차동 출력은 제2 복수의 제2 1/4 파장 트랜스포머 및 제2 미스매치 보상 블록에 의해 처리되어 제2 단일 종단 출력 신호를 생성하며, 상기 제1 단일 종단 출력 신호 및 상기 제2 단일 종단 출력 신호가 동상으로 결합되어 전체 단일 종단 출력 신호를 생성하도록 상기 제2 복수의 제2 1/4 파장 트랜스포머에 대해 상기 제1 복수의 제1 1/4 파장 트랜스포머가 배치될 수 있다.

효 과

[0013] 본 발명에 따르면, 출력측의 발룬 및 하나의 1/4 파장 트랜스포머가 실질적으로 상호 180° 위상차의 두 1/4 파장 트랜스포머를 포함하는 하나의 구조로 결합될 수 있으며, 디자인을 감소시키고 레이아웃 면적을 감소시킬 수 있다.

[0014] 본 발명에 따르면, 본 발명의 실시형태들에 사용된 구조는, 백오프 영역에서 효율 개선 및 낮은 대기 전류 소모를 가능하게 하면서 CMOS 공정에서 선형 증폭기의 소형화를 가능하게 한다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세하게 기술할 것이다. 이하의 설명에서 본 발명의 모든 실시 형태가 개시되는 것은 아니다. 본 발명은 매우 다양한 형태로 구현될 수 있으며, 여기에 개시되는 실시형태에 한정되는 것으로 해석되어서는 안 된다. 본 실시형태들은 출원을 위한 법적 요건들을 충족시키기 위해 제공되는 것이다. 동일한 구성요소에는 전체적으로 동일한 참조부호가 사용된다.

[0016] 본 발명의 일 실시형태는, 회로 사이즈에 대한 영향을 최소화하고 집적된 레이아웃 면적을 감소시키면서 향상된 효율 및 선형성을 갖는 모바일 기기(예를 들어, 모바일 폰, 라디오, 페이지, 랩탑 컴퓨터, 휴대용 컴퓨터, PDA 등)용 집적 전력 증폭기 회로에 관한 것이다. 본 발명의 일 실시형태에서, 표준 CMOS 공정에서 셀룰러 대역 주파수용으로 설계된 집적 전력 증폭기는 차동 결합 및 적응형 바이어스 트랜지스터를 제공함과 동시에, 동적

가변 전력 구동을 갖는 2 단 도허티 증폭기에 적용되는데 필요한 레이아웃 면적을 감소 및/또는 최소화한다. 본 명세서에 기재된 본 발명의 실시형태들은, 전력 증폭 회로의 개선을 위해 수동 소자의 결합에 의해 제공되는 림프 엘리먼트의 1/4 파장 트랜스포머의 특성을 이용한다.

- [0017] 본 발명의 실시시형태에서, 상보적인 림프 엘리먼트 구조의 특정 배치를 통해, 도허티 전력 증폭기 구조가 다음 중 적어도 하나를 달성할 수 있는 컴팩트한 구조로 제공될 수 있다: 감소된 전송 전력 레벨에서 감소된 전류 소모, 통상적인 전송 전력 레벨에서 증가된 효율, 및 최대 전송 전력 레벨에서 향상된 선형성. 더하여, 본 발명의 실시시형태에 따르면, 모바일 장치 회로의 집적이 제공되는 공정에서 제조되는 경우 가능한 추가적인 비용 절감을 포함하여, 전력 증폭기의 전체적인 비용이 감소할 수 있다.
- [0018] 본 발명의 실시시형태에 따르면, 입력 1/4 파장 트랜스포머에 연결된 입력을 갖는 단일 캐리어 증폭기와, 상기 단일 캐리어 증폭기와 병렬 연결된 적어도 하나의 피킹 증폭기를 포함하는 전력 증폭기 시스템이 제공된다. 상기 전력 증폭 시스템은, 제1 차동 결합 구조를 더 포함한다. 상기 차동 결합 구조는, 일단이 캐리어 증폭기의 차동 출력에 각각 연결되고 타단이 단일 종단 출력을 형성하도록 상호 연결된 상호 실질적으로 180°의 위상차를 갖는 두 개의 림프 엘리먼트 1/4 파장 트랜스포머를 포함한다. 상기 전력 증폭기 시스템은, 제2 차동 결합 구조를 더 포함한다. 상기 제2 차동 결합 구조는, 일단이 피킹 증폭기의 차동 출력에 각각 연결되고 타단이 상호 분리되고 동일한 위상을 갖는 림프 엘리먼트 1/4 파장 트랜스포머에 각각 연결된 상호 실질적으로 180°의 위상차를 갖는 두 개의 림프 엘리먼트 1/4 파장 트랜스포머를 포함한다. 두 개의 동일 위상의 림프 엘리먼트 1/4 파장 트랜스포머는 실질적으로 상호 연결되며 단일 동산 출력에 연결된다.
- [0019] 도 3은 본 발명의 실시시형태에 따른 집적 전력 증폭기 시스템의 블록도이다. 도 3에 도시된 실시시형태에 따른 전력 증폭기 시스템(300)은, 차동 캐리어 증폭기(301) 및 그에 병렬 연결된 적어도 하나의 차동 피킹 증폭기(302)를 포함할 수 있다. 네거티브 시프트 1/4 파장 트랜스포머(303)가 캐리어 증폭기(301)의 입력에 선행 배치될 수 있다.
- [0020] 캐리어 증폭기(301)의 차동 출력은 제1 차동 결합 구조에 제공된다. 상기 제1 차동 결합 구조는 제1 경로를 따라 배치된 포지티브 시프트 1/4 파장 트랜스포머(304)와, 제2 경로를 따라 배치된 네거티브 시프트 1/4 파장 트랜스포머(305)를 포함할 수 있다. 특히, 캐리어 증폭기(301)의 제1 차동 출력은 포지티브 시프트 1/4 파장 트랜스포머(304)의 제1 종단에 의해 수신되고, 캐리어 증폭기(301)의 제2 차동 출력은 네거티브 시프트 1/4 파장 트랜스포머(305)의 제1 종단에 의해 수신된다. 동시에 캐리어 증폭기(301)의 차동 출력을 부하 변환하고(load modulate) 결합하기 위해, 포지티브 시프트 1/4 파장 트랜스포머(304)는 동일한 크기의 지연을 갖는 네거티브 시프트 1/4 파장 트랜스포머(305)와 쌍을 이룰 수 있다.
- [0021] 제1 차동 결합 구조의 단일 종단 출력을 제공하기 위해 트랜스포머(304, 305)의 출력은 동상으로 결합될 수 있다. 이를 위해, 트랜스포머(304, 305)의 제2 종단들은 상호 묶여 연결될 수 있다. 포지티브 시프트 1/4 파장 트랜스포머(304) 및 네거티브 시프트 1/4 파장 트랜스포머(305)는 180° 위상차를 가지고 동작하는 것은 자명한 것이다. 즉, 이러한 위상차는, 포지티브 시프트 1/4 파장 트랜스포머(304)는 실질적으로 90°의 포지티브 시프트를 제공하고, 네거티브 시프트 1/4 파장 트랜스포머(305)는 실질적으로 90°의 네거티브 시프트를 제공하기 때문이다. 이와 유사하게, 트랜스포머(304, 305)는, 트랜스포머(304, 305)의 출력이 동상으로 결합되어 제1 차동 결합 구조의 단일 종단 출력을 제공할 수 있도록 동일한 크기의 지연을 제공할 수 있다.
- [0022] 유사하게, 피킹 증폭기(302)의 차동 출력은 제2 차동 결합 구조로 제공된다. 제2 차동 결합구조는, 제1 경로에서 포지티브 시프트 1/4 파장 트랜스포머(306) 및 네거티브 시프트 1/4 파장 트랜스포머(308)를 포함하고, 제2 경로에서 네거티브 시프트 1/4 파장 트랜스포머(307, 309)를 포함할 수 있다. 특히, 피킹 증폭기(302)의 제1 차동 출력은 포지티브 시프트 1/4 파장 트랜스포머(306)의 제1 종단에 의해 수신되고, 포지티브 시프트 1/4 파장 트랜스포머(306)는 제2 종단을 통해 네거티브 시프트 1/4 파장 트랜스포머(308)의 제1 종단과 직렬연결 된다. 피킹 증폭기(302)의 제2 차동 출력은 네거티브 시프트 1/4 파장 트랜스포머(307)의 제1 종단에 의해 수신되고, 네거티브 시프트 1/4 파장 트랜스포머(307)는 제2 종단을 통해 네거티브 시프트 1/4 파장 트랜스포머(309)의 제1 종단과 직렬연결 된다. 포지티브 시프트 1/4 파장 트랜스포머(306)은 네거티브 시프트 1/4 파장 트랜스포머(307)과 쌍을 이루며 피킹 차동 출력을 동시에 결합하기 위해 동등한 지연을 가질 수 있다. 더하여, 동일한 지연을 갖는 두 개의 네거티브 시프트 1/4 파장 트랜스포머(308, 309)가, (캐리어 증폭기(301)과 함께 사용된 트랜스포머(303, 304, 305)의) 경로 지연 및 위상 시프트를 동일하게 하기 위해 각각의 제1 종단에서 트랜스포머(306, 307)의 제2 종단에 각각 연결될 수 있다.
- [0023] 제1 경로의 트랜스포머(308)와 제2 경로의 트랜스포머(309)의 출력은 제2 차동 결합 구조의 단일 종단 출력 신

호를 제공하도록 동상으로 결합될 수 있다. 이를 위해, 트랜스포머(308, 309)의 제2 종단이 상호 묶이고 연결될 수 있다. 본 발명의 다른 실시형태에서, 1/4 파장 트랜스포머(306, 307)는 각각 트랜스포머(308, 309)와 위치가 상호 변경될 수 있다. 본 발명의 다른 실시형태는 네거티브 시프트 1/4 파장 트랜스포머(303, 308, 309) 대신 포지티브 시프트 트랜스포머를 사용할 수 있다. 다른 실시형태는 두 트랜스포머 (308, 309)가 하나의 네거티브 시프트 구조로 결합되는 것으로 대체될 수 있다. 이러한 실시형태에서, 캐리어 경로 및 피킹 경로로의 출력 전력 누설 등과 함께 위상 불균형을 포함하는 다양한 성능 요건들에 대한 보상을 위해, 위상 시프트는 실질적으로 90° 보다 크거나 작을 수 있다.

[0024] 포지티브 시프트 1/4 파장 트랜스포머(306) 및 네거티브 시프트 1/4 파장 트랜스포머(307)은 실질적으로 상호 180° 의 위상차를 가질 수 있다. 즉, 이러한 결과는 포지티브 시프트 1/4 파장 트랜스포머(306)가 포지티브의 90° 위상 시프트를 제공하고 네거티브 시프트 1/4 파장 트랜스포머(307)가 네거티브의 90° 위상 시프트를 제공하기 때문이다. 반면, 네거티브 시프트 1/4 파장 트랜스포머(308, 309)는 동일한 네거티브 90° 위상시프트를 제공하므로 상호 동일한 위상을 갖는다. 유사하게 제1 경로를 따라 트랜스포머(306, 308)에 의해 제공되는 지연은 트랜스포머(307, 309)에 의해 제공되는 지연과 동일하며, 트랜스포머(308, 309)의 출력이 동상으로 결합되어 제2 차동 결합 구조의 단일 종단 출력을 제공할 수 있다.

[0025] 제2 차동 결합 구조에 의해 제공되는 누적 지연 및 위상 시프트는 제1 차동 결합 구조와 함께 트랜스포머(303)에 의해 제공되는 지연 및 위상 시프트와 동일할 수 있다. 따라서, 제1 차동 결합 구조의 단일 종단 출력 신호는 제2 차동 결합 구조의 단일 종단 신호와 동상으로 결합 가능하고, 전체 입력 단일 종단 신호(IN)가 증폭된 형태의 전체 단일 종단 출력 신호(OUT)를 제공할 수 있다.

[0026] 본 발명의 일실시형태에 따르면, 도 3의 다양한 변형이 가능하다. 본 발명의 일 변형예에 따르면, 입력 트랜스포머(303)은 포지티브 시프트 1/4 파장 트랜스포머일 수 있다. 이 변형예에서, 트랜스포머(303)에 의해 제공되는 위상 시프트 및 지연을 동일하게 사용할 수 있도록, 트랜스포머(308, 309)의 출력은 포지티브 시프트 1/4 파장 트랜스포머일 수 있다. 전술한 바와 같이, 트랜스포머(306, 309)은 직렬로 연결되므로, 그 위치가 상호 변경될 수 있다. 유사하게, 트랜스포머(307, 309)도 직렬 연결되므로 그 위치가 상호 변경될 수 있다. 본 발명의 일 실시형태에서, 칩에서 제공되어야 하는 인덕턴스의 크기를 감소함으로써 전력 증폭기 칩의 레이아웃 면적을 감소시키기 위해 본딩 와이어의 인덕턴스에 영향을 미치도록 네거티브 시프트 구조에서 셉트 인덕터를 사용할 수 있다. 다른 변형예에서, 입력 트랜스포머(303)는 생략될 수 있으며, 임피던스 시프트 또는 임피던스 변환이 입력에 적어도 하나의 다른 요소(예를 들어, 발룬, 매칭 네트워크, 증폭기 (301/302))에 의해 단순하게 제공될 수 있다. 이러한 실시형태에서, 제1 종단 출력 신호와 제2 종단 출력 신호가 동상으로 결합되어 전체 입력 단일 종단 신호(IN)의 증폭된 형태인 전체 단일 종단 출력 신호(OUT)를 생성할 수 있도록, 제1 및 제2 차동 결합 구조는 상호 관련하여 설정될 수 있다.

[0027] 도 4 및 도 5는 본 발명의 일실시형태에 따른 단일 인덕터 럼프 엘리먼트 등가 회로를 도시한다. 도 4 및 도 5에 도시된 럼프 엘리먼트 등가회로는 1/4 파장 트랜스포머를 생성하는 수동 소자들의 결합이다. 더욱 상세하게, 도 4는 본 발명의 일실시형태에 따른 네거티브 시프트 1/4 파장 트랜스포머의 회로도이다. 도 4에 도시된 바와 같이, 네거티브 시프트 1/4 파장 트랜스포머는 캐패시터(402, 406) 및 인덕터(404)를 포함하는 티(T) 구조를 갖는다. 캐패시터(402, 406)은 상호 직렬 연결되며, 인덕터(404)는 캐패시터(402, 406) 사이의 연결 노드와 연결된 제1 종단과 접지에 연결된 제2 종단을 갖는다. 도 5는 본 발명의 일실시형태에 따른 포지티브 시프트 1/4 파장 트랜스포머의 회로도이다. 도 5에 도시된 바와 같이, 포지티브 시프트 1/4 파장 트랜스포머는 캐패시터(502, 506) 및 인덕터(504)를 포함하는 파이(Pi) 구조를 갖는다. 인덕터(504)의 제1 종단은 캐패시터(502)에 연결되고, 인덕터(504)의 제2 종단은 캐패시터(504)에 연결된다. 캐패시터(502, 506)의 나머지 단은 접지에 연결된다.

[0028] 도 6은 본 발명의 일실시형태에 따른 콤포넌트 레벨의 회로도이다. 도 6에 도시된 바와 같이, 캐리어 증폭기로 표현되는 주 증폭 블록(601)이 존재한다. 유사하게, 피킹 증폭기로 표현되는 보조 증폭 블록(602)이 존재한다. 본 발명의 일실시형태에 따르면, 주 증폭 블록(601) 및 보조 증폭 블록(602)는 차동 캐스코드 CMOS 트랜지스터를 포함할 수 있다.

[0029] 도 6에 도시된 바와 같이, 단일 종단 입력 신호(IN)(예를 들어, RF 입력 신호)는 주 증폭 블록(601)의 입력으로 향하는 제1 신호 경로 및 보조 증폭 블록(602)의 입력으로 향하는 제2 신호 경로로 제공될 수 있다. 제1 신호 경로에서, 네거티브 시프트 럼프 엘리먼트 1/4 파장 트랜스포머 블록(603)이 주 증폭 블록(601)의 입력에 선행 배치될 수 있다. 위상 시프트된 단일 종단 신호는 블록(603)으로부터 입력 발룬 블록(605)으로 제공될 수 있다.

입력 발룬 블록(605)는 단일 종단 신호를 차동 신호로 변환하는 동작을 할 수 있다. 더욱 상세하게, 입력 발룬 블록(605)은 1차 권선 및 2차 권선을 포함할 수 있으며, 전력 매칭을 위해 선택적으로 적어도 하나의 부가 요소(예를 들어, 저항, 캐패시터, 인덕터 등)를 포함할 수 있다. 1차 권선의 제1 종단은 입력으로서 위상 시프트된 단일 종단 신호를 블록(603)으로부터 입력받고, 1차 권선의 제2 종단은 접지될 수 있다. 2차 권선은 1차 권선에 유도 결합될 수 있으며, 2차 권선의 양단은 주 증폭 블록(601)에 의해 수신되는 생성된 차동 신호의 출력으로 사용될 수 있다. 주 증폭 블록(601)이 각각 게이트, 소스 및 드레인을 갖는 전계 효과 트랜지스터(FET)를 포함하는 경우, 2차 권선의 종단은 각 FET들의 각 게이트에 연결될 수 있다.

[0030] 다른 실시형태에서, FET 대신 베이스, 에미터 및 콜렉터를 갖는 양극성 접합 트랜지스터(BJT)(또는 헤테로접합 양극성 트랜지스터(HBT))가 사용되는 경우, 2차 권선의 종단은 각 BJT들의 각 베이스에 연결될 수 있다. 통상 가상 접지가 되는 2차 권선의 센터 탭 포트(center tap port)는 게이트(또는 베이스) 바이어싱을 위한 전압원이 연결될 수 있다. 더하여, 게이트(또는 베이스) 바이어싱은 전압원 및 바이어싱 저항을 포함하는 블록(607)에 의해 제공될 수 있다. 2009년 11월 17일자로 미국 출원된 출원번호 12/620,462(명칭: "SYSTEMS AND METHODS FOR AN ADAPTIVE BIAS CIRCUIT FOR A DIFFERENTIAL POWER AMPLIFIER")에 기술된 것과 같은 다양한 적응형 바이어싱 방법이 게이트(또는 베이스)를 바이어싱 하는데 이용될 수 있다. 적응형 바이어싱은 낮은 전력 레벨에서 대기 전류(quiescent current)를 최소화 하고 동시에 전력 증폭기(즉, 증폭 블록(601))의 등가 입력 저항을 감소시키는데 사용될 수 있다. 드레인(또는 콜렉터) 바이어싱 및 주 증폭 블록(601)에 대한 출력 매칭이 필요한 경우 매칭 블록(609)에 의해 수행될 수 있다. 매칭 블록(609)은 전압원과 함께 인덕터 및 캐패시터의 결합을 포함할 수 있다. 드레인(또는 콜렉터) 바이어싱 및 주 증폭 블록(601)에 대한 출력 매칭은 백오프 효율을 최적화 하도록 설계될 수 있다.

[0031] 주 증폭 블록(601)의 차동 출력은, 적절한 포지티브 또는 네거티브 1/4 파장 위상 시프트 및 지연을 제공하는 1/4 파장 트랜스포머(611, 613)를 포함하는 제1 차동 결합 구조에 제공될 수 있다. 더욱 상세하게, 주 증폭 블록(601)의 제1 차동 출력은 포지티브 시프트 럼프 엘리먼트 등가 1/4 파장 트랜스포머(611)에 제공되며, 주 증폭 블록(601)의 제2 차동 출력은 네거티브 시프트 럼프 엘리먼트 등가 1/4 파장 트랜스포머(613)에 제공에 제공된다. 1/4 파장 트랜스포머(611, 613)의 출력은 결합되거나 합산되어 제1 차동 결합 구조의 단일 종단 제1 출력 신호를 생성한다.

[0032] 전술한 바와 같이, 단일 종단 입력 신호(IN)은 보조 증폭 블록(602)의 입력으로 향하는 제2 신호 경로를 따라 제공될 수 있다. 입력 발룬 블록(604)는 단일 종단 신호를 차동 신호로 변환할 수 있다.

[0033] 더욱 상세하게, 입력 발룬 블록(604)은 1차 권선 및 2차 권선을 포함할 수 있으며, 전력 매칭을 위해 선택적으로 적어도 하나의 부가 요소(예를 들어, 저항, 캐패시터, 인덕터 등)를 포함할 수 있다. 1차 권선의 제1 종단은 입력으로서 단일 종단 입력 신호(IN)를 입력받고, 1차 권선의 제2 종단은 접지될 수 있다. 2차 권선은 1차 권선에 유도 결합될 수 있으며, 2차 권선의 양단은 보조 증폭 블록(602)에 의해 수신되는 생성된 차동 신호의 출력으로 사용될 수 있다. 보조 증폭 블록(602)이 각각 게이트, 소스 및 드레인을 갖는 전계 효과 트랜지스터(FET)를 포함하는 경우, 2차 권선의 종단은 각 FET들의 각 게이트에 연결될 수 있다. 다른 실시형태에서, FET 대신 베이스, 에미터 및 콜렉터를 갖는 양극성 접합 트랜지스터(BJT)가 사용되는 경우, 2차 권선의 종단은 각 BJT들의 각 베이스에 연결될 수 있다. 통상 가상 접지가 되는 2차 권선의 센터 탭 포트(center tap port)는 게이트(또는 베이스) 바이어싱을 위한 전압원이 연결될 수 있다. 더하여, 게이트(또는 베이스) 바이어싱은 전압원 및 바이어싱 저항을 포함하는 블록(606)에 의해 제공될 수 있다. 본 명세서에 기술되는 것과 유사한 다양한 적응형 바이어싱 방법이 게이트(또는 베이스)를 바이어싱 하는데 이용될 수 있다. 적응형 바이어싱은 낮은 전력 레벨에서 대기 전류(quiescent current)를 최소화 하고 동시에 전력 증폭기(즉, 증폭 블록(602))의 등가 입력 저항을 감소시키는데 사용될 수 있다. 드레인(또는 콜렉터) 바이어싱 및 보조 증폭 블록(602)에 대한 출력 매칭이 필요한 경우 매칭 블록(608)에 의해 수행될 수 있다. 매칭 블록(608)은 전압원과 함께 인덕터 및 캐패시터의 결합을 포함할 수 있다. 드레인(또는 콜렉터) 바이어싱 및 보조 증폭 블록(602)에 대한 출력 매칭은 캐리어 증폭기로부터 피킹 증폭기의 출력 또는 증폭기로 흐르는 누설 전류를 최소화 하도록 설계될 수 있다.

[0034] 보조 증폭 블록(602)의 차동 출력은, 적절한 포지티브 또는 네거티브 1/4 파장 위상 시프트 및 지연을 제공하는 1/4 파장 트랜스포머(610, 612, 614, 616)를 포함하는 제2 차동 결합 구조에 제공될 수 있다. 더욱 상세하게, 보조 증폭 블록(602)의 제1 차동 출력은 포지티브 시프트 럼프 엘리먼트 등가 1/4 파장 트랜스포머(610)에 제공되며, 트랜스포머(610)은 네거티브 시프트 럼프 엘리먼트 등가 1/4 파장 트랜스포머(614)에 직렬로 연결된다. 반면, 보조 증폭 블록(602)의 제2 차동 출력은 네거티브 시프트 럼프 엘리먼트 등가 1/4 파장 트랜스포머(612)에 제공에 제공되며, 트랜스포머(612)는 다른 네거티브 시프트 럼프 엘리먼트 등가 1/4 파장 트랜스포머(616)에

연결된다. 1/4 파장 트랜스포머(614, 616)의 출력은 결합되거나 합산되어 제2 차동 결합 구조의 단일 종단 제2 출력 신호를 생성한다.

[0035] 제1 및 제2 차동 결합 구조에 의해 각각 생성된 단일 종단 출력 신호는 결합되거나 합산되어 전체 단일 종단 출력 신호(OUT)(615)를 생성한다. 본 발명의 일 실시형태에서, 추가적인 매칭이 출력(615)에 사용될 수 있으며, 입력은 그 이전 증폭단에 대해 매칭될 수 있다. 더하여, 입력 발룬 블록(604, 605)에 결합되는 입력측 매칭 요소 또는 기법(입력(IN)의 임피던스에 따라 변화하는)은 각 증폭기(각 경로의 입력에 나타나는 동적으로 변화되는 등가 저항에 반비례하는 주/보조 증폭 블록(601 602) 경로) 사이에 전력을 분할 하도록 설계될 수 있다. 본 발명의 일 실시형태에 따르면, 이러한 입력측 매칭 기법은, 입력 전력이 증폭기의 최대 선형 출력에 해당하는 레벨에 이를 때 이상적인 매칭을 제공할 수 있다.

[0036] 도 7은 본 발명의 일 실시형태에 따른 도 6의 변형예를 도시한 회로도이다. 도 6 및 도 7에 도시한 바와 같이, 구성요소(601-613)은 동일하다. 그러나, 도 6의 1/4 파장 트랜스포머(614, 616)은 단일 1/4 파장 트랜스포머(716)에 의해 대체된다. 트랜스포머(716)은 입력 1/4 파장 트랜스포머(603)의 임의의 위상 오프셋을 보상할 수 있다. 더하여, 1/4 파장 럼프 엘리먼트 등가회로에서 임의의 콤포넌트 미스매치에 의해 동작 대역에서 고유하게 나타나는 적어도 하나 이상의 노치(notch)를 제거하기 위해, 미스매치 보상 블록(714, 715)이 1/4 파장 트랜스포머(611/613, 610/612)의 출력에 각각 제공될 수 있다.

[0037] 계속 도 7을 참조하면, 미스매치 보상 블록(715)은 1/4 파장 트랜스포머(611)에 연결된 캐패시터(C1) 및 1/4 파장 트랜스포머(613)에 연결된 캐패시터(C2)를 포함할 수 있다. 캐패시터(C1, C2)의 타단은 공통으로 인덕터(L1)의 제1 종단에 연결되며, 인덕터(L1)의 제2 종단은 전체 단일 종단 출력 신호(OUT)(717)에 제공되는 제1 단일 종단 신호를 제공할 수 있다. 유사하게, 보상 블록(714)는 1/4 파장 트랜스포머(610)에 연결된 제3 캐패시터(C3)와 1/4 파장 트랜스포머(612)에 연결된 제4 캐패시터(C4)를 포함할 수 있다. 캐패시터(C3, C4)의 타단은 공통으로 인덕터(L2)의 제1 종단에 연결되며, 인덕터(L2)의 제2 종단은 단일 1/4 파장 트랜스포머(716)의 입력에 제2 단일 종단 신호를 제공할 수 있다. 1/4 파장 트랜스포머(716)의 출력은 전체 단일 종단 출력 신호(OUT)(717)에 제공되는 제2 단일 종단 신호를 제공할 수 있다. 즉, 전체 단일 종단 출력 신호(OUT)(717)는 제1 단일 종단 신호를 제공하는 보상 블록(715) 및 제2 단일 종단 신호를 제공하는 1/4 파장 트랜스포머(716)의 출력을 연결함으로써 획득될 수 있다. 보상 블록(714, 715)은 결합시 그 이전의 1/4 파장 트랜스포머에 의해 생성된 90° 위상 시프트 또는 임피던스 변환에 대해 영향을 받지 않도록 선택될 수 있다.

[0038] 도 6 또는 도 7의 다양한 변형이 본 발명의 범위 내에서 이용될 수 있다. 예를 들어, 다른 변형에는 입력 1/4 파장 트랜스포머(603)를 생략할 수 있다. 즉, 1/4 파장 위상 시프트 또는 임피던스 변환이 입력 발룬 블록(605) 및/또는 주 증폭 블록(601) 단독 또는 입력 발룬 블록(604) 및 보조 증폭 블록(602)의 결합을 통해 대신 제공될 수 있다.

[0039] 성능 및 주파수에 따라 구조의 사이즈가 변화하는데 따라, 본 발명의 모든 실시예에 대해 레이아웃 감소를 정량화 하는 것은 어려우나, 도식적인 설명을 위해 전형적인 구조 및 본 발명의 일 실시형태에 따른 구조 사이의 트레이드 오프 관계가 도 8 및 도 9에 도시된다. 따라서, 본 발명의 일 실시형태에 의해 가능한 레이아웃 절약의 특성은 도 8 및 도 9에 도시된다.

[0040] 도 8은 2 GHz에서 전형적인 캐리어 경로 출력 구조 및 본 발명의 일 실시형태에 따른 캐리어 경로의 출력 구조를 나란히 비교한 도면이다. 도 8에 도시한 바와 같이, CMOS 공정에서 현재 기술 상태에 기반한 전형적인 구조(801)는, 본 발명의 일 실시형태의 적어도 일부에 따른 새로운 구조(802)보다 더 크다는 것을 알 수 있다. 본 발명의 일 실시형태에 따르면, 구조(802)는 결합된 도 6의 블록(611, 613) 또는 결합된 도 6의 블록(610, 612)과 동일하다(도 6의 블록(611, 613)과 블록(610, 612)은 실질적으로 동일한 블록임). 예를 들어, 도 8은 도 6의 블록(611)과 동일한, 캐패시터(C1, C2) 및 인덕터(L1)를 포함하는 포지티브 시프트 1/4 파장 트랜스포머(811)를 도시한다. 또한, 도 8은 도 6의 블록(613)과 동일한, 캐패시터(C3, C4) 및 인덕터(L2)를 포함하는 네거티브 시프트 1/4 파장 트랜스포머(813)를 도시한다.

[0041] 도 9는 2 GHz에서 전형적인 피킹 경로 출력 구조 및 본 발명의 일 실시형태에 따른 피킹 경로의 출력 구조를 나란히 비교한 도면이다. 도 9에 도시한 바와 같이, CMOS 공정에서 현재 기술 상태에 기반한 전형적인 구조(801)는, 본 발명의 일 실시형태의 적어도 일부에 따른 새로운 구조(802)보다 더 작다는 것을 알 수 있다. 본 발명의 일 실시형태에 따르면, 구조(902)는 결합된 도 6의 블록(610, 612, 614, 616)과 동일하다. 예를 들어, 도 9는 도 6의 블록(610)과 동일한, 캐패시터(C1, C2) 및 인덕터(L1)를 포함하는 포지티브 시프트 1/4 파장 트랜스포머(910)를 도시한다. 또한, 도 9는 도 6의 블록(612)과 동일한, 캐패시터(C3, C4) 및 인덕터(L2)를 포함하는 네거티브 시

프트 1/4 파장 트랜스포머(912)를 도시한다. 또한, 캐패시터(C5, C6) 및 인덕터(L3)를 포함하는 네거티브 시프트 1/4 파장 트랜스포머(914)는 도 6의 블록(614)와 동일하다. 또한, 캐패시터(C7, C8)을 포함하는 네거티브 시프트 1/4 파장 트랜스포머(916)은 도 6의 블록(616)과 동일하다. 구조(902)는 전형적인 구조(901)보다 더 큰 면적을 소비하지만, 구조(902)는 자체가 구조(902)의 사이즈보다 더 큰 전력 분할기의 필요성을 제거하는 추가적인 잇점을 제공한다.

[0042] 도 10은 윌킨슨 전력 분배기(Wiltinson power divider)로 알려진 전형적 구조에서 요구되는 2 GHz에서의 전력 분할기의 레이아웃을 도시한다. 도 10은 전력 분할기의 제거를 통해 본 발명의 다양한 실시형태가 절약할 수 있는 면적을 도시한다. 나머지 추가적인 구조는 비교되지는 않으나, 실질적으로 유사하거나 실질적으로 동일한 면적을 필요로 한다.

[0043] 전술한 설명 및 첨부 도면에 개시된 기술을 이용하여 본 발명의 속하는 기술 분야에서 통상의 기술을 가진 자는 본 발명의 많은 변형예와 다른 실시형태들을 도출해 낼 수 있을 것이다. 따라서, 본 발명은 개시된 실시형태에 한정되는 것이 아니며, 본 발명의 변형예 및 다른 실시형태들은 이하 기재되는 특허 청구 범위 내에 포함되는 것으로 간주되어야 한다. 본 명세서에서 특정 용어들이 사용되었으나, 이는 일반적이고 설명을 위한 의미로 사용되었을 뿐이며 본 발명을 한정하기 위한 것이 아니다.

도면의 간단한 설명

[0044] 도 1은 병렬 연결된 캐리어 증폭기 및 피킹 증폭기를 포함하는 도허티 증폭기의 일반적인 구조를 도시한 도면이다.

[0045] 도 2는 동적 가변 도허티 선형 전력 증폭기를 도시한다.

[0046] 도 3은 본 발명의 일실시형태에 따른 집적 전력 증폭기 시스템의 블록도이다.

[0047] 도 4는 본 발명의 일실시형태에 따른 전력 증폭기 시스템에 사용된 네거티브 시프트 1/4 파장 트랜스포머의 회로도이다.

[0048] 도 5는 본 발명의 일실시형태에 따른 전력 증폭기 시스템에 사용된 포지티브 시프트 1/4 파장 트랜스포머의 회로도이다.

[0049] 도 6은 본 발명의 일실시형태에 따른 전력 증폭기 시스템의 콤포넌트 레벨의 회로도이다.

[0050] 도 7은 본 발명의 일실시형태에 따른 도 6의 변형예를 도시한 회로도이다.

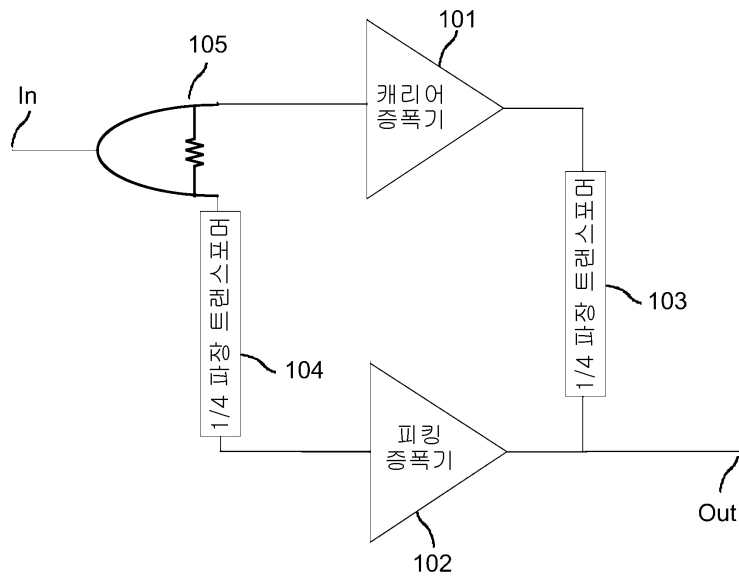
[0051] 도 8은 2 GHz에서 전형적인 캐리어 경로 출력 구조 및 본 발명의 일실시형태에 따른 캐리어 경로의 출력 구조를 나란히 비교한 도면이다.

[0052] 도 9는 2 GHz에서 전형적인 피킹 경로 출력 구조 및 본 발명의 일실시형태에 따른 피킹 경로의 출력 구조를 나란히 비교한 도면이다.

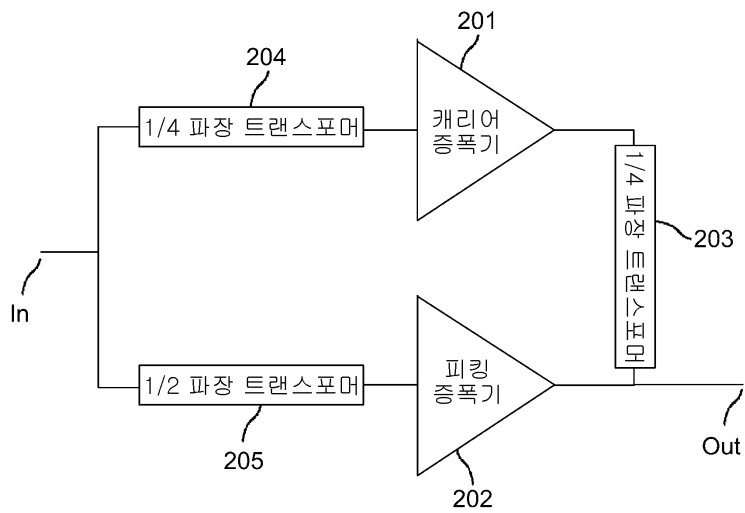
[0053] 도 10은 윌킨슨 전력 분배기(Wiltinson power divider)로 알려진 전형적 구조에서 요구되는 2 GHz에서의 전력 분할기의 레이아웃을 도시한다.

도면

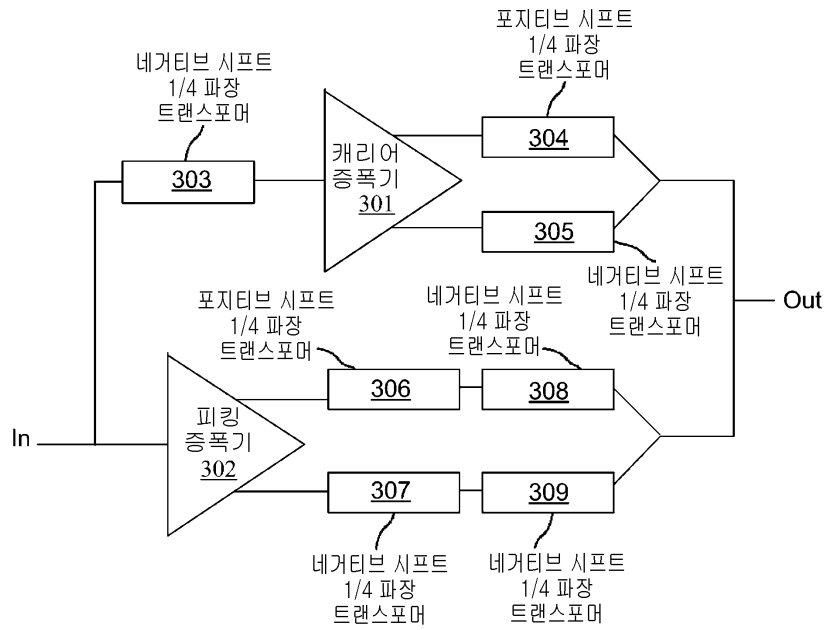
도면1



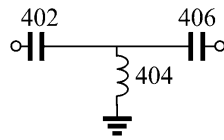
도면2



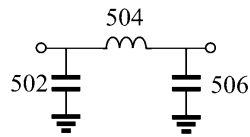
도면3



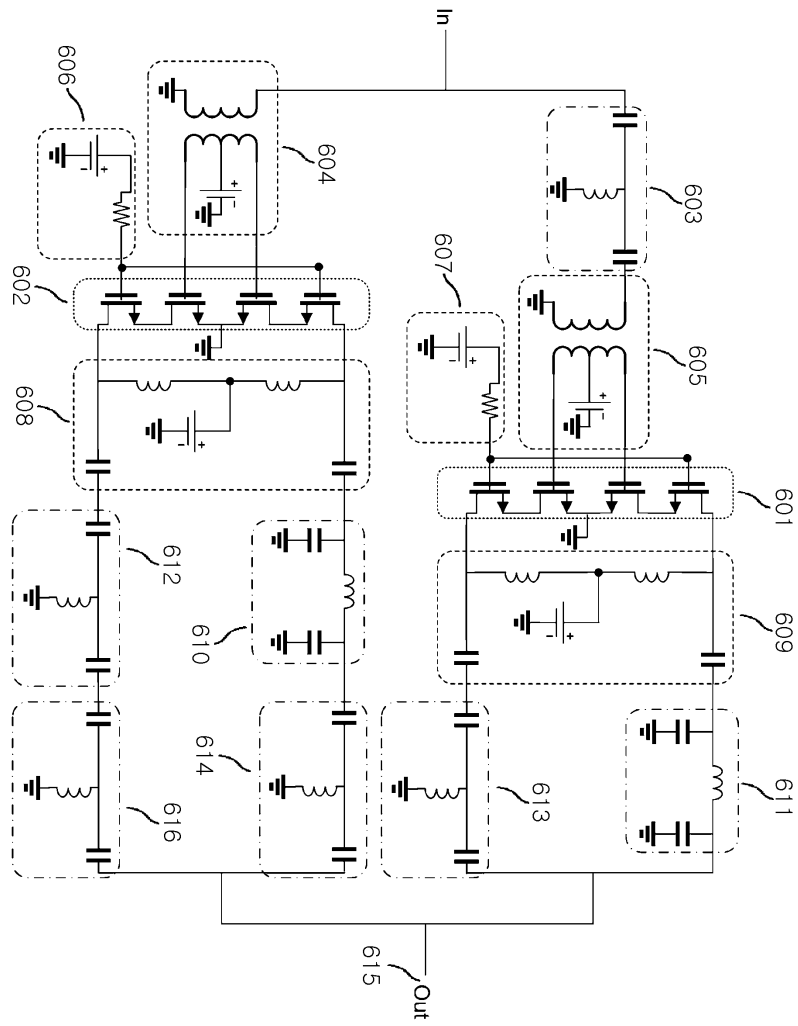
도면4



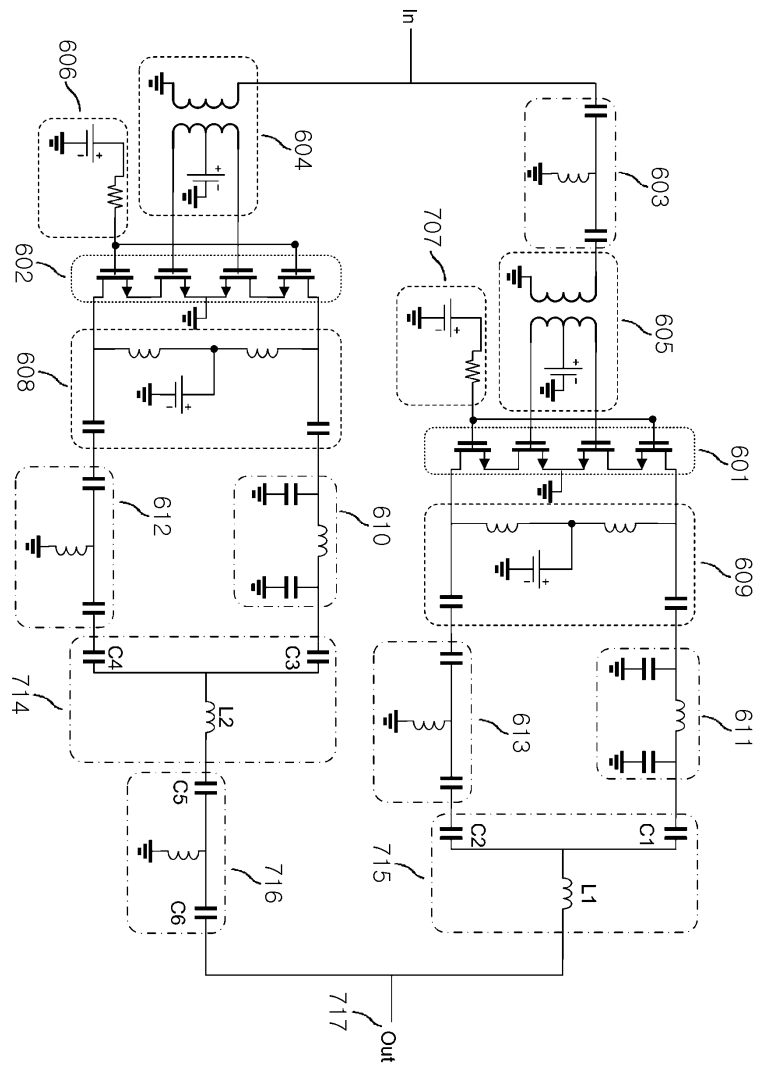
도면5



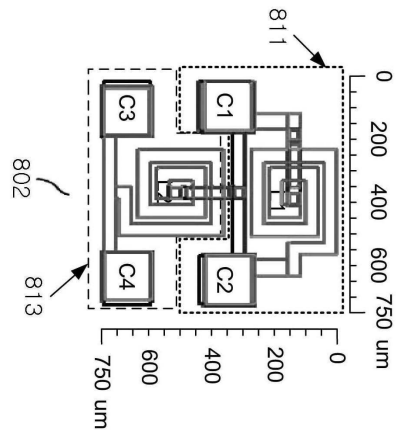
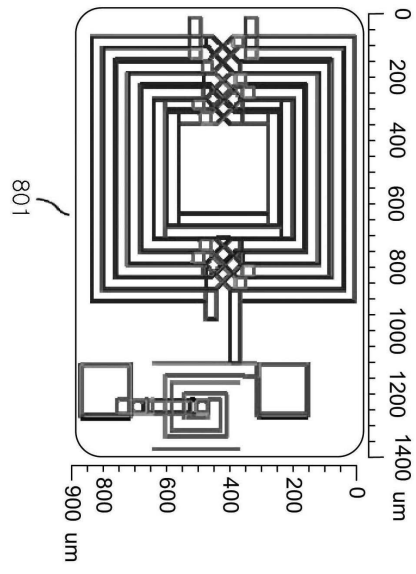
도면6



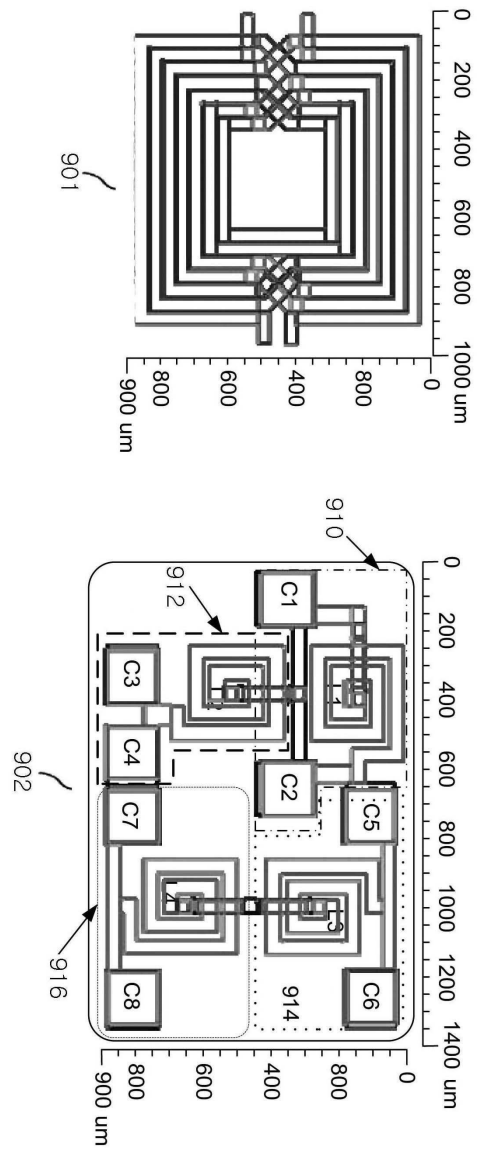
도면7



도면8



도면9



도면10

