

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-64808

(P2012-64808A)

(43) 公開日 平成24年3月29日(2012.3.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2010-208466 (P2010-208466)
 (22) 出願日 平成22年9月16日 (2010.9.16)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 服部 真之介
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

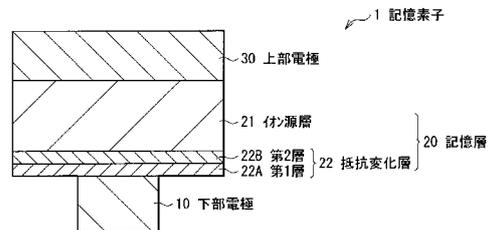
(54) 【発明の名称】 記憶素子および記憶装置

(57) 【要約】

【課題】素子毎の電気特性のばらつきが低減された記憶素子および記憶装置を提供する。

【解決手段】下部電極10、記憶層20および上部電極30をこの順に積層した記憶素子1において、記憶層20は抵抗変化層22と、可動原子を含むイオン源層21とを有する。抵抗変化層22は、下部電極10側から室温における可動原子の拡散係数が $1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下の第1層22Aと第1層22Aとは拡散係数の異なる第2層22Bとの積層構造を有する。これにより、消去後の抵抗変化層22内における電子局在サイト21cの形成が抑制され、記憶素子毎の電気特性のばらつきが低減される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 電極、記憶層および第 2 電極をこの順に有し、
前記記憶層は、
互いに可動原子の拡散係数が異なる複数の層を有する抵抗変化層と、
前記抵抗変化層と前記第 2 電極との間に設けられたイオン源層と
を備えた記憶素子。

【請求項 2】

前記抵抗変化層は、前記第 1 電極側の第 1 層と、前記第 1 層と前記イオン源層との間の
第 2 層とを有し、室温における前記第 1 層の可動原子の拡散係数は $1.0 \times 10^{-21} \text{m}^2 / \text{s}$
以下である、請求項 1 に記載の記憶素子。

10

【請求項 3】

前記第 1 層は、ケイ素 (Si)、アルミニウム (Al)、ニッケル (Ni)、パラジウム (Pd)、マンガン (Mn)、鉄 (Fe)、コバルト (Co)、カルシウム (Ca)、
マグネシウム (Mg)、ガドリニウム (Gd)、亜鉛 (Zn)、チタン (Ti)、ジルコニウム (Zr)、
ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、
モリブデン (Mo)、タングステン (W) およびランタン (La) のうちの少なくとも 1 種類を含むと共に、
酸素 (O)、テルル (Te)、硫黄 (S) およびセレン (Se) のうちの少なくとも 1 種類を含む、
請求項 2 に記載の記憶素子。

【請求項 4】

前記第 2 層は、ケイ素 (Si)、アルミニウム (Al)、ニッケル (Ni)、パラジウム (Pd)、
マンガン (Mn)、鉄 (Fe)、コバルト (Co)、カルシウム (Ca)、マグネシウム (Mg)、
ガドリニウム (Gd)、亜鉛 (Zn)、チタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)、
バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、モリブデン (Mo)、
タングステン (W) およびランタン (La) のうちの少なくとも 1 種類を含むと共に、
酸素 (O)、テルル (Te)、硫黄 (S) およびセレン (Se) のうちの少なくとも 1 種類を含む、
請求項 2 に記載の記憶素子。

20

【請求項 5】

前記第 1 電極および前記第 2 電極への電圧印加によって前記イオン源層に含まれる可動
原子が前記抵抗変化層内に移動し、低抵抗部を形成することにより前記抵抗変化層の抵抗
値が変化する、請求項 1 乃至 4 のうちのいずれか 1 項に記載の記憶素子。

30

【請求項 6】

前記抵抗変化層に移動した可動原子のうち、前記第 1 層内における可動原子の化学ポテン
シャルは、前記第 2 層内における可動原子の化学ポテンシャルよりも大きい、請求項 2
乃至 5 のうちのいずれか 1 項に記載の記憶素子。

【請求項 7】

前記イオン源層は、銅 (Cu)、銀 (Ag)、亜鉛 (Zn)、アルミニウム (Al) の
うちの少なくとも 1 種類を含む、請求項 1 に記載の記憶素子。

【請求項 8】

第 1 電極、記憶層および第 2 電極をこの順に有する複数の記憶素子と、前記複数の記憶
素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備え、
前記記憶層は、
互いに可動原子の拡散係数が異なる複数の層を有する抵抗変化層と、
前記抵抗変化層と前記第 2 電極との間に設けられたイオン源層と
を備えた記憶装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イオン源層および抵抗変化層を含む記憶層の電気的特性の変化により情報を
記憶する記憶素子および記憶装置に関する。

50

【背景技術】

【0002】

データストレージ用の半導体不揮発性メモリとしてNOR型あるいはNAND型のフラッシュメモリが一般的に用いられている。しかし、これら半導体不揮発性メモリでは、書き込みおよび消去に大電圧が必要なこと、フローティングゲートに注入する電子の数が限られることから微細化の限界が指摘されている。

【0003】

現在、ReRAM (Resistance Random Access Memory) やPRAM (Phase-Change Random Access Memory) などの抵抗変化型メモリが、微細化の限界を超えることが可能な次世代不揮発性メモリとして提案されている(例えば、特許文献1参照)。これらのメモリは、2つの電極間に抵抗変化層を備えた単純な構造を有している。また、特許文献2のメモリでは抵抗変化層の代わりに、第1電極と第2電極との間にイオン源層および酸化膜(記憶用薄膜)を備えている。

10

【0004】

これら抵抗変化型メモリにおける抵抗変化の原理は、原子またはイオンが熱や電界によってイオン源層から抵抗変化層へ移動し、抵抗変化層内に伝導パスが形成されることによるものと考えられているが、その詳細は未だに明らかにされていない。現在は、酸化還元を伴ったミクロなイオンマイグレーションによって抵抗値が変化する説が有力な候補となっている(例えば、非特許文献1)。また、GeSe中の銅(Cu)を可動イオンとした抵抗変化型の記憶素子では、抵抗がランダムに変動する現象が観察されている。これについては、伝導パスを担う箇所に存在する可動イオンが熱的に変動することによって抵抗が変化すると報告されている(例えば、非特許文献2)。

20

【0005】

ところで、近年メモリデバイスは小型化に加えて大容量化が求められている。これに対して、1チップに複数の記憶素子を集積することによって大容量化が図られている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-164467号公報

【特許文献2】特開2009-43757号公報

30

【非特許文献】

【0007】

【非特許文献1】Wei, Z., Kanazawa他, Electron Device Meeting, 2008. IEDM 2008. IEEE International

【非特許文献2】Rainer Waser他, Advanced Materials 21, no.25-26(2009): 2632-2663

3

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、従来の抵抗変化型メモリ(記憶素子)には素子毎の電気特性にばらつきがある。電気特性が大きく異なる記憶素子がチップ内に存在すると、動作マージンから外れてしまうためそのチップは不良となる。このように複数の記憶素子を集積したチップでは、各記憶素子の電気特性のばらつきがチップの特性に大きく影響し、チップの歩留まりが低下するという問題があった。

40

【0009】

本発明はかかる問題点に鑑みてなされたもので、その目的は、素子毎の電気特性のばらつきが低減された記憶素子および記憶装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明の記憶素子は、第1電極、記憶層および第2電極をこの順に有し、記憶層は、互

50

いに可動原子の拡散係数が異なる複数の層を有する抵抗変化層と、抵抗変化層と第2電極との間に設けられたイオン源層とを備えたものである。具体的には、抵抗変化層は、第1電極側の第1層と、第1層とイオン源層との間の第2層とを有し、室温における第1層の可動原子の拡散係数は $1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下となっている。

【0011】

本発明の記憶装置は、第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備え、記憶素子として本発明の記憶素子を用いたものである。

【0012】

本発明の記憶素子（記憶装置）では、初期状態（高抵抗状態）の素子に対して「正方向」（例えば第1電極側を負電位、第2電極側を正電位）の電圧または電流パルスが印加されると、イオン源層に含まれる金属元素がイオン化して抵抗変化層中に拡散し、第1電極で電子と結合して析出し、あるいは抵抗変化層中に留まり不純物準位を形成する。これにより記憶層内に金属元素を含む低抵抗部（伝導パス）が形成され、抵抗変化層の抵抗が低くなる（記録状態）。この低抵抗な状態の素子に対して「負方向」（例えば第1電極側を正電位、第2電極側を負電位）へ電圧パルスが印加されると、第1電極に析出していた金属元素がイオン化してイオン源層中へ溶解する。これにより金属元素を含む伝導パスが消滅し、抵抗変化層の抵抗が高い状態となる（初期状態または消去状態）。

10

【0013】

ここでは、抵抗変化層は互いに可動原子の拡散係数が異なる複数の層により構成されているので、消去後の抵抗変化層内における電子局在サイトの発生が抑制される。

20

【発明の効果】

【0014】

本発明の記憶素子または記憶装置によれば、抵抗変化層を、互いに可動原子の拡散係数が異なる複数の層により構成したので、消去後の抵抗変化層内における電子局在サイトの発生が抑制される。よって、素子毎の電気特性のばらつきが低減される。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施の形態に係る記憶素子の構成を表す断面図である。

【図2】図1の記憶素子を用いたメモリセルアレイの構成を表す断面図である。

30

【図3】同じくメモリセルアレイの平面図である。

【図4】抵抗変化層内の抵抗変化を説明するための模式図である。

【図5】従来例および図1の記憶素子内の可動イオンの分布を表す模式図である。

【図6】従来例および図1の記憶素子に係る位置による可動イオンの分布を表す特性図である。

【図7】第1層および第2層における拡散係数と化学ポテンシャルの関係を表す図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態について、以下の順に図面を参照しつつ説明する。

40

[実施の形態]

(1) 記憶素子（抵抗変化層が2層構造からなる記憶素子）

(2) 記憶装置

【0017】

[第1の実施の形態]

(記憶素子)

図1は、本発明の実施の形態に係る記憶素子1の断面構成図である。この記憶素子1は、下部電極10（第1電極）、記憶層20および上部電極30（第2電極）をこの順に有するものである。

【0018】

50

下部電極 10 は、例えば、後述（図 2）のように C M O S（Complementary Metal Oxide Semiconductor）回路が形成されたシリコン基板 41 上に設けられ、C M O S 回路部分との接続部となっている。この下部電極 10 は、半導体プロセスに用いられる配線材料、例えば、タングステン（W）、窒化タングステン（WN）、銅（Cu）、アルミニウム（Al）、モリブデン（Mo）、タンタル（Ta）およびシリサイド等により構成されている。下部電極 10 が Cu 等の電界でイオン伝導が生じる可能性のある材料により構成されている場合には Cu 等よりなる下部電極 10 の表面を、W、WN、窒化チタン（TiN）、窒化タンタル（Ta₂N₅）等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。また、後述のイオン源層 21 に Al が含まれている場合には、Al よりもイオン化しにくい材料、例えばクロム（Cr）、W、コバルト（Co）、Si、金（Au）、パラジウム（Pd）、Mo、イリジウム（Ir）、チタン（Ti）等の少なくとも 1 種を含んだ金属膜や、これらの酸化膜または窒化膜を用いることが好ましい。

10

【0019】

記憶層 20 はイオン源層 21 および抵抗変化層 22 により構成されている。イオン源層 21 は、抵抗変化層 22 に拡散する可動イオン（陽イオンおよび陰イオン）21a となる元素（可動原子）を含む。陽イオン化可能な元素としては、例えば Cu、Al、銀（Ag）、亜鉛（Zn）およびゲルマニウム（Ge）などの金属元素を 1 種あるいは 2 種以上を含む。また、陰イオン化するイオン導電材料としては、酸素（O）またはテルル（Te）、硫黄（S）およびセレン（Se）等のカルコゲン元素を少なくとも 1 種以上含む。イオン源層 21 は上部電極 30 側にあり、ここでは上部電極 30 に接して設けられている。金属元素とカルコゲン元素とは結合し、金属カルコゲナイド層を形成している。この金属カルコゲナイド層は、主に非晶質構造を有し、イオン供給源としての役割を果たすものである。

20

【0020】

陽イオン化可能な金属元素は、書き込み動作時にカソード電極上で還元されて金属状態の伝導パス（フィラメント）を形成するため、上記カルコゲン元素が含まれるイオン源層 21 中において金属状態で存在することが可能な化学的に安定な元素が好ましい。このような金属元素としては、上記金属元素のほかに、例えば周期律表上の 4A、5A、6A 族の遷移金属、すなわち Ti、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、Ta、Cr、Mo および W が挙げられる。これら元素のうちの 1 種あるいは 2 種以上を用いることができる。この他に、Si などをイオン源層 21 の添加元素として用いるようにしてもよい。

30

【0021】

また、イオン源層 21 に後述する抵抗変化層 22 に含まれる Te 等のカルコゲン元素と反応しやすい金属元素（M）を用いてカルコゲン元素 / イオン源層（金属元素 M を含む）という積層構造にしておくと、成膜後の加熱処理により、MTe / イオン源層 21 という構造に安定化する。カルコゲン元素と反応しやすい元素としては、例えば Al やマグネシウム（Mg）が挙げられる。

【0022】

このようなイオン源層 21 の具体的な材料としては、例えば、ZrTeAl、TiTeAl、CrTeAl、WTeAl および TaTeAl が挙げられる。また、例えば、ZrTeAl に対して、Cu を添加した CuZrTeAl、さらに Ge を添加した CuZrTeAlGe、更に、添加元素を加えた CuZrTeAlSiGe としてもよい。あるいは、Al の他に Mg を用いた ZrTeMg としてもよい。イオン化する金属元素としては、Zr の代わりに、Ti や Ta などの他の遷移金属元素を選択した場合でも同様な添加元素を用いることは可能であり、例えば TaTeAlGe などとすることも可能である。更に、イオン導電材料としては、Te 以外に硫黄（S）やセレン（Se）、あるいはヨウ素（I）を用いてもよく、具体的には ZrSAl、ZrSeAl、ZrIAl、CuGeTeAl 等を用いてもよい。なお、ここでは Te を含む化合物例を挙げたが、これに限らず Te 以外のカルコゲン元素を含んでいてもよい。また、必ずしも Al を含んでいる必要はな

40

50

く、CuGeTeZr等を用いてもよい。

【0023】

なお、イオン源層21には、記憶層20における高温熱処理時の膜剥がれを抑止するなどの目的で、その他の元素が添加されていてもよい。例えば、シリコン(Si)は、保持特性の向上も同時に期待できる添加元素であり、イオン源層21にZrと共に添加することが好ましい。但し、Si添加量が少な過ぎると膜剥がれ防止効果を期待できなくなるのに対し、多過ぎると良好なメモリ動作特性が得られない。このため、イオン源層21中のSiの含有量は10~45原子%程度の範囲内であることが好ましい。

【0024】

抵抗変化層22は下部電極10側に設けられている。この抵抗変化層22は電気伝導上のバリアとしての機能を有し、下部電極10と上部電極30との間に所定の電圧を印加した場合にその抵抗値が変化する。本実施の形態では、抵抗変化層22は複数構造、例えば第1層22Aおよび第2層22Bの2層構造を有している。第1層22Aは下部電極10、第2層22Bはイオン源層21にそれぞれ接して設けられている。

【0025】

抵抗変化層22(第1層22Aおよび第2層22B)は、共に酸化物材料または陰イオン成分として挙動するS, Se,あるいはTe等のカルコゲン元素を主成分とする化合物から構成されている。このような化合物として、例えばAlTe, MgTeまたはZnTe等が挙げられる。このTeを含有する化合物の組成は、例えばAlTeでは後述する理由によりAlの含有量は20原子%以上60原子%以下であることが好ましいが、特に第1層22Aは第2層22Bよりも可動イオンに対する拡散係数が小さいことが好ましい。具体的には、室温において $1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下となる材料を用いることが好ましい。なお、この拡散係数の値は抵抗変化層22に用いられる一般的な金属原子の拡散係数と比較して非常に小さい値である。これによりイオン源層21からの可動イオンの拡散が抑制される。このような材料としては具体的には、酸化物材料としては SiO_2 , Al_2O_3 , NiO , PdO , MnO , FeO , CoO , CaO , MgO , GdO , ZnO , TiO , ZrO , HfO , TaO , WO あるいはLaOが挙げられる。なお、可動イオンの拡散は化学ポテンシャル勾配に比例し、異なる化学ポテンシャルの層が積層されている場合には、界面付近の原子は化学ポテンシャルの低い層に移動する。このため、第2層22Bは、第1層22Aよりも拡散係数が大きく、且つ化学ポテンシャルが第1層22Aよりも低い材料を用いることが好ましい。具体的には例えばAlおよびTeが挙げられる。その他、第1層22Aと同様にSi, ニッケル(Ni), Pd, マンガン(Mn), 鉄(Fe), Co, カルシウム(Ca), マグネシウム(Mg), ガドリニウム(Gd), Zn, Zr, Hf, V, Nb, Ta, Cr, Mo, Wおよびランタン(La)のうちの少なくとも1種類を含むと共に、O, Te, SおよびSeを組み合わせて用いてもよい。これにより、消去後のイオン源層21からの可動イオンの拡散が抑制されると共に、消去時の可動イオンのイオン源層への移動が促進される。

【0026】

また、抵抗変化層22の初期抵抗値は1M以上であることが好ましい。このことから低抵抗状態における抵抗値は数100k以下であることが好ましい。微細化した抵抗変化型メモリの抵抗状態を高速に読み出すためには、できる限り低抵抗状態の抵抗値を低くすることが好ましい。しかし、20~50 μA , 2Vの条件で書き込んだ場合の抵抗値は40~100kであるので、メモリの初期抵抗値はこの値より高いことが前提となる。更に1桁の抵抗分離幅を考慮すると、上記抵抗値が適当と考えられる。

【0027】

上部電極30は、下部電極10と同様に公知の半導体配線材料を用いることができるが、ポストアニールを経てもイオン源層21と反応しない安定な材料が好ましい。

【0028】

本実施の形態の記憶素子1では、図示しない電源回路(パルス印加手段)から下部電極10および上部電極30を介して電圧パルスあるいは電流パルスを印加すると、記憶層2

10

20

30

40

50

0の電気的特性(抵抗値)が変化するものであり、これにより情報の書き込み、消去、更に読み出しが行われる。以下、その動作を具体的に説明する。

【0029】

まず、上部電極30が例えば正電位、下部電極10側が負電位となるようにして記憶素子1に対して正電圧を印加する。これによりイオン源層21に含まれる金属元素がイオン化して抵抗変化層22に拡散し、下部電極10側で電子と結合して析出する。その結果、下部電極10と記憶層20の界面に金属状態に還元された低抵抗の金属元素の伝導パス(フィラメント)が形成される。若しくは、イオン化した金属元素は、抵抗変化層22中に留まり不純物準位を形成する。これにより抵抗変化層22中に伝導パスが形成されて記憶層20の抵抗値が低くなり、初期状態の抵抗値(高抵抗状態)よりも低い抵抗値(低抵抗状態)へ変化する。

10

【0030】

その後、正電圧を除去して記憶素子1にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が書き込まれたことになる。一度だけ書き込みが可能な記憶装置、いわゆる、PROM(Programmable Read Only Memory)に用いる場合には、前記の記録過程のみで記録は完結する。一方、消去が可能な記憶装置、すなわち、RAM(Random Access Memory)あるいはEEPROM(Electronically Erasable and Programmable Read Only Memory)等への応用には消去過程が必要であるが、消去過程においては、上部電極30が例えば負電位、下部電極10側が正電位になるように記憶素子1に対して負電圧を印加する。これにより、記憶層20内に形成されていた伝導パスの金属元素がイオン化し、イオン源層21に溶解、若しくはTe等と結合してCu₂Te、CuTe等の化合物を形成する。これにより、金属元素による伝導パスが消滅、または減少して抵抗値が高くなる。

20

【0031】

その後、負電圧を除去して記憶素子1にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより書き込まれた情報を消去することが可能になる。このような過程を繰り返すことにより、記憶素子1に情報の書き込みと書き込まれた情報の消去を繰り返し行うことができる。

【0032】

例えば、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることができる。なお、ここでは記憶素子を低抵抗化する動作および高抵抗化する動作をそれぞれ書き込み動作および消去動作に対応させたが、その対応関係は逆に定義してもよい。

30

【0033】

記録データを復調するためには、初期の抵抗値と記録後の抵抗値との比は大きいほど好ましい。但し、抵抗変化層22の抵抗値が大き過ぎる場合には、書き込み、つまり低抵抗化することが困難となり、書き込み閾値電圧が大きくなり過ぎることから、初期抵抗値は1G以下に調整される。抵抗変化層22の抵抗値は、例えば、抵抗変化層22の厚みや含まれる陰イオンの量などにより制御することが可能である。

40

【0034】

このような理由から、抵抗変化層22(特に第2層22B)にカルコゲン元素を用いる場合には、Teを用いることが好ましい。Teは、低抵抗化時にイオン源層21から拡散した金属元素が抵抗変化層22中で安定化して低抵抗状態を保持しやすくなる。また、Teは、電気陰性度の高い酸化物や共有結合であるシリコン化合物に比べて金属元素との結合力が弱く、抵抗変化層22中に拡散した金属元素が消去電圧の印加によってイオン源層21へ移動しやすいために消去特性が向上する。なお、電気陰性度はカルコゲナイド化合物では、テルル<セレン<硫黄<酸素の順で絶対値が高くなるため、抵抗変化層22中に酸素が少ないほど、かつ、電気陰性度の低いカルコゲナイドを用いるほど改善効果が高いと言える。

50

【0035】

更に、本実施の形態では、上述したように、イオン源層21がZr, Al, Ge等を含むことが好ましい。以下、その理由について説明する。

【0036】

イオン源層21中にZrが含まれている場合には、上述したCuなどの金属元素と共に、Zrがイオン化元素として働き、ZrとCuなどの上述した金属元素との混在した伝導パスが形成される。Zrは、書き込み動作時にカソード電極上で還元されると共に、書き込み後の低抵抗状態では金属状態のフィラメントを形成すると考えられる。Zrが還元された金属フィラメントは、S, SeおよびTeのカルコゲン元素を含むイオン源層21中において比較的溶解しづらいため、一度書き込み状態、すなわち低抵抗状態になった場合には、Cuなどの上述した金属元素単独の伝導パスの場合よりも低抵抗状態を保持しやすい。例えばCuは書き込み動作によって金属フィラメントとして形成される。但し、金属状態のCuはカルコゲン元素を含むイオン源層21中において溶解しやすく、書き込み電圧パルスが印加されていない状態(データ保持状態)では、再びイオン化し高抵抗状態へと遷移してしまう。そのため十分なデータ保持性能が得られない。一方、Zrと適量のCuを組み合わせることは、非晶質化を促進すると共に、イオン源層21の微細構造を均一に保つため、抵抗値の保持性能の向上に寄与する。

10

【0037】

また、消去時の高抵抗状態の保持に関しても、Zrを含んでいる場合、例えばZrの伝導パスが形成され、再びイオン源層21中にイオンとして溶解している場合には、Zrは少なくともCuよりもイオン移動度が低いので温度が上昇しても、あるいは長期間の放置でも動きづらい。そのためカソード極上で金属状態での析出が起こりにくく、室温よりも高温状態で保持した場合や長時間にわたり保持した場合でも高抵抗状態を維持する。

20

【0038】

更に、イオン源層21にAlが含まれている場合には、消去動作により上部電極が負の電位にバイアスされた場合、固体電解質的に振舞うイオン源層21とアノード極の界面において安定な酸化膜を形成することにより高抵抗状態(消去状態)を安定化する。加えて、抵抗変化層の自己再生の観点から繰り返し回数の増加にも寄与する。なお、Alの他に同様の働きを示すGeなどを含んでもよい。

【0039】

このように、イオン源層21にZr, Al, Geなどが含まれている場合には、従来の記憶素子に比して広範囲の抵抗値保持性能、書き込み・消去の高速動作性能が向上すると共に繰り返し回数が増加する。更に、例えば低抵抗から高抵抗へと変化させる際の消去電圧を調整して高抵抗状態と低抵抗状態との間の中間的な状態を作り出せば、その状態を安定して保持することができる。よって、2値だけでなく多値のメモリを実現することが可能となる。なお、高抵抗から低抵抗へと変化させる際の書き込み電流を変更して析出する原子の量を調整することによっても中間的な状態を作り出すことが可能である。

30

【0040】

ところで、このような電圧を印加する書き込み・消去動作特性と、抵抗値の保持特性と、繰り返し動作回数といったメモリ動作上の重要な諸特性は、Zr, CuおよびAl、更にはGeの添加量によって異なる。

40

【0041】

例えば、Zrはその含有量が多過ぎると、イオン源層21の抵抗値が下がり過ぎてイオン源層21に有効な電圧が印加できない、若しくはカルコゲナイド層中にZrを溶解することが困難となる。そのため、特に消去がしづらくなり、Zr添加量に応じて消去の閾値電圧が上昇していき、更に多過ぎる場合には書き込み、つまり低抵抗化も困難となる。一方、Zr添加量が少な過ぎると、前述のような広範囲の抵抗値の保持特性を向上させる効果が少なくなる。従って、イオン源層21中のZrの含有量は7.5以上であることが好ましく、更に好ましくは26原子%以下である。

【0042】

50

また、Cuは適量をイオン源層21に添加した場合には非晶質化を促進するものの、多過ぎると金属状態のCuはカルコゲン元素を含むイオン源層21中での安定性が十分でないことから書き込み保持特性が悪化したり、書き込み動作の高速性に悪影響が見られる。その一方で、ZrとCuの組み合わせは、非晶質を形成しやすく、イオン源層21の微細構造を均一に保つという効果を有する。これにより、繰り返し動作によるイオン源層21中の材料成分の不均一化を防ぐため、繰り返し回数が増加すると共に保持特性も向上する。上述した範囲内で十分にZr量を含有している場合は、Cuの伝導パスがイオン源層21中に再溶解したとしても、金属ジルコニウム(Zr)による伝導パスが残存していると考えられるため書き込み保持特性への影響はみられない。また、おそらくは乖離してイオン化した状態の陽イオンと陰イオンの電荷量の当量関係が守られていればよいため、Cuの好ましい添加量は、イオンの電荷の当量比が、

$$\{ (Zr \text{ 最大イオン価数} \times \text{モル数または原子} \%) + (Cu \text{ イオン価数} \times \text{モル数または原子} \%) \} / (\text{カルコゲン元素のイオン価数} \times \text{モル数または原子} \%) = 0.5 \sim 1.5$$

の範囲内であればよいと考えられる。

【0043】

但し、記憶素子1の特性は実質的にはZrとTe等のカルコゲン元素の組成比に依存している。そのため、Zrとカルコゲン元素の組成比は、

$$Zr \text{ 組成比} (\text{原子} \%) / \text{カルコゲン元素組成比} (\text{原子} \%) = 0.2 \sim 0.74$$

の範囲にあることが望ましい。これについては必ずしも明らかではないが、Zrに比べてCuの乖離度が低いこと、イオン源層21の抵抗値がZrとカルコゲン元素の組成比によって決まることから、上記の範囲にある場合に限り好適な抵抗値が得られるため、記憶素子1に印加したバイアス電圧が抵抗変化層22の部分に有効に印加されることによると考えられる。

【0044】

上記の範囲からずれる場合、例えば、当量比が大き過ぎる場合は、陽イオンと陰イオンの釣り合いが取れずに、存在する金属元素のうち、イオン化しない元素の量が増大する。そのために消去動作の際に書き込み動作で生じた伝導パスが効率的に除去されにくいと考えられる。同様に、当量比が小さ過ぎて陰イオン元素が過剰に存在する場合には、書き込み動作で生じた金属状態の伝導パスが金属状態で存在しづらくなるために、書き込み状態の保持性能が低下すると考えられる。

【0045】

また、Alの含有量が多過ぎると、Alイオンの移動が生じやすくなり、Alイオンの還元によって書き込み状態が作られてしまう。Alはカルコゲナイドの固体電解質中で金属状態の安定性が低いので、低抵抗な書き込み状態の保持性能が低下する。一方、Al量が少な過ぎると、消去動作そのものや高抵抗領域の保持特性を向上させる効果が低くなり、繰り返し回数が減少する。従って、イオン源層21中のAlの含有量は30原子%以上であることが好ましく、更に好ましくは50原子%以下である。

【0046】

Geは必ずしも含まれていなくともよいが、Ge含有量が多過ぎる場合には書き込み保持特性が劣化することから、Geを添加する場合の含有量は15原子%以下であることが好ましい。

【0047】

以下、本実施の形態の記憶素子10の製造方法について説明する。

【0048】

まず、選択トランジスタ等のCMOS回路が形成された基板上に、例えばTiNよりなる下部電極10を形成する。その後、必要であれば逆スパッタ等で、下部電極10の表面上の酸化物等を除去する。続いて、抵抗変化層22として第1層22Aおよび第2層22B、イオン源層21および上部電極30までを各層の材料に適応した組成からなるターゲットを用いてスパッタリング装置内で、各ターゲットを交換することにより、各層を連続して成膜する。電極径は50 - 300nmである。合金膜は構成元素のターゲットを用

10

20

30

40

50

いて同時成膜する。

【0049】

上部電極30まで成膜したのち、上部電極30に接続する配線層(図示せず)を形成し、全ての記憶素子1と共通電位を得るためのコンタクト部を接続する。そののち、積層膜にポストアニール処理を施す。以上により図1に示した記憶素子1が完成する。

【0050】

図4は比較例としての記憶素子110の抵抗変化層220内における抵抗変化の原理を模式的に表したものである。この記憶素子110では、上部電極および下部電極(図示せず)にそれぞれ正電位または負電位になるように電圧を印加することによって、図4(A)のようにイオン源層210側から可動イオン210aが抵抗変化層220内に移動し伝導パス210bが形成される。これにより抵抗変化層220の抵抗値が低くなり、書き込みが行われる。次に、上部電極および下部電極の各々に書き込み時とは逆極性の電圧を印加すると、伝導パス210bの金属元素が再びイオン化して、図4(B)に示したように抵抗変化層220とイオン源層210との界面に移動する。これによって抵抗変化層220の抵抗値が上昇し、消去が行われる。

10

【0051】

しかしながら、消去後の記憶素子110では、図5(A)に示したように抵抗変化層220とイオン源層210との界面に移動した金属元素が、徐々に抵抗変化層220内全体に拡散する。これにより抵抗変化層220内に可動イオン210a由来の電子局在サイト210cが形成される。この電子局在サイト210cは、消去時において残留した可動イオン210aあるいは欠陥や粒界のような抵抗変化層220内の組成の不均一な部分に由来した電子構造であり、素子毎の抵抗ばらつきの原因と考えられる。具体的には、抵抗変化層220内に電子局在サイト210cが存在すると、この電子局在サイト210cがいわゆる絶縁体中の不純物として働き、電子局在サイト210c間にホッピング電流が流れたり、バンド伝導などの電流路となることにより抵抗が低下すると考えられる。また、電子局在サイト210cは抵抗変化層220内全体にわたって形成されており、上記のような抵抗の変化は電子局在サイト210cの数の変動によって大きな影響を受ける。このため、従来の記憶素子では、素子毎の抵抗値のばらつきが生じ、その結果チップの歩留まりが低下するという問題があった。

20

【0052】

これに対して、本実施の形態の記憶素子1では、抵抗変化層22を拡散係数の異なる材料からなる2層構造(第1層22Aおよび第2層22B)とすると共に、下部電極10側の第1層22Aに含まれる可動原子の室温における拡散係数を小さく($1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下)している。従って、消去後にイオン源層21から抵抗変化層22内の第2層22Bへ可動イオンが拡散したとしても、第1層22A内への拡散は阻止される。即ち、抵抗変化層22全体への電子局在サイト21bの形成が抑制される。

30

【0053】

図6は、分子動力学シミュレーション(molecular dynamics)によって、抵抗変化層が1層からなる記憶素子110(図6(A))および本実施の形態の記憶素子1(図6(B))の、各記憶素子110,1内における可動イオンの密度分布を測定したものである。ここで、イオン源層210,21には可動イオンを含む酸化物を用い、記憶素子110における抵抗変化層220には拡散係数の高い材料を用いた。また、記憶素子1における抵抗変化層22には第1層に SiO_2 を用い、第2層に Al_2O_3 を用いた。各層は、個別にメルトクエンチ法でアモルファスを作製したのち層間を結合することで作製し、アンサンブル(統計集団)を能勢フーバー熱浴を用いた定温定積、最小時間刻みを1fs、計算時間の加速のため温度を1100Kとして消去後のイオン源層210,21および抵抗変化層220,22内における可動イオンの分布の経時変化を測定した。X軸は記憶素子110,1の抵抗変化層220,22およびイオン源層210,21の位置に対応し、3nm~5nmの間が抵抗変化層220,22であり、5nm~8nmの間がイオン源層210,21である。記憶素子1における抵抗変化層22は3nm~4nmが第1層22A、4

40

50

nm ~ 5 nm が第 2 層 2 2 B である。

【 0 0 5 4 】

図 6 (A)、(B) からわかるように、従来の記憶素子 1 1 0 では消去直後 (i n i t i a l) から 4 ns 後および 5 ns 後に可動イオン 2 1 0 a が抵抗変化層 2 2 0 内へ拡散している。これに対して記憶素子 1 では第 1 層 2 2 A と第 2 層 2 2 B との境界である 4 nm 付近で可動イオンの拡散が止まっていることがわかる。このように抵抗変化層 2 2 内の拡散係数を調整することで消去後に発生する可動イオンの拡散速度が制御され、記憶素子 1 ごとの抵抗値のばらつきが抑えられる。

【 0 0 5 5 】

また、上記のようなイオン源層 2 1 から抵抗変化層 2 2 内への可動イオンの拡散の制御は、図 7 に示したように第 1 層 2 2 A と第 2 層 2 2 A との化学ポテンシャル差からも説明が可能である。拡散係数の異なる材料からなる第 1 層 2 2 A および第 2 層 2 2 B は、それぞれの化学ポテンシャルが異なる。拡散係数の差と化学ポテンシャルの差は物理量としては異なる量であるが、両者の間には下記式 (1) で表わされるような相関関係がある。一般に、拡散係数が小さい材料は化学ポテンシャルが大きく、拡散係数が大きい材料は化学ポテンシャルが小さい。上述のように拡散流は化学ポテンシャル勾配に比例するので、イオン源層 2 1 から第 2 層 2 2 B に拡散した可動イオンの第 1 層 2 2 A への拡散が抑制される。

【 0 0 5 6 】

(数 1)

$$D = D_0 \exp (- \mu / k T) \cdots \cdots (式 1)$$

(D : 拡散係数 , D₀ : 自己拡散係数 , μ : 化学ポテンシャル , T : 温度)

【 0 0 5 7 】

また、拡散係数の小さい材料からなる第 1 層 2 2 A を下部電極 1 0 と第 2 層 2 2 B との間に設けることにより、書き込み時における可動イオンの第 1 層 2 2 A への浸入が妨げられ、可動イオンと下部電極 1 0 とが接近することによる金属的な結合形成が抑止される。これにより、消去時において可動イオンが下部電極 1 0 付近に残存するという不具合が抑制される。

【 0 0 5 8 】

また、拡散係数の小さな材料からなる第 1 層 2 2 A 中では、可動イオンが熱的な運動が抑制される。これにより、デバイス動作中の抵抗値の変化をなくすることができる。この抵抗値の変化は、抵抗のランダムテレグラフノイズとしてデバイス動作に悪影響を与えるが、本実施の形態ではそれを防止することが可能になる。

【 0 0 5 9 】

以上のように本実施の形態の記憶素子 1 では、抵抗変化層 2 2 を拡散係数の異なる材料からなる 2 層構造 (第 1 層 2 2 A および第 2 層 2 2 B) とすると共に、下部電極 1 0 側の第 1 層 2 2 A に含まれる可動原子の室温における拡散係数を小さく (1 . 0 × 1 0⁻²¹ m² / s 以下) したので、消去後のイオン源層 2 1 から抵抗変化層 2 2 への可動イオンの拡散による抵抗変化が抑えられる。これにより、各記憶素子 1 の抵抗値のばらつきが低減され、記憶素子 1 を複数備えたチップの歩留まりを向上させることが可能となる。

【 0 0 6 0 】

また、消去時の抵抗値を低く設定することが可能となるため、動作電圧のマージンを増加することが可能となる。即ち、消去電圧を下げて記憶素子の寿命特性を向上させることができるなど、電気特性以外のデバイス特性を最適化することが可能となる。更に、拡散による可動イオンの移動幅を抑えることができるため、保持特性が向上する。

【 0 0 6 1 】

[記憶装置]

上記記憶素子 1 を多数、例えば列状やマトリクス状に配列することにより、記憶装置 (メモリ) を構成することができる。このとき、各記憶素子 1 に、必要に応じて、素子選択用の M O S トランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配

10

20

30

40

50

線を介して、センスアンプ、アドレスデコーダ、書き込み・消去・読み出し回路等に接続すればよい。

【0062】

図2および図3は多数の記憶素子1をマトリクス状に配置した記憶装置(メモリセルアレイ)の一例を表したものであり、図2は断面構成、図3は平面構成をそれぞれ表している。このメモリセルアレイでは、各記憶素子1に対して、その下部電極10側に接続される配線と、その上部電極30側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子1が配置されている。

【0063】

各記憶素子1は、抵抗変化層22(第1層21Aおよび第2層22B)、イオン源層21および上部電極30の各層を共有している。すなわち、抵抗変化層22、イオン源層21および上部電極30それぞれは各記憶素子1に共通の層(同一層)により構成されている。上部電極30は、隣接セルに対して共通のプレート電極PLとなっている。

10

【0064】

一方、下部電極10は、メモリセル毎に個別に設けられることにより、隣接セル間で電氣的に分離されており、各下部電極10に対応した位置に各メモリセルの記憶素子1が規定される。下部電極10は各々対応するセル選択用のMOSトランジスタTrに接続されており、各記憶素子1はこのMOSトランジスタTrの上方に設けられている。

【0065】

MOSトランジスタTrは、基板41内の素子分離層42により分離された領域に形成されたソース/ドレイン領域43とゲート電極44とにより構成されている。ゲート電極44の壁面にはサイドウォール絶縁層が形成されている。ゲート電極44は、記憶素子1の一方のアドレス配線であるワード線WLを兼ねている。MOSトランジスタTrのソース/ドレイン領域43の一方と、記憶素子1の下部電極10とが、プラグ層45、金属配線層46およびプラグ層47を介して電氣的に接続されている。MOSトランジスタTrのソース/ドレイン領域43の他方は、プラグ層45を介して金属配線層46に接続されている。金属配線層46は、記憶素子1の他方のアドレス配線であるビット線BL(図3参照)に接続されている。なお、図3においては、MOSトランジスタTrのアクティブ領域48を鎖線で示しており、コンタクト部51は記憶素子1の下部電極10、コンタクト部52はビット線BLにそれぞれ接続されている。

20

30

【0066】

このメモリセルアレイでは、ワード線WLによりMOSトランジスタTrのゲートをオン状態として、ビット線BLに電圧を印加すると、MOSトランジスタTrのソース/ドレインを介して、選択されたメモリセルの下部電極10に電圧が印加される。ここで、下部電極10に印加された電圧の極性が、上部電極30(プレート電極PL)の電位に比して負電位である場合には、上述のように記憶素子1の抵抗値が低抵抗状態へと遷移する。これにより選択されたメモリセルに情報が書き込まれる。次に、下部電極10に、上部電極30(プレート電極PL)の電位に比して正電位の電圧を印加すると、記憶素子1の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに書き込まれた情報が消去される。書き込まれた情報の読み出しを行うには、例えば、MOSトランジスタTrによりメモリセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子1の抵抗状態により異なる電流または電圧を、ビット線BLあるいはプレート電極PLの先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子1の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

40

【0067】

本実施の形態の記憶装置では、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能なPROM、電氣的に消去が可能なEEPROM、或いは、高速に書き込み・消去・再生が可能な、いわゆるRAM等、いずれのメモリ形態でも適用することが可能である。

50

【0068】

以上、実施の形態を挙げて本発明を説明したが、本発明は、上記実施の形態に限定されるものではなく、種々変形することが可能である。例えば、上記実施の形態では、抵抗変化層を拡散係数の異なる2層としたが、3層以上の構造としてもよい。

【0069】

また、上記実施の形態では、記憶素子1およびメモリセルアレイの構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【0070】

更に、例えば、上記実施の形態において説明した各層の材料、または成膜方法および成膜条件などは限定されるものではなく、他の材料としてもよく、または他の成膜方法としてもよい。例えば、イオン源層21, 61には、上記組成比率を崩さない範囲で、他の遷移金属元素、例えばTi, Hf, V, Nb, Ta, Cr, Mo, Wを添加してもよい。また、Cu, Agまたは亜鉛Zn以外にも、ニッケル(Ni)などを添加してもよい。

【符号の説明】

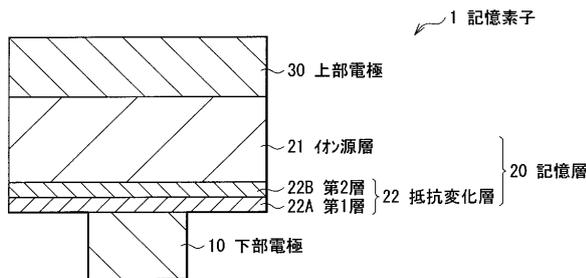
【0071】

1, 110...記憶素子、10, 100...下部電極、20, 60, 200...記憶層、21, 61, 210...イオン源層、22, 62, 220...抵抗変化層、22A, 62A...第1層、22B, 62B...第2層、62C...中間層、30...上部電極、41...半導体基板、43...ソース/ドレイン領域、44...ゲート電極、45, 47...プラグ層、46...金属配線層、48...アクティブ領域、51, 52...コンタクト部

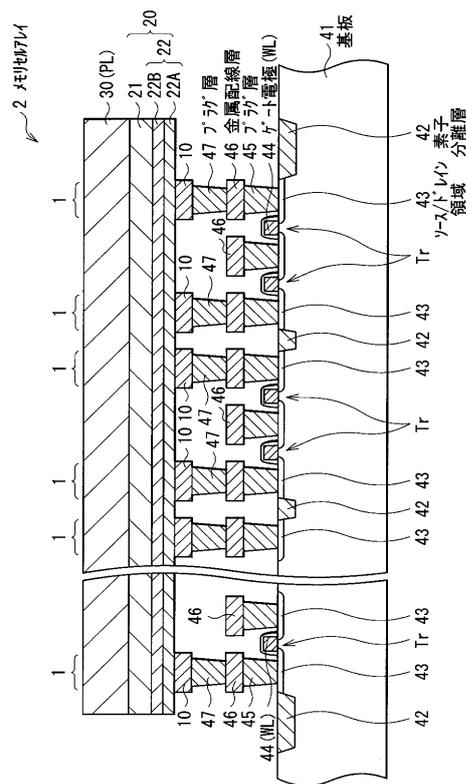
10

20

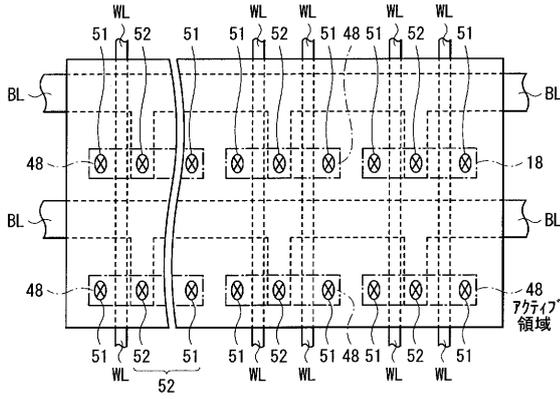
【図1】



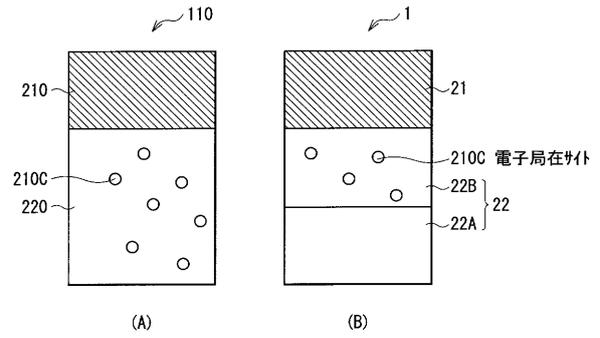
【図2】



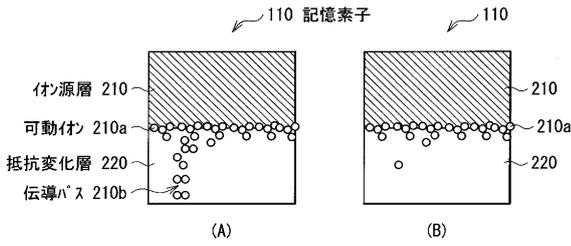
【図3】



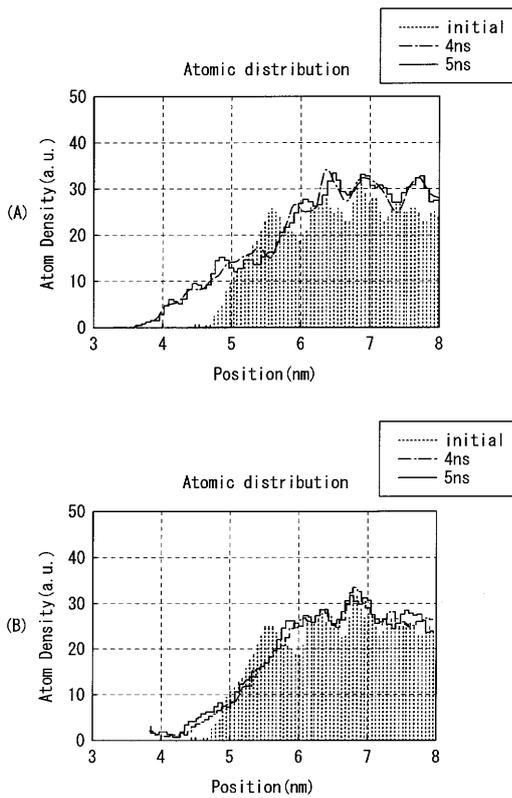
【図5】



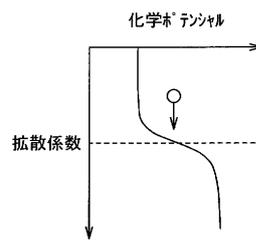
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 国清 敏幸

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 中本 光則

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 保田 周一郎

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 5F083 FZ10 GA11 GA21 GA27 JA35 JA36 JA37 JA38 JA39 JA40
LA21 MA06 MA19 MA20 NA01 ZA21