



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201712844 A

(43) 公開日：中華民國 106 (2017) 年 04 月 01 日

(21) 申請案號：104131234

(22) 申請日：中華民國 104 (2015) 年 09 月 22 日

(51) Int. Cl. : *H01L23/60 (2006.01)*(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
新竹市新竹科學工業園區力行二路三號(72) 發明人：黃崇祐 HUANG, CHUNG-YU (TW)；蘇冠丞 SU, KUAN-CHENG (TW)；唐天浩
TANG, TIEN-HAO (TW)；陳秉睿 CHEN, PING-JUI (TW)；賴博亞 LAI, PO-YA
(TW)

(74) 代理人：吳豐任；戴俊彥

申請實體審查：無 申請專利範圍項數：20 項 圖式數：16 共 58 頁

(54) 名稱

半導體靜電放電保護元件

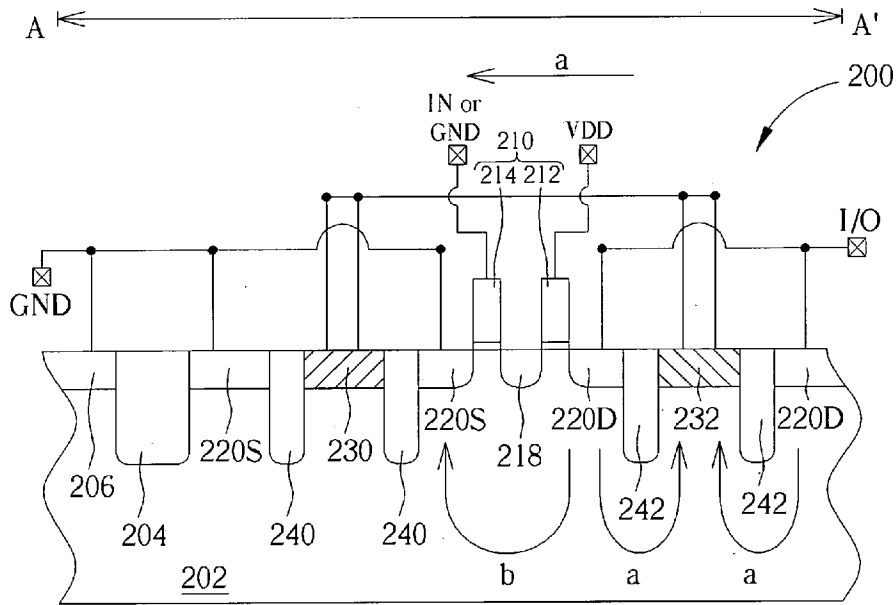
ELECTROSTATIC DISCHARGE PROTECTION SEMICONDUCTOR DEVICE

(57) 摘要

一種半導體 ESD 保護元件，包含有一基底、一設置於該基底上之閘極組、分別設置於該閘極組兩側之該基底內之一源極區域與一汲極區域、至少一設置於該源極區域內之第一摻雜區域、以及至少一設置於該汲極區域內之第二摻雜區域。該源極區域、該汲極區域與該第二摻雜區域包含有一第一導電型態，該第一摻雜區域包含有一第二導電型態，且該第二導電型態與該第一導電型態互補。該第二摻雜區域與該第一摻雜區域彼此電性連接。

An ESD protection semiconductor device includes a substrate, a gate set formed on the substrate, a source region and a drain region formed in the substrate respectively at two sides of the gate set, at least a first doped region formed in the source region, and at least a second doped region formed in the drain region. The source region, the drain region and the second doped region include a first conductivity type, and the first doped region includes a second conductivity type. The first conductivity type and the second conductivity type are complementary to each other. The second doped region is electrically connected to the first doped region.

指定代表圖：



第2B圖

符號簡單說明：

200 . . . 半導體

ESD 保護元件

202 . . . 基底

204 . . . 隔離結構

206 . . . 防護環

210 . . . 閘極組

212 . . . 第一閘極結構

214 . . . 第二閘極結構

218 . . . 第三摻雜區

220S . . . 源極區域

220D . . . 汲極區域

230 . . . 第一摻雜區域

232 . . . 第二摻雜區域

240 . . . 第一阻擋結構

242 . . . 第二阻擋結構

A-A' . . . 切線

GND . . . 接地連接墊

IN . . . 訊號輸入連接墊

I/O . . . 輸入/輸出連接墊

VDD . . . 電源連接墊

a、b . . . 電流方向



201712844

【發明摘要】

申請日: 104. 9. 22

IPC分類: H01L 23/60 (2006.1)

【中文發明名稱】 半導體靜電放電保護元件

【英文發明名稱】 ELECTROSTATIC DISCHARGE PROTECTION

SEMICONDUCTOR DEVICE

【中文】

一種半導體ESD保護元件，包含有一基底、一設置於該基底上之閘極組、分別設置於該閘極組兩側之該基底內之一源極區域與一汲極區域、至少一設置於該源極區域內之第一摻雜區域、以及至少一設置於該汲極區域內之第二摻雜區域。該源極區域、該汲極區域與該第二摻雜區域包含有一第一導電型態，該第一摻雜區域包含有一第二導電型態，且該第二導電型態與該第一導電型態互補。該第二摻雜區域與該第一摻雜區域彼此電性連接。

【英文】

An ESD protection semiconductor device includes a substrate, a gate set formed on the substrate, a source region and a drain region formed in the substrate respectively at two sides of the gate set, at least a first doped region formed in the source region, and at least a second doped region formed in the drain region. The source region, the drain region and the second doped region include a first conductivity type, and the first doped region includes a second conductivity type. The first conductivity

第1頁，共4頁(發明摘要)

type and the second conductivity type are complementary to each other. The second doped region is electrically connected to the first doped region.

【指定代表圖】第 (2B) 圖。

【代表圖之符號簡單說明】

- 200 半導體ESD保護元件
- 202 基底
- 204 隔離結構
- 206 防護環
- 210 閘極組
- 212 第一閘極結構
- 214 第二閘極結構
- 218 第三摻雜區
- 220S 源極區域
- 220D 汲極區域
- 230 第一摻雜區域
- 232 第二摻雜區域
- 240 第一阻擋結構
- 242 第二阻擋結構
- A-A' 切線
- GND 接地連接墊
- IN 訊號輸入連接墊
- I/O 輸入/輸出連接墊
- VDD 電源連接墊
- a、b 電流方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體靜電放電保護元件

【英文發明名稱】ELECTROSTATIC DISCHARGE PROTECTION SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明有關於一種半導體靜電放電(electrostatic discharge protection，以下簡稱為ESD)保護元件，尤指一種具有自動觸發結構(self-triggered structure)之半導體ESD保護元件。

【先前技術】

【0002】 隨著科技進步，積體電路製程技術也隨之不斷精進，因此各種電子電路可積集/形成於單一晶片上。目前積體電路晶片可區分為核心電路與輸入/輸出電路，並且核心電路與輸入/輸出電路分別使用不同大小之電壓源來驅動。為了要使核心電路與輸入/輸出電路能接收外界的電壓源，積體電路晶片上會設有導電的電源連接墊以及輸入/輸出連接墊。

【0003】 然而，晶片在封裝、測試、運輸、加工、等過程中，這些連接墊也很容易因為與外界的靜電電源接觸，其所帶來的過量電荷會在極短時間內進入傳導至晶片內部，導致晶片內部電路的損毀，這種現象即為所謂的靜電放電。因此，一般商用的積體電路都必須具備一定程度的人體放電模式(human body model，以下簡稱為HBM)以及機器

第 1 頁，共 37 頁(發明說明書)

放電模式(machine model, MM)之耐受度。舉例來說, HBM之耐受度必須高於2千伏特(kV)。為了解決此一問題, 業界通常會在內部電路與I/O接腳之間設置一ESD保護裝置, 其必須在靜電放電的脈衝(pulse)未到達內部電路之前先行啟動, 以迅速地消除過高的電壓, 進而減少靜電放電現象所導致的破壞。而隨著積體電路製程之進步, 業界對於用來保護積體電路晶片免受靜電放電損害之ESD保護元件/電路之要求益發嚴格。舉例來說, 為了提昇導通速度(turn on speed), ESD保護元件的啟始電壓(threshold voltage, V_t)必須降低。另外, ESD保護元件的元件穩定性(device robustness)要求, 也越來越提昇。

【發明內容】

【0004】 是以, 本發明之一目的係在於提供一種具低啟始電壓與高元件穩定性的半導體ESD保護元件。

【0005】 根據本發明之申請專利範圍, 係提供一種半導體ESD保護元件, 包含有一基底、一設置於該基底上之閘極組(gate set)、分別設置於該閘極組兩側之該基底內之一源極區域與一汲極區域、至少一設置於該源極區域內之第一摻雜區域、以及至少一設置於該汲極區域內之第二摻雜區域。該源極區域、該汲極區域與該第二摻雜區域包含有一第一導電型態(conductivity type), 該第一摻雜區域包含有一第二導電型態, 且該第二導電型態與該第一導電型態互補(complementary)。更重要的是, 該第二摻雜區域與該第一摻雜區域彼此電性連接。

【0006】 根據本發明之申請專利範圍, 另提供一種半導體ESD保護元

第 2 頁, 共 37 頁(發明說明書)

件，包含有一基底、一設置於該基底上之閘極組、分別設置於該閘極組兩側之該基底內之複數個源極鰭片與複數個汲極鰭片、至少一第一摻雜鰭片、以及至少一第二摻雜鰭片。該等源極鰭片與該等汲極鰭片包含有一第一導電型態，該第一摻雜鰭片與該第二摻雜鰭片包含有一第二導電型態，且該第二導電型態與該第一導電型態互補。該第一摻雜鰭片與該等源極鰭片平行且與該等源極鰭片分離，該第二摻雜鰭片與該等汲極鰭片平行且與該等汲極鰭片分離，且該第二摻雜鰭片與該第一摻雜鰭片彼此電性連接。

【0007】 根據本發明所提供之半導體ESD保護元件，設置於源極區域內的第一摻雜區域與設置於汲極區域內之第二摻雜區域可在半導體ESD保護元件內形成一自動觸發結構，因此可以降低臨界電壓、提昇半導體ESD保護元件的導通速度以及半導體ESD保護元件的元件穩定性。另外，本發明所提供之半導體ESD保護元件係包含閘極組，閘極組內可包含單一閘極、多閘極、或多重閘極組合，故本發明所提供之半導體ESD保護元件可成功與單一閘極金氧半導體(metal-oxide-semiconductor，以下簡稱為MOS)電晶體元件、疊置電晶體(cascode transistor)元件、多閘極(multi-gate) MOS電晶體元件、以及鰭式場效電晶體(fin field effect transistor，FinFET)元件等架構整合。另外，藉由基底其他井區的組合，本發明所提供之半導體ESD保護元件更可與橫向擴散金氧半導體(lateral-diffusion metal-oxide-semiconductor，以下簡稱為LDMOS)電晶體元件整合。換句話說，本發明所提供之半導體ESD保護元件係可依需求與多種電晶體元件整合，更提昇了半導體ESD保護元件的產品彈性及實用性。

第 3 頁，共 37 頁(發明說明書)

【圖式簡單說明】**【0008】**

第1A圖為本發明所提供之半導體ESD保護元件之一第一較佳實施例之示意圖。

第1B圖為該第一較佳實施例所提供之半導體ESD保護元件之電路圖。

第2A圖為本發明所提供之半導體ESD保護元件之一第二較佳實施例之佈局結構示意圖。

第2B圖為該第二較佳實施例所提供之半導體ESD保護元件之示意圖，且為第2A圖中沿A-A'切線之剖面圖。

第2C圖為該第二較佳實施例所提供之半導體ESD保護元件之電路圖。

第3圖係為本發明所提供之半導體ESD保護元件之一變化型之佈局結構圖。

第4圖係為本發明所提供之半導體ESD保護元件之另一變化型之佈局結構圖。

第5圖係為本發明所提供之半導體ESD保護元件之另一變化型之示意圖。

第6圖係為本發明所提供之半導體ESD保護元件之又一變化型之示意圖。

第7圖為本發明所提供之半導體ESD保護元件之一第三較佳實施例之示意圖。

第8圖為本發明所提供之半導體ESD保護元件之一第四較佳實施例

之佈局結構示意圖。

第9圖係為第四較佳實施例所提供之半導體ESD保護元件之一變化型之示意圖。

第10圖為本發明所提供之半導體ESD保護元件之一第五較佳實施例之示意圖。

第11圖為本發明所提供之半導體ESD保護元件之一第六較佳實施例之示意圖。

第12圖為本發明所提供之半導體ESD保護元件之一第七較佳實施例之佈局結構示意圖。

第13圖與第14圖為本發明所提供之半導體ESD保護元件之第七較佳實施例之一變化型之佈局結構示意圖。

第15圖為本發明所提供之半導體ESD保護元件之一第八較佳實施例之佈局結構示意圖。

第16圖為本發明所提供之半導體ESD保護元件之第八較佳實施例之一變化型之佈局結構示意圖。

【實施方式】

【0009】 請參閱第1A圖至第1B圖，其中第1A圖為本發明所提供之半導體ESD保護元件之一第一較佳實施例之示意圖，而第1B圖則為該第一較佳實施例所提供之半導體ESD保護元件之電路圖。如第1A圖與第1B圖所示，本較佳實施例所提供之半導體ESD保護元件100包含有一基底，且基底包含一井區102。基底與井區102上設置有一閘極組(gate set) 110，在本較佳實施例中，閘極組110包含一單一閘極結構112。如熟習該項技藝之人士所知，單一閘極結構112包含有一閘極導電層與一閘極

介電層，由於閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此將不加以贅述。本較佳實施例所提供之半導體ESD保護元件100更包含一源極區域120S與一汲極區域120D，分別設置於閘極組110（即單一閘極結構112）兩側之基底/井區102內。在本較佳實施例中，源極區域120S與汲極區域120D包含有一第一導電型態 (conductivity type)，井區102包含有一第二導電型態，且第一導電型態與第二導電型態彼此互補 (complementary)。舉例來說，本較佳實施例中第一導電型態為n型，而第二導電型態為p型。然而熟悉該項技藝之人士應知，本較佳實施例中之第一導電型態亦可為p型，而第二導電型態則為n型。因此，本較佳實施例係提供設置於p型井區102內的n型源極區域120S與n型汲極區域120D。另外，半導體ESD保護元件100更包含一隔離結構104與一包含第二導電型態的防護環 (guard ring) 106，隔離結構104與防護環106係環繞半導體ESD保護元件100，以提供半導體ESD保護元件100與其他元件之間的電性隔離。在本較佳實施例中，隔離結構104較佳為淺溝隔離 (shallow trench isolation，以下簡稱為STI)，但不限於此。

【0010】 請繼續參閱第1A圖與第1B圖。本較佳實施例所提供之半導體ESD保護元件100更包含至少一設置於源極區域120S內的第一摻雜區域130，以及至少一設置於汲極區域120D內的第二摻雜區域132。另外，在本較佳實施例中，第一摻雜區域130可設置於源極區域120S的中央，而第二摻雜區域132亦可設置於汲極區域120D的中央，但不限於此。關於第一摻雜區域130與源極區域120S的佈局配置關係，以及第二摻雜區域132與汲極區域120D的佈局配置關係的其他變化型可參閱第
第6頁，共37頁(發明說明書)

3圖至第4圖以及後續說明，此處先不贅述。值得注意的是，雖然第一摻雜區域130設置於源極區域120S內，而第二摻雜區域132設置於汲極區域120D內，但第一摻雜區域130係藉由一第一阻擋結構140與源極區域120S分離而不接觸，同理第二摻雜區域132係藉由一第二阻擋結構142與汲極區域120D分離而不接觸。如第1A圖所示，第一阻擋結構140包圍第一摻雜區域130而隔離了第一摻雜區域130與源極區域120S，而第二阻擋結構142包圍第二摻雜區域132而隔離了第二摻雜區域132與汲極區域120D。在本較佳實施例中，第一阻擋結構140與第二阻擋結構142係包含STI，但第一阻擋結構140與第二阻擋結構142亦可包含虛設閘極結構(dummy gate)、或金屬矽化物阻擋(salicide block，以下簡稱為SAB)結構。然而，第一阻擋結構140與第二阻擋結構142亦可包含混合型阻擋結構，而該等混合型阻擋結構之實施樣態可參考第5圖，並將於後續說明中詳述。值得注意的是，第一摻雜區域130係包含有第二導電型態，但第二摻雜區域132包含有第一導電型態，故本較佳實施例係提供一p型第一摻雜區域130與一n型第二摻雜區域132。

【0011】 更重要的是，設置於源極區域120S內的第一摻雜區域130與設置於汲極區域120D內的第二摻雜區域132係如第1A圖所示彼此電性連接。另外，閘極組110（即單一閘極結構112）、源極區域120S與防護環106皆電性連接至一接地電位(ground potential) GND，而汲極區域120D則電性連接至一輸入/輸出(input/output，以下簡稱為I/O)連接墊I/O。如第1A圖與第1B圖所示，當靜電灌注進入半導體ESD保護元件100時，除可藉由接地的閘極組110/112快速的導通排除之外，n型汲極區域120D、p型井區102與n型第二摻雜區域132可形成一npn型雙載子接

第 7 頁，共 37 頁(發明說明書)

面電晶體(bipolar junction transistor，以下簡稱為BJT)，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域120D的電荷可如箭頭a所示流向第二摻雜區域132，以及與第二摻雜區域132電性連接的第一摻雜區域130。另外，n型汲極區域120D、p型井區102與n型源極區域120S亦可形成一npn型BJT，此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域120D的電荷可如箭頭b所示流向接地的源極區域120S，而藉以排除。換句話說，本較佳實施例係提供多個自動觸發之BJT作為電流的分流管道。

【0012】 根據上述說明，可知本較佳實施例所提供之半導體ESD保護元件100可以是一單一閘極MOS電晶體元件，其藉由上述多個自動觸發的BJT提供電流的分流管道。因此，半導體ESD保護元件100的啟始電壓可有效地降低，以提昇導通速度。且由於上述分流管道的形成可避免半導體ESD保護元件100本身被靜電脈衝燒毀，故更可提昇半導體ESD保護元件100的元件穩定性。更重要的是，由於上述作為分流管道的BJT係為自動觸發結構，因此在半導體ESD保護元件100未導通時不產生任何作用，故可有效降低漏電流。另外，第一摻雜區域130與第二摻雜區域132之設置可與現有製程整合，而不增加製程複雜度與製程成本。

【0013】 請參閱第2A圖至第2C圖，其中第2A圖為本發明所提供之半導體ESD保護元件之一第二較佳實施例之佈局結構示意圖，第2B圖為該第二較佳實施例所提供之半導體ESD保護元件之示意圖，且為第2A圖中沿A-A'切線之剖面圖，第2C圖則為該第二較佳實施例所提供之半

導體ESD保護元件之電路圖。如第2A圖與第2B圖所示，本較佳實施例所提供之半導體ESD保護元件200包含有一基底，且基底包含一井區202。基底與井區202上設置有一閘極組210，在本較佳實施例中，閘極組210包含一第一閘極結構212、一第二閘極結構214以及一第三摻雜區域218。如第2A圖與第2B圖所示，第三摻雜區域218設置於第一閘極結構212與第二閘極結構214之間，用以在空間上分離第一閘極結構212與第二閘極結構214，並電性連接第一閘極結構212與第二閘極結構214。如熟習該項技藝之人士所知，第一閘極結構212與第二閘極結構214分別包含有一閘極導電層與一閘極介電層，閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此不加以贅述。本較佳實施例所提供之半導體ESD保護元件200更包含一源極區域220S與一汲極區域220D，分別設置於閘極組210兩側之基底/井區202內。因此，第一閘極結構212係如第2A圖與第2B圖所示，設置於第三摻雜區域218與汲極區域220D之間，而第二閘極結構214係如第2A圖與第2B圖所示，設置於第三摻雜區域218與源極區域220S之間。在本較佳實施例中，源極區域220S、汲極區域220D與第三摻雜區域218包含有一第一導電型態，井區202包含有一第二導電型態，且第一導電型態與第二導電型態彼此互補。舉例來說，本較佳實施例中第一導電型態為n型，而第二導電型態為p型。然而如前所述，反之亦可。另外，半導體ESD保護元件200更包含一隔離結構204與一包含第二導電型態的防護環206，隔離結構204與防護環206係環繞半導體ESD保護元件200，以提供半導體ESD保護元件200與其他元件之間的電性隔離。在本較佳實施例中，隔離結構204較佳為STI，但不限於此。

【0014】 請繼續參閱第2A圖與第2B圖。本較佳實施例所提供之半導體ESD保護元件200更包含至少一設置於源極區域220S內的第一摻雜區域230，以及至少一設置於汲極區域220D內的第二摻雜區域232。另外，第一摻雜區域230係設置於源極區域220S的中央，而第二摻雜區域232係設置於汲極區域220D的中央，但不限於此。關於第一摻雜區域230與源極區域220S的佈局配置關係，以及第二摻雜區域232與汲極區域220D的佈局配置關係的其他變化型可參閱第3圖至第4圖以及後續說明。值得注意的是，雖然第一摻雜區域230設置於源極區域220S內，而第二摻雜區域232設置於汲極區域220D內，但第一摻雜區域230係藉由一第一阻擋結構240而與源極區域220S分離而不接觸，同理第二摻雜區域232係藉由一第二阻擋結構242而與汲極區域220D分離而不接觸。如第2A圖與第2B圖所示，第一阻擋結構240包圍第一摻雜區域230而隔離了第一摻雜區域230與源極區域220S，而第二阻擋結構242包圍第二摻雜區域232而隔離了第二摻雜區域232與汲極區域220D。在本較佳實施例中，第一阻擋結構240與第二阻擋結構242係包含STI，但第一阻擋結構240與第二阻擋結構242亦可包含虛設閘極結構、或SAB結構。值得注意的是，第一摻雜區域230係包含有第二導電型態，但第二摻雜區域232包含有第一導電型態，故本較佳實施例係提供一p型第一摻雜區域230與一n型第二摻雜區域232。

【0015】 更重要的是，設置於源極區域220S內的第一摻雜區域230與設置於汲極區域220D內的第二摻雜區域232係如第2B圖所示彼此電性連接。另外，閘極組210中，第一閘極結構212電性連接至一電源連接墊(Vdd pad) VDD，第二閘極結構214電性連接至一接地電位GND或一

第 10 頁，共 37 頁(發明說明書)

訊號輸入連接墊IN、源極區域220S與防護環206電性連接至一接地電位GND，而汲極區域220D則電性連接至一I/O連接墊。如第2B圖與第2C圖所示，當靜電灌注進入半導體ESD保護元件200時，除可藉由接地的第二閘極結構214快速的導通排除之外，n型汲極區域220D、p型井區202與n型第二摻雜區域232可形成一npn型BJT，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域220D的電荷可如箭頭a所示流向第二摻雜區域232，以及與第二摻雜區域232電性連接的第一摻雜區域230。另外，n型汲極區域220D、p型井區202與n型源極區域220S亦可作為一npn型BJT，此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域220D的電荷可如箭頭b所示流向接地的源極區域220S，而藉以排除。換句話說，本較佳實施例係提供多個自動觸發結構之BJT作為電流的分流管道。

【0016】 根據上述說明，可知本較佳實施例所提供之半導體ESD保護元件200可以是一疊置電晶體元件，其藉由上述多個自動觸發的BJT提供電流的分流管道。因此，半導體ESD保護元件200的啟始電壓可有效地降低，以提昇導通速度。且由於上述分流管道的形成可避免半導體ESD保護元件200本身被靜電脈衝燒毀，故可更提昇半導體ESD保護元件200的元件穩定性。是以本較佳實施例所提供之半導體ESD保護元件200於HBM中所能承受之脈衝電壓可由1.4 kV提昇至2 kV，即提昇43%。更重要的是，由於上述作為分流管道的BJT係為自動觸發結構，因此在半導體ESD保護元件200未導通時不產生任何作用，故可有效降低漏電流。另外，第一摻雜區域230與第二摻雜區域232之設置可與現有製程整合，而不增加製程複雜度與製程成本。

【0017】 請參閱第3圖，第3圖係為本發明所提供之半導體ESD保護元件之一變化型之佈局結構圖。首先須注意的是，本變化型中與第二較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。另外更需注意的是，本變化型不僅可以是第二較佳實施例的變化型，亦可以是前述第一較佳實施例以及後續所述之各較佳實施例的變化型。請參閱第3圖，本變化型與前述/後續實施例不同之處在於，前述/後續實施例所提供的半導體ESD保護元件中，第一摻雜區域係設置於源極區域的中央，而第二摻雜區域係設置於汲極區域的中央。而本變化型所提供之半導體ESD保護元件200a中，第二摻雜區域更包含一對次第二摻雜區域(sub-second doped region) 232'，且次第二摻雜區域232'分別設置於汲極接觸插塞222C與閘極組210之間。

【0018】 在本變化型中，由於第二摻雜區域232'設置於汲極接觸插塞222C與閘極組210之間，且如第3圖所示，次第二摻雜區域232'的上下兩端都不再設置汲極接觸插塞222C，因此源極接觸插塞224C與汲極接觸插塞222C係可分別藉由金屬層Mn建構電性連接關係，而第一摻雜區域230與各次第二摻雜區域232'則可藉由另外一層金屬層Mn+1建構電性連接關係。如第3圖所示，次第二摻雜區域232'的佈線不再需要跳過或繞過該等汲極接觸插塞222C，故可更簡化產品與製程設計。

【0019】 請參閱第4圖，第4圖係為本發明所提供之半導體ESD保護元件之又一變化型之佈局結構圖。首先須注意的是，本變化型中與第二

較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。另外更需注意的是，本變化型不僅可以是第二較佳實施例的變化型，亦可以是前述第一較佳實施例以及後續所述之各較佳實施例之變化型。請參閱第4圖，本變化型與前述/後續實施例不同之處在於，前述/後續實施例所提供的半導體ESD保護元件中，第一摻雜區域係為設置於汲極區域中央的島狀圖案，而第二摻雜區域亦為設置於源極區域中央的島狀圖案。而本變化型所提供之半導體ESD保護元件200b中，第一摻雜區域更包含一對次第一摻雜區域230a'/230b'，且次第一摻雜區域230a'/230b'如第4圖所示，分別設置於源極區域220S之兩端。另外，第二摻雜區域亦包含複數對次二摻雜區域232a'/232b'係為設置於汲極區域220D內，但是是設置在汲極接觸插塞222C與閘極組210之間，且分別設置於汲極區域220D之兩端。

【0020】 在本變化型中，第二摻雜區域232a'/232b'的型態由一個島狀圖案增加為二個島狀圖案。由於可與汲極區域220D構成自動觸發結構的次第二摻雜區域232a'/232b'數量增多了，故可提供更多自動觸發結構，即更多的分流管道，而更有利於半導體ESD保護元件200b之表現。另外，由於次第二摻雜區域232a'/232b'係設置於汲極接觸插塞222C與閘極組210之間，故第二摻雜區域232a'/232b'的上下兩端都不再設置汲極接觸插塞222C，同理，第一摻雜區域230a'/230b'的上下兩端都不再設置源極接觸插塞224C，因此第一次摻雜區域230a'/230b'與第二次摻雜區域232a'/232b'的佈線不再需要跳過或繞過該等源極接觸插塞224C與汲極接觸插塞222C，故可更簡化產品與製程設計。

第 13 頁，共 37 頁(發明說明書)

【0021】 請參閱第5圖，第5圖係為本發明所提供之半導體ESD保護元件之一變化型之佈局結構圖。首先須注意的是，本變化型中與第二較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。另外更需注意的是，本變化型不僅可以是第二較佳實施例的變化型，亦可以是前述第一較佳實施例以及後續所述之各較佳實施例的變化型。請參閱第5圖，本變化型與前述/後續實施例不同之處在於，本較佳實施例所提供之半導體ESD保護元件200c中，第二阻擋結構更包含混合型阻擋結構242'。根據本較佳實施例，混合型阻擋結構242'可包含淺溝隔離與虛設閘極(STI-dummy gate)混合型阻擋結構，或一淺溝隔離與金屬矽化物阻擋層(以下簡稱為STI-SAB)混合型阻擋結構。另外須注意的是，在本變化型中，靠近閘極組210的那一側中，混合型阻擋結構242'較佳包含STI，以確保靠近閘極組210處的電性隔離。在本較佳實施例中，除可藉由STI分離第二摻雜區域232與汲極區域220D之外，虛設閘極或SAB係在摻雜製程中作為遮罩，因此虛設閘極或SAB之下方不會形成任何摻雜區。因此如第5圖所示，第二摻雜區域232係可藉由混合型阻擋結構242'以及其下方的基底202與汲極區域220D分離。

【0022】 請參閱第6圖，第6圖係為本發明所提供之半導體ESD保護元件之又一變化型之示意圖。首先須注意的是，本變化型中與第二較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。另外更需注意的是，本變化型不僅可以是第二較佳實施例的變化型，亦可以是前述第一較佳實施例

以及後續所述之各較佳實施例的變化型。請參閱第6圖，本變化型與前述/後續實施例不同之處在於，本變化型所提供之半導體ESD保護元件200d中，第二阻擋結構更包含混合型阻擋結構242'。根據本較佳實施例，混合型阻擋結構242'可包含淺溝隔離與虛設閘極混合型阻擋結構，或一STI-SAB混合型阻擋結構。另外須注意的是，在本變化型中，靠近閘極組210的那一側中，混合型阻擋結構242'較佳包含STI，以確保靠近閘極組210處的電性隔離。更重要的是，在本變化型中，原本包含第一導電型態的第二摻雜區域232係被一包含第二導電型態的第二摻雜區域232p取代。

【0023】 根據本變化型，當靜電灌注進入半導體ESD保護元件200d時，除可藉由接地的第二閘極結構214快速的導通排除之外，n型汲極區域220D、p型井區202與p型第二摻雜區域232p可形成一二極體(diode)，且此二極體係在靜電放電時自動觸發，是以灌注進汲極區域220D的電荷可如箭頭a所示流向第二摻雜區域232p，以及與第二摻雜區域232p電性連接的第一摻雜區域230。當然，n型汲極區域220D、p型井區202與n型源極區域220S亦可作為一npn型BJT，此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域220D的電荷可如箭頭b所示流向接地的源極區域120S，而藉以排除。

【0024】 請參閱第7圖，第7圖為本發明所提供之半導體ESD保護元件之一第三較佳實施例之剖面示意圖。如第7圖所示，本較佳實施例所提供之半導體ESD保護元件300包含有一基底，且基底包含一井區302。基底與井區302上設置有一閘極組310，在本較佳實施例中，閘極組310

包含一第一閘極結構312、一第二閘極結構314、一第三閘極結構316及二個第三摻雜區域318。如第7圖所示，第三摻雜區域318分別設置於第一閘極結構312與第二閘極結構314之間，以及第二閘極結構314與第三閘極結構316之間，用以在空間上分離第一閘極結構312、第二閘極結構314與第三閘極結構316，並電性連接第一閘極結構312、第二閘極結構314與第三閘極結構316。如熟習該項技藝之人士所知，第一閘極結構312、第二閘極結構314與第三閘極結構316分別包含有一閘極導電層與一閘極介電層，閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此不再加以贅述。本較佳實施例所提供之半導體ESD保護元件300更包含一源極區域320S與一汲極區域320D，分別設置於閘極組310兩側之基底/井區302內。如第7圖所示，閘極組310係設置於源極區域320S與汲極區域320D之間，且閘極組310內之第一閘極結構312、第二閘極結構314與第三閘極結構316係由汲極區域320D向源極區域320S方向依序排列於基底/井區302上。在本較佳實施例中，源極區域320S、汲極區域320D與第三摻雜區域318包含有一第一導電型態，井區302包含有一第二導電型態，且第一導電型態與第二導電型態彼此互補。舉例來說，本較佳實施例中第一導電型態為n型，而第二導電型態為p型。但如前所述，反之亦可。另外，半導體ESD保護元件300更包含一隔離結構304與一包含第二導電型態的防護環306，隔離結構304與防護環306係環繞半導體ESD保護元件300，以提供半導體ESD保護元件300與其他元件之間的電性隔離。在本較佳實施例中，隔離結構304較佳為STI，但不限於此。

【0025】 請繼續參閱第7圖。本較佳實施例所提供之半導體ESD保護
第 16 頁，共 37 頁(發明說明書)

元件300更包含至少一設置於源極區域320S內的第一摻雜區域330，以及至少一設置於汲極區域320D內的第二摻雜區域332。另外，第一摻雜區域330可設置於源極區域320S的中央，而第二摻雜區域332可設置於汲極區域320D的中央，但不限於此。關於第一摻雜區域330與源極區域320S的佈局配置關係，以及第二摻雜區域332與汲極區域320D的佈局配置關係的其他變化型可參閱第3圖至第4圖以及上述的變化型說明，故於此係不再贅述。值得注意的是，雖然第一摻雜區域330設置於源極區域320S內，而第二摻雜區域332設置於汲極區域320D內，但第一摻雜區域330係藉由一第一阻擋結構340而與源極區域320S分離而不接觸，同理第二摻雜區域332係藉由一第二阻擋結構342而與汲極區域320D分離而不接觸。如第7圖所示，第一阻擋結構340包圍第一摻雜區域330而隔離了第一摻雜區域330與源極區域320S，而第二阻擋結構342包圍第二摻雜區域332而隔離了第二摻雜區域332與汲極區域320D。在本較佳實施例中，第一阻擋結構340與第二阻擋結構342係包含STI，但第一阻擋結構340與第二阻擋結構342亦可包含虛設閘極結構、SAB結構、上述之STI-dummy gate混合型阻擋結構或上述之STI-SAB混合型阻擋結構。另外，第一摻雜區域330包含有第二導電型態，而第二摻雜區域332則包含第一導電型態。

【0026】 更重要的是，設置於源極區域320S內的第一摻雜區域330與設置於汲極區域320D內的第二摻雜區域332係如第7圖所示彼此電性連接。另外，汲極區域320D與閘極組310中的第一閘極結構312電性連接至一電源連接墊VDD1，閘極組310中的第二閘極結構314電性連接至另一電源連接墊VDD2或一訊號輸入連接墊IN，而第三閘極結構316電

性連接至一訊號輸入連接墊IN或一接地連接墊GND，源極區域320S與防護環306則電性連接至一接地連接墊GND。如第7圖所示，當靜電灌注進入半導體ESD保護元件300時，n型汲極區域320D、p型井區302與n型第二摻雜區域332可形成一npn型BJT，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域320D的電荷可如箭頭a所示流向第二摻雜區域332，以及與第二摻雜區域332電性連接的第一摻雜區域330。另外，n型汲極區域320D、p型井區302與n型源極區域320S亦可形成一npn型BJT，且此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域320D的電荷可如箭頭b所示流向接地的源極區域320S，而藉以排除。換句話說，本較佳實施例係提供多個自動觸發結構之BJT作為電流的分流管道。但熟習該技藝之人士應知，上述閘極結構與電源連接墊、訊號輸入連接墊以及接地電位的電性連接關係可依不同的產品需要而調整，故不限於此。

【0027】 根據上述說明，可知本較佳實施例所提供之半導體ESD保護元件300可以是一多閘極電晶體元件，且閘極組310內的閘極結構數量可依半導體ESD保護元件300之電壓需求增加。本較佳實施例所提供之半導體ESD保護元件300係藉由上述多個自動觸發的BJT提供電流的分流管道。因此，半導體ESD保護元件300的啟始電壓可有效地降低，以提昇導通速度。且由於上述分流管道的形成可避免半導體ESD保護元件300本身被靜電脈衝燒毀，故更提昇半導體ESD保護元件300的元件穩定性。更重要的是，由於上述作為分流管道的BJT係為自動觸發結構，因此在半導體ESD保護元件300未導通時不產生任何作用，故可有效降低漏電流。另外如前所述，第一摻雜區域330與第二摻雜區域332

之設置可與現有製程整合，而不增加製程複雜度與製程成本。

【0028】 請參閱第8圖，第8圖為本發明所提供之半導體ESD保護元件之一第四較佳實施例之示意圖。如第8圖所示，本較佳實施例所提供之半導體ESD保護元件400包含有一基底，且基底包含一井區402，基底與井區402上設置有一閘極組410。本較佳實施例所提供之半導體ESD保護元件400更包含一源極區域420S與一汲極區域420D，分別設置於閘極組410兩側之基底/井區402內，而在汲極區域420D內，更設置有一第二摻雜區域432。源極區域420S、汲極區域420D以及第二摻雜區域432包含一第一導電型態，而基底或井區402包含一第二導電型態，且第一導電型態與第二導電型態彼此互補。舉例來說，在本較佳實施例中第一導電型態為n型，而第二導電型態為p型，但如前所述反之亦可。在本較佳實施例中，設置於汲極區域420D與源極區域420S之間的閘極組410包含一第一組閘極結構412以及一第二組閘極結構414，且第一組閘極結構412與第二組閘極結構414彼此分離，如第8圖所示。第一組閘極結構412與第二組閘極結構414之間，更設置有一第四摻雜區域434，以及一設置於第四摻雜區域434內的第一摻雜區域430。換句話說，第一組閘極結構412設置於汲極區域420D與第四摻雜區域434之間，而第二組閘極結構414設置於第四摻雜區域434與源極區域420S之間。第四摻雜區域434包含第一導電型態，而第一摻雜區域430包含第二導電型態。另外，本較佳實施例中的第一組閘極結構412包含至少一第一閘極結構412a與一第二閘極結構412b，而第二組閘極結構414則包含單一閘極結構414。第一組閘極結構412內的第一閘極結構412a與第二閘極結構412b之間，更設置有一包含第一導電型態的第三摻雜區域418，用以

第 19 頁，共 37 頁(發明說明書)

在空間上分離第一閘極結構412a與第二閘極結構412b，並電性連接第一閘極結構412a與第二閘極結構412b。詳細地說，第一閘極結構412a設置於第三摻雜區域418與汲極區域420D之間，而第二閘極結構412b設置於第三摻雜區域418與第四摻雜區域434之間。如熟習該項技藝之人士所知，第一閘極結構412a、第二閘極結構412b與單一閘極結構414分別包含有一閘極導電層與一閘極介電層，閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此不加以贅述。另外，半導體ESD保護元件400更包含一隔離結構404與一包含第二導電型態的防護環406，隔離結構404與防護環406係環繞半導體ESD保護元件400，以提供半導體ESD保護元件400與其他元件之間的電性隔離。在本較佳實施例中，隔離結構404較佳為STI，但不限於此。

【0029】 請繼續參閱第8圖。本較佳實施例所提供之半導體ESD保護元件400中，第一摻雜區域430係設置於第四摻雜區域434的中央，而第二摻雜區域432係設置於汲極區域420D的中央，但不限於此。關於第一摻雜區域430與第四摻雜區域434的佈局配置關係，以及第二摻雜區域432與汲極區域420D的佈局配置關係的其他變化型可參閱上述的變化型說明，故於此係不再贅述。值得注意的是，雖然第一摻雜區域430設置於第四摻雜區域434內，而第二摻雜區域432設置於汲極區域420D內，但第一摻雜區域430係藉由一第一阻擋結構440而與第四摻雜區域434分離而不接觸，同理第二摻雜區域432係藉由一第二阻擋結構442而與汲極區域420D分離而不接觸。如第8圖所示，第一阻擋結構440包圍第一摻雜區430而隔離了第一摻雜區430與第四摻雜區域434，而第二阻擋結構442包圍第二摻雜區域432而隔離了第二摻雜區域432與汲極

區域420D。在本較佳實施例中，第一阻擋結構440與第二阻擋結構442係包含STI，但第一阻擋結構440與第二阻擋結構442亦可包含虛設閘極結構、SAB結構、前述之STI-dummy gate混合型阻擋結構或前述之STI-SAB混合型阻擋結構。

【0030】 更重要的是，設置於第四摻雜區域434內的第一摻雜區域430與設置於汲極區域420D內的第二摻雜區域432係如第8圖所示彼此電性連接。另外，第一組閘極結構412中，第一閘極結構412a電性連接至一第一電源連接墊VDD₁，第二閘極結構412b電性連接至一第二電源連接墊VDD₂或一訊號輸入連接墊IN，而第二組閘極結構（即單一閘極結構）414則電性連接至訊號輸入連接墊IN或一接地連接墊GND。源極區域420S與防護環406電性連接至一接地連接墊GND，而汲極區域420D則電性連接至一I/O連接墊。如第8圖所示，當靜電灌注進入半導體ESD保護元件400時，n型汲極區域420D、p型井區402與n型第二摻雜區域432可形成npn型BJT，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域420D的電荷可如箭頭a所示流向第二摻雜區域432，以及與第二摻雜區域432電性連接的第一摻雜區域430。換句話說，本較佳實施例所提供之自動觸發結構（包含BJT）係可作為電流的分流管道。但熟習該技藝之人士應知，上述閘極結構與電源連接墊、訊號輸入連接墊以及接地連接墊的電性連接關係可依不同的產品需要而調整，故不限於此。

【0031】 請參閱第9圖，第9圖為本發明所提供之半導體ESD保護元件之一第五較佳實施例之示意圖。如第9圖所示，本較佳實施例所提供之

第 21 頁，共 37 頁(發明說明書)

半導體ESD保護元件500包含有一基底，且基底包含一井區502。基底與井區502上設置有一閘極組510。本較佳實施例所提供之半導體ESD保護元件500更包含一源極區域520S與一汲極區域520D，分別設置於閘極組510兩側之基底/井區502內，而在汲極區域520D內，更設置有一第二摻雜區域532。源極區域520S、汲極區域520D已及第二摻雜區域532包含一第一導電型態，而基底或井區502包含一第二導電型態，且第一導電型態與第二導電型態彼此互補。舉例來說，在本較佳實施例中第一導電型態為n型，而第二導電型態為p型，但如前所述反之亦可。在本較佳實施例中，設置於汲極區域520D與源極區域520S之間的閘極組510包含一第一組閘極結構512以及一第二組閘極結構514，且第一組閘極結構512與第二組閘極結構514彼此分離，如第9圖所示。第一組閘極結構512與第二組閘極結構514之間，更設置有一第四摻雜區域534，以及一設置於第四摻雜區域534內的第一摻雜區域530。換句話說，第一組閘極結構512設置於汲極區域520D與第四摻雜區域534之間，而第二組閘極結構514設置於第四摻雜區域534與源極區域520S之間。第四摻雜區域534包含第一導電型態，而第一摻雜區域530包含第二導電型態。另外，本較佳實施例中的第一組閘極結構512包含單一閘極結構512a，而第二組閘極結構514則包含至少一第一閘極結構514a與一第二閘極結構514b。第二組閘極結構514內的第一閘極結構514a與第二閘極結構514b之間，更設置有一包含第一導電型態的第三摻雜區域518，用以在空間上分離第一閘極結構514a與第二閘極結構514b，並電性連接第一閘極結構514a與第二閘極結構514b。詳細地說，第一閘極結構514a設置於第四摻雜區域534與第三摻雜區域518之間，而第二閘極結構514b設置於第三摻雜區域518與源極區域520S之間。如熟習該項技藝之

人士所知，單一閘極結構512與第一閘極結構514a、第二閘極結構514b分別包含有一閘極導電層與一閘極介電層，閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此不加以贅述。另外，半導體ESD保護元件500更包含一隔離結構504與一包含第二導電型態的防護環506，隔離結構504與防護環506係環繞半導體ESD保護元件500，以提供半導體ESD保護元件500與其他元件之間的電性隔離。在本較佳實施例中，隔離結構504較佳為STI，但不限於此。

【0032】 請繼續參閱第9圖。本較佳實施例所提供之半導體ESD保護元件500中，第一摻雜區域530係設置於第四摻雜區域534的中央，而第二摻雜區域532係設置於汲極區域520D的中央，但不限於此。關於第一摻雜區域530與第四摻雜區域534的佈局配置關係，以及第二摻雜區域532與汲極區域520D的佈局配置關係的其他變化型可參閱上述的變化型說明，故於此係不再贅述。值得注意的是，雖然第一摻雜區域530設置於第四摻雜區域534內，而第二摻雜區域532設置於汲極區域520D內，但本較佳實施例更提供一第一阻擋結構540與一第二阻擋結構542，第一阻擋結構540包圍第一摻雜區530而隔離了第一摻雜區530與第四摻雜區域534，而第二阻擋結構542包圍第二摻雜區域532而隔離了第二摻雜區域532與汲極區域520D。在本較佳實施例中，第一阻擋結構540與第二阻擋結構542係包含STI，但第一阻擋結構540與第二阻擋結構542亦可包含虛設閘極結構、SAB結構、前述之STI-dummy gate混合型阻擋結構或前述之STI-SAB混合型阻擋結構。

【0033】 更重要的是，設置於第四摻雜區域534內的第一摻雜區域530

與設置於汲極區域520D內的第二摻雜區域532係如第9圖所示彼此電性連接。另外，第一組閘極結構512中，單一閘極結構512a電性連接至一第一電源連接墊VDD₁，第二組閘極結構514的第一閘極結構514a電性連接至一第二電源連接VDD₂，而第二閘極結構514b則電性連接至一訊號輸入連接墊IN。源極區域520S與防護環506電性連接至一接地連接墊GND，而汲極區域520D則電性連接至一I/O連接墊。如第9圖所示，當靜電灌注進入半導體ESD保護元件500時，n型汲極區域520D、p型井區502與n型第二摻雜區域532可形成一npn型BJT，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域520D的電荷可如箭頭a所示流向第二摻雜區域532，以及與第二摻雜區域532電性連接的第一摻雜區域530。換句話說，本較佳實施例所提供之自動觸發結構（包含BJT）係可作為電流的分流管道。但熟習該技藝之人士應知，上述閘極結構與電源連接墊、訊號輸入連接墊以及接地連接墊的電性連接關係可依不同的產品需要而調整，故不限於此。

【0034】 根據上述說明，可知第四與第五較佳實施例所提供之半導體ESD保護元件400與500可以是一多閘極電晶體元件，且可依據不同的產品需求將閘極分組。第四與第五較佳實施例所提供之半導體ESD保護元件400與500係藉由上述自動觸發的BJT提供電流的分流管道。因此，半導體ESD保護元件400與500的啟始電壓可有效地降低，以提昇導通速度。且由於上述分流管道的形成可避免半導體ESD保護元件400與500本身被靜電脈衝燒毀，故更提昇半導體ESD保護元件400與500的元件穩定性。更重要的是，由於上述作為分流管道的BJT係為自動觸發結構，因此在半導體ESD保護元件400與500未導通時不產生任何作

用，故可有效降低漏電流。另外如前所述，第一摻雜區域430/530與第二摻雜區域432/532之設置可與現有製程整合，而不增加製程複雜度與製程成本。

【0035】 請參閱第10圖，第10圖為本發明所提供之半導體ESD保護元件之一第六較佳實施例之佈局結構示意圖。如第10圖所示，本較佳實施例所提供之半導體ESD保護元件600包含有一p型的基底602，基底602包含一第一井區602a與一第二井區602b，且第一井區602a與第二井區602b係藉由基底602彼此分離。第二井區602b包含一第一導電型態，而基底602與第一井區602a包含一第二導電型態，且第一導電型態與第二導電型態彼此互補。在本較佳實施例中，第一導電型態為n型，而第二導電型態為p型，但如前所述，反之亦可。基底602上設置有一閘極組610，在本較佳實施例中，閘極組610包含一單一閘極結構612。如第10圖所示，單一閘極結構612設置於第一井區602a與第二井區602b之間，且分別與部份第一井區602a以及部份第二井區602b重疊。如熟習該項技藝之人士所知，單一閘極結構612包含有一閘極導電層與一閘極介電層，且閘極導電層閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此不加以贅述。另外，半導體ESD保護元件600更包含一隔離結構622，設置於第二井區602b內，且閘極組610（即單一閘極結構612）係覆蓋至少部份隔離結構622。本較佳實施例所提供之半導體ESD保護元件600更包含一源極區域620S與一汲極區域620D，分別設置於閘極組610兩側之基底602內。詳細地說，源極區域620S係設置於第一井區602a內，而汲極區域620D係設置於第二井區602b內。在本較佳實施例中，源極區域620S與汲極區域620D包含有第一導電型態。另

外，半導體ESD保護元件600更包含一隔離結構604與一包含第二導電型態的防護環606，隔離結構604與防護環606係環繞半導體ESD保護元件600，以提供半導體ESD保護元件600與其他元件之間的電性隔離。在本較佳實施例中，隔離結構604較佳為STI，但不限於此。

【0036】 請繼續參閱第10圖。本較佳實施例所提供之半導體ESD保護元件600更包含至少一設置於源極區域620S內的第一摻雜區域630，以及至少一設置於汲極區域620D內的第二摻雜區域632。由於源極區域620S設置於第一井區602a內，而汲極區域620D設置於第二井區602b內，因此第一摻雜區域630亦設置於第一井區602a內，而第二摻雜區域632亦設置於第二井區602b內。另外，第一摻雜區域630係設置於源極區域620S的中央，而第二摻雜區域632係設置於汲極區域620D的中央，但不限於此。關於第一摻雜區域630與汲極區域620D的佈局配置關係，以及第二摻雜區域632與源極區域620S的佈局配置關係的其他變化型可參閱第3圖至第4圖以及前述之變化型說明，於此不再贅述。值得注意的是，雖然第一摻雜區域630設置於源極區域620S內，而第二摻雜區域632設置於汲極區域620D內，但第一摻雜區域630係藉由一第一阻擋結構640而與源極區域620S分離而不接觸，同理第二摻雜區域632係藉由一第二阻擋結構642而與汲極區域620D分離而不接觸。如第10圖所示，第一阻擋結構640包圍第一摻雜區域630而隔離了第一摻雜區域630與源極區域620S，而第二阻擋結構642包圍第二摻雜區域632而隔離了第二摻雜區域632與汲極區域620D。在本較佳實施例中，第一阻擋結構640與第二阻擋結構642係包含STI，但第一阻擋結構640與第二阻擋結構642亦可包含虛設閘極結構、SAB結構、前述之STI-dummy

gate混合型阻擋結構、或前述之STI-SAB混合型阻擋結構。另外，第一摻雜區域630包含有第二導電型態，而第二摻雜區域632則包含第一導電型態。

【0037】 更重要的是，設置於源極區域620S內的第一摻雜區域630與設置於汲極區域620D內的第二摻雜區域632係如第10圖所示彼此電性連接。另外，閘極組610（即單一閘極結構612）、源極區域620S與防護環606電性連接至一接地連接墊GND，而汲極區域620D則電性連接至一I/O連接墊I/O。如第10圖所示，當靜電灌注進入半導體ESD保護元件600時，除可藉由接地的閘極組610（即單一閘極結構612）快速的導通排除之外，n型汲極區域620D、n型第二井區602b、p型基底602、p型第一井區602a與n型源極區域620S可形成一npn型BJT，且此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域620D的電荷可如箭頭b所示流向接地的源極區域620S，而藉以排除。換句話說，本較佳實施例所提供之自動觸發結構係可作為電流的分流管道。

【0038】 根據上述說明，可知本較佳實施例所提供之半導體ESD保護元件600可以是一LDMOS電晶體元件，並藉由上述自動觸發的BJT提供電流的分流管道。因此，半導體ESD保護元件600的啟始電壓可有效地降低，以提昇導通速度。且由於上述分流管道的形成可避免半導體ESD保護元件600本身被靜電脈衝燒毀，故更提昇半導體ESD保護元件600的元件穩定性。更重要的是，由於上述作為分流管道的BJT係為自動觸發結構，因此在半導體ESD保護元件600未導通時不產生任何作用，故可有效降低漏電流。另外如前所述，第一摻雜區域430與第二摻雜區

域632之設置可與現有製程整合，而不增加製程複雜度與製程成本。

【0039】 請參閱第11圖，第11圖係為第六較佳實施例所提供之半導體ESD保護元件之一變化型之示意圖。首先須注意的是，本變化型中與第六較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。請參閱第11圖，本變化型與第六較佳實施例不同之處在於，本變化型例所提供之半導體ESD保護元件600a中，第二阻擋結構更包含混合型阻擋結構642'。根據本較佳實施例，混合型阻擋結構642'可包含STI-dummy gate混合型阻擋結構，或一STI-SAB混合型阻擋結構。另外須注意的是，在本變化型中，靠近閘極組610的那一側中，混合型阻擋結構642'較佳包含STI，以確保靠近閘極組610處的電性隔離。更重要的是，在本變化型中，原本包含第一導電型態的第二摻雜區域632係被一包含第二導電型態的第二摻雜區域632p取代。

【0040】 根據本變化型，當靜電灌注進入半導體ESD保護元件600a時，除可藉由接地的閘極組610快速的導通排除之外，n型汲極區域620D、n型第二井區602b與p型第二摻雜區域632p可形成一二極體，且此二極體係在靜電放電時自動觸發，是以灌注進汲極區域620D的電荷可如箭頭a所示流向第二摻雜區域632p，以及與第二摻雜區域632p電性連接的第一摻雜區域630。當然，n型汲極區域620D、n型第二井區602b、p型基底602、p型第一井區602a與n型源極區域620S可形成一npn型BJT，且此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域620D的電荷可如箭頭b所示流向接地的源極區域620S，而藉以排除。換句話

說，本變化型所提供之自動觸發結構（包含二極體與BJT）係可作為電流的分流管道。

【0041】 請參閱第12圖，其為本發明所提供之半導體ESD保護元件之一第七較佳實施例之佈局結構示意圖。如第12圖所示，本較佳實施例所提供之半導體ESD保護元件700包含有一基底702，基底702上設置有一閘極組710，在本較佳實施例中，閘極組710包含一單一閘極結構712。如熟習該項技藝之人士所知，單一閘極結構712包含有一閘極導電層與一閘極介電層，由於閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此將不加以贅述。另外，本較佳實施例所包含之閘極組710亦可以包含二個閘極、三個閘極、或上述之多組閘極，該等閘極的數量與組合之變化係可參考前述較佳實施例，故於此不再加以贅述。如第12圖所示，本較佳實施例所提供之半導體ESD保護元件700更包含一源極區域720S與一汲極區域720D，分別設置於閘極組710兩側之基底702內。值得注意的是，源極區域720S包含有複數個源極鰭片722，而汲極區域720D則包含有複數個汲極鰭片724。如第12圖所示，源極鰭片722彼此平行，而汲極鰭片724彼此平行。在本較佳實施例中，源極鰭片722與汲極鰭片724係可利用一多重圖案化製程，例如一雙重圖案化製程，形成於基底702上。源極鰭片722與汲極鰭片724係沿一第一方向D1延伸，並沿一第二方向D2排列，且第一方向D1與第二方向D2彼此垂直。而閘極組710則沿第二方向D2延伸並覆蓋部份鰭片結構。

【0042】 請繼續參閱第12圖。在源極區域720S中，更形成有至少一第

第 29 頁，共 37 頁(發明說明書)

一摻雜鰭片730，而在汲極區域720D中，更形成有至少一第二摻雜鰭片732。如第12圖所示，第一摻雜鰭片730係與源極鰭片722彼此平行，且與源極鰭片722分離。同理，第二摻雜鰭片732係與汲極鰭片724彼此平行，且與汲極鰭片724分離。源極區域720S（包含各源極鰭片722）、汲極區域720D（包含各汲極鰭片724）與第二摻雜鰭片732包含有一第一導電型態，而第一摻雜鰭片730與基底702則包含有一第二導電型態，且第一導電型態與第二導電型態彼此互補。舉例來說，本較佳實施例中第一導電型態為n型，而第二導電型態為p型，但如前所述反之亦可。

【0043】 更重要的是，設置於源極區域720S內的第一摻雜鰭片730與設置於汲極區域720D內的第二摻雜鰭片732彼此電性連接。另外，閘極組710（即單一閘極結構712）、源極區域720S係電性連接至一接地連接墊（圖未示），而汲極區域720D則電性連接至一I/O連接墊（圖未示）。如第12圖所示，當靜電灌注進入半導體ESD保護元件700時，除可藉由接地的閘極組710/712快速的導通排除之外，n型汲極區域720D、p型基底702與n型第二摻雜鰭片732可形成一npn型BJT，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域720D的電荷係可流向第二摻雜鰭片732，以及與第二摻雜鰭片732電性連接的第一摻雜鰭片730。另外，n型汲極區域720D、p型基底702與n型源極區域720S亦可作為一npn型BJT，此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域720D的電荷可流向接地的源極區域720S，而藉以排除。換句話說，本較佳實施例係提供多個自動觸發結構之BJT作為電流的分流管道。

【0044】 請參閱第13圖與第14圖，第13圖與第14圖係為本發明所提供之半導體ESD保護元件之第七較佳實施例之一變化型之佈局結構圖。首先須注意的是，本變化型中與第七較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。請參閱第13圖，本變化型與前述第七較佳實施例不同之處在於，本變化型所提供之半導體ESD保護元件700a更包含複數個隔離結構742，形成於第二摻雜鰭片732之內，使得第二摻雜鰭片732內包含有一獨立摻雜區732'。如第13圖所示，第二摻雜鰭片732係可與汲極鰭片724電性連接，但藉由隔離結構742的設置，獨立摻雜區732'係可與第二摻雜鰭片732電性隔離。

【0045】 如第14圖所示，根據本變化型，係可藉由金屬層Mn與接觸插塞V之設置，係可提供源極鰭片722的電性連接，與汲極鰭片724的電性連接。而藉由另一金屬層Mn+1與接觸插塞V'之設置，係可提供第一摻雜鰭片730與獨立摻雜區732'電性連接。是以，當靜電灌注進入半導體ESD保護元件700a時，除可藉由接地的閘極組710/712快速的導通排除之外，n型汲極區域720D與n型第二摻雜鰭片732、p型基底702與n型獨立摻雜區732'可形成一npn型BJT，且此BJT係在靜電放電時自動觸發，是以灌注進汲極區域720D的電荷係可流向獨立摻雜區732'，以及與獨立摻雜區732'電性連接的第一摻雜鰭片730。另外如前所述，n型汲極區域720D、p型基底702與n型源極區域720S亦可形成一npn型BJT，此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域720D的電荷可流向接地的源極區域720S，而藉以排除。換句話說，本較佳實施例係提供多個自動觸發結構之BJT作為電流的分流管道。

【0046】 請重新參閱第12圖與第13圖。在第七較佳實施例及其變化型中，雖然BJT的射極(emitter)、集極(collector)與電流方向改變了，但本較佳實施例與其變化型仍然可提供多個自動觸發的BJT，作為電流的分流管道。

【0047】 請參閱第15圖與第16圖，其為本發明所提供之半導體ESD保護元件之一第八較佳實施例及其變化型之佈局結構示意圖。首先須注意的是，第16圖所揭示之變化型中與第八較佳實施例相同之元件係包含相同的符號說明，並具有相同的材料選擇與電性關係，因此相同之處將不再贅述。如第15圖與第16圖所示，本較佳實施例所提供之半導體ESD保護元件800/800a包含有一基底802，基底802上設置有一閘極組810，在本較佳實施例中，閘極組810包含一單一閘極結構812。如熟習該項技藝之人士所知，單一閘極結構812包含有一閘極導電層與一閘極介電層，由於閘極導電層與閘極介電層之材料組合係為熟習該項技藝之人士應知者，故於此將不加以贅述。另外，本較佳實施例所包含之閘極組810亦可以包含二個閘極、三個閘極、或前述之多組閘極，該等閘極之數量與組合的變化係可參考前述較佳實施例，故此處不再加以贅述。如第15圖與第16圖所示，本較佳實施例所提供之半導體ESD保護元件800/800a更包含一源極區域820S與一汲極區域820D，分別設置於閘極組810兩側之基底802上。值得注意的是，源極區域820S包含有複數個源極鰭片822，而汲極區域820D則包含有複數個汲極鰭片824。因此，本較佳實施立即其變化型所提供之半導體ESD保護元件800/800a可視為包含有複數個源極鰭片822與複數個汲極鰭片824，分別設置於閘極組

810兩側之基底802上。如第15圖所示，源極鰭片822彼此平行，而汲極鰭片824彼此平行。如前所述，源極鰭片822與汲極鰭片824係可利用一多重圖案化製程，例如一雙重圖案化製程，形成於基底802上。源極鰭片822與汲極鰭片824係沿一第一方向D1延伸，並沿一第二方向D2排列，且第一方向D1與第二方向D2彼此垂直。而閘極組810則沿第二方向D2延伸並覆蓋部份鰭片結構。

【0048】 請繼續參閱第15圖與第16圖。在源極區域820S中，更形成有至少一第一摻雜鰭片830，而在汲極區域820D中，更形成有至少一第二摻雜鰭片832。如第15圖所示，第一摻雜鰭片830係與源極鰭片822彼此平行，且與源極鰭片822分離。同理，第二摻雜鰭片832係與汲極鰭片824彼此平行，且與汲極鰭片824分離。源極區域820S（包含各源極鰭片822）與汲極區域820D（包含各汲極鰭片824）包含有一第一導電型態，而第一摻雜鰭片830、第二摻雜鰭片832與基底802則包含有一第二導電型態，且第一導電型態與第二導電型態彼此互補。舉例來說，本較佳實施例中第一導電型態為n型，而第二導電型態為p型，但如前所述反之亦可。更重要的是，半導體ESD保護元件800/800a更包含複數個隔離結構842，形成於汲極鰭片824之內，使得第二摻雜鰭片832可與汲極鰭片824不論在空間上或在電性上皆彼此分離。

【0049】 在本較佳實施例中，閘極組810（即單一閘極結構812）、源極區域820S係電性連接至一接地連接墊（圖未示），而汲極區域820D則電性連接至一I/O連接墊（圖未示）。如第15圖所示，當靜電灌注進入半導體ESD保護元件800時，除可藉由接地的閘極組810快速的導通

排除之外，n型汲極鰭片824、p型基底802與p型第二摻雜區域832可形成一二極體，且此二極體係在靜電放電時自動觸發，是以灌注進汲極區域820D的電荷流向第二摻雜鰭片832，以及與第二摻雜鰭片832電性連接的第一摻雜鰭片830。當然，n型汲極區域820D、p型基底802與n型源極區域820S仍可形成一npn型BJT，且此BJT亦在靜電放電時自動觸發，是以灌注進汲極區域820D的電荷可流向接地的源極區域820S，而藉以排除。換句話說，本變化型所提供之自動觸發結構（包含二極體與BJT）係可作為電流的分流管道。

【0050】 請重新參閱第15圖與第16圖。本較佳實施例及其變化型之差異，即在於隔離結構842設置之數量以及汲極鰭片824之電性連接之方式及其對電流方向的影響。如第15圖所示，本較佳實施例中，二極體的電流方向係平行汲極鰭片824之延伸方向。而在本較佳實施例之變化型中，二極體的電流方向係垂直汲極鰭片824之延伸方向，如第16圖所示。不論二極體的電流方向為何，第八較佳實施例及其變化型都是藉由自動觸發結構（包含二極體與BJT）提供電流的分流管道。因此，半導體ESD保護元件800/800a的啟始電壓可有效地降低，以提昇導通速度。且由於上述分流管道的形成可避免半導體ESD保護元件800/800a本身被靜電脈衝燒毀，故更提昇半導體ESD保護元件800/800a的元件穩定性。更重要的是，由於上述作為分流管道的BJT係為自動觸發結構，因此在半導體ESD保護元件800/800a未導通時不產生任何作用，故可有效降低漏電流。另外如前所述，第一摻雜鰭片830與第二摻雜鰭片832之設置可與現有製程整合，而不增加製程複雜度與製程成本。

【0051】 綜上所述，根據本發明所提供之半導體ESD保護元件，係可藉由設置於汲極區域或汲極鰭片內的第二摻雜區域或第二摻雜鰭片形成一自動觸發之BJT或二極體，因此可以降低啟始電壓、提昇半導體ESD保護元件的導通速度以及半導體ESD保護元件的元件穩定性。另外，本發明所提供之半導體ESD保護元件係包含閘極組，閘極組內可包含單一閘極、多閘極、或多重閘極組合，故本發明所提供之半導體ESD保護元件可成功整合於單一閘極MOS電晶體元件、疊置電晶體元件、多閘極MOS電晶體元件。而藉由基底其他井區的組合，本發明所提供之半導體ESD保護元件更可與LDMOS電晶體元件整合。另外，本發明所提供之半導體ESD保護元件更可與FinFET製程整合。換句話說，本發明所提供之半導體ESD保護元件係可依需求與多種電晶體元件整合，更提昇了ESD保護元件的產品彈性及實用性。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0052】

100、200、200a、200b、200c、200d、300、400、400a、500、600、700、700a、800、800a	半導體ESD保護元件
102、202、302、402、502、602、702、802	基底/井區
602a	第一井區
602b	第二井區
104、204、304、404、422、504、604	隔離結構

106、206、306、406、506、606	防護環
110、210、310、410、510、610、710、810	閘極組
112、612、512a、712、812	單一閘極結構
212、312、412a、514a	第一閘極結構
412、512	第一組閘極結構
414、514	第二組閘極結構
214、314、412b、514b	第二閘極結構
316	第三閘極結構
218、318、418、518	第三摻雜區
120S、220S、320S、420S、520S、620S、720S、820S	源極區域
722、822	源極鰭片
120D、220D、320D、420D、520D、620D、720D、820D	汲極區域
724、824	汲極鰭片
224C	源極接觸插塞
222C	汲極接觸插塞
130、230、330、430、530、630	第一摻雜區域
230a'、230b'	次第一摻雜區域
730、830	第一摻雜鰭片
132、232、232p、332、432、432p、532、632	第二摻雜區域
232'、232a'、232b'	次第二摻雜區域
732、832	第二摻雜鰭片
732'	獨立摻雜區
434、534	第四摻雜區域
140、240、340、440、540、640	第一阻擋結構

142、242、342、442、542、642	第二阻擋結構
742、842	隔離結構
242'、642'	混合型阻擋結構
A-A'	切線
D1	第一方向
D2	第二方向
GND	接地連接墊
IN	訊號輸入連接墊
I/O	輸入/輸出連接墊
Mn、Mn+1	金屬層
V、V'	接觸插塞
VDD	電源連接墊
VDD1	第一電源連接墊
VDD2	第二電源連接墊
a、b	電流方向

【發明申請專利範圍】

【第1項】 一種半導體靜電放電(electrostatic discharge protection, ESD)保護元件，包含有：

一基底；

一閘極組(gate set)，設置於該基底上；

一源極區域與一汲極區域，分別設置於該閘極組兩側之該基底內，且該源極區域與該汲極區域包含有一第一導電型態(conductivity type)；

至少一第一摻雜區域，設置於該源極區域內，該第一摻雜區域包含有一第二導電型態，且該第二導電型態與該第一導電型態互補(complementary)；以及

至少一第二摻雜區域，設置於該汲極區域內，該第二摻雜區域包含有該第一導電型態，且該第二摻雜區域與該第一摻雜區域彼此電性連接。

【第2項】 如申請專利範圍第1項所述之半導體ESD保護元件，更包含：

一第一阻擋結構，包圍該第一摻雜區域並隔離該第一摻雜區域與該源極區域；以及

一第二阻擋結構，包圍該第二摻雜區域並隔離該第二摻雜區域與該汲極區域。

【第3項】 如申請專利範圍第2項所述之半導體ESD保護元件，其中該第一阻擋結構與該第二阻擋結構包含淺溝隔離(shallow trench

isolation, STI)結構、虛設閘極、或金屬矽化物阻(salicide blocking, SAB)阻擋層。

【第4項】 如申請專利範圍第3項所述之半導體ESD保護元件，其中該第二阻擋結構包含一淺溝隔離與虛設閘極(STI-dummy gate)混合型阻擋結構，或一淺溝隔離與金屬矽化物阻擋層(STI-SAB)混合型阻擋結構。

【第5項】 如申請專利範圍第1項所述之半導體ESD保護元件，其中該第二摻雜區域包含一對次第二摻雜區域(sub-second doped region)，分別設置於該汲極區域之兩端。

【第6項】 如申請專利範圍第1項所述之半導體ESD保護元件，其中該閘極組包含有一單一閘極結構，該單一閘極結構與該源極區域電性連接至一接地電位(ground potential)，該汲極區域電性連接至一輸入/輸出連接墊(I/O pad)。

【第7項】 如申請專利範圍第1項所述之半導體ESD保護元件，其中該閘極組包含有：

- 一第三摻雜區域，包含有該第一導電型態；
- 一第一閘極結構，設置於該基底上，且設置於該第三摻雜區域與該汲極區域之間；以及
- 一第二閘極結構，設置於該基底上，且設置於該第三摻雜區域與該源極區域之間。

【第8項】 如申請專利範圍第7項所述之半導體ESD保護元件，其中該第一閘極結構與該第二閘極結構係藉由該第三摻雜區域在空間上彼此分離，且該第一閘極結構與該第二閘極結構係藉由該第三摻雜區域電性連接。

【第9項】 如申請專利範圍第1項所述之半導體ESD保護元件，其中該閘極組包含有：

- 一第一閘極結構，設置於該基底上；
- 一第二閘極結構，設置於該基底上；
- 一第三閘極結構，設置於該基底上；以及

二個第三摻雜區域，分別設置於該第一閘極結構與該第二閘極結構之間，以及該第二閘極結構與該第三閘極結構之間，且該等第三摻雜區域包含有該第一導電型態；

其中該第一閘極結構、該第二閘極結構與該第三閘極結構係藉由該等第三摻雜區域在空間上彼此分離，且第一閘極結構、該第二閘極結構與該第三閘極結構係藉由該等第三摻雜區域電性連接。

【第10項】 如申請專利範圍第1項所述之半導體ESD保護元件，其中該閘極組包含有：

- 一第一組閘極(gate group)，設置於該基底上；
- 一第二組閘極，設置於該基底上，且該第一組閘極與該第二組閘極彼此分離；以及

一第三摻雜區域，包含該第一導電型態，該第三摻雜區域二者擇一

地設置於該第一閘極組內或該第二閘極組內；以及

一第四摻雜區域，包含該第一導電型態，且設置於該第一組閘極與該第二組閘極之間，該第一摻雜區域係設置於該第四摻雜區域內。

【第11項】 如申請專利範圍第10項所述之半導體ESD保護元件，其中該第一摻雜區域係與該第四摻雜區域彼此分離。

【第12項】 如申請專利範圍第10項所述之半導體ESD保護元件，其中該第三摻雜區域係設置於該第一閘極組內，而該第一閘極組包含一第一閘極結構與一第二閘極結構，該第一閘極結構與該第二閘極結構係藉由該第三摻雜區域在空間上彼此分離，且第一閘極結構與該第二閘極結構係藉由該第三摻雜區域電性連接。

【第13項】 如申請專利範圍第10項所述之半導體ESD保護元件，其中該第三摻雜區域係設置於該第二閘極組內，而該第二閘極組包含一第一閘極結構與一第二閘極結構，該第一閘極結構與該第二閘極結構係藉由該第三摻雜區域在空間上彼此分離，且第一閘極結構與該第二閘極結構係藉由該第三摻雜區域電性連接。

【第14項】 如申請專利範圍第1項所述之半導體ESD保護元件，更包含：

一第一井區，形成於該基底內，該第一井區包含該第二導電型態；
以及

一第二井區，形成於該基底內，該第二井區包含該第一導電型態，

且該第一井區與該第二井區係藉由該基底彼此分離。

【第15項】 如申請專利範圍第14項所述之半導體ESD保護元件，其中該源極區域與該第一摻雜區域係形成於該第一井區內，該汲極區域與該第二摻雜區域係形成於該第二井區內。

【第16項】 如申請專利範圍第1項所述之半導體ESD保護元件，其中該源極區域包含有複數個彼此平行的源極鰭片(fin)，且該汲極區域包含複數個彼此平行的汲極鰭片。

【第17項】 如申請專利範圍第16項所述之半導體ESD保護元件，其中該第一摻雜區域更包含至少一第一摻雜鰭片，該第二摻雜區域更包含至少一第二摻雜鰭片，該第一摻雜鰭片係與該等源極鰭片平行，且與該等源極鰭片分離，該第二摻雜鰭片係與該等汲極鰭片平行，且與該等汲極鰭片分離。

【第18項】 如申請專利範圍第17項所述之半導體ESD保護元件，更包含複數個隔離結構，形成於該第二摻雜鰭片之內。

【第19項】 一種半導體靜電放電(ESD)保護元件，包含有：
一基底；
一閘極組，設置於該基底上；
複數個源極鰭片與複數個汲極鰭片，分別設置於該閘極組兩側之該基底上，且該等源極鰭片與該等汲極鰭片包含有一第一導電型態；

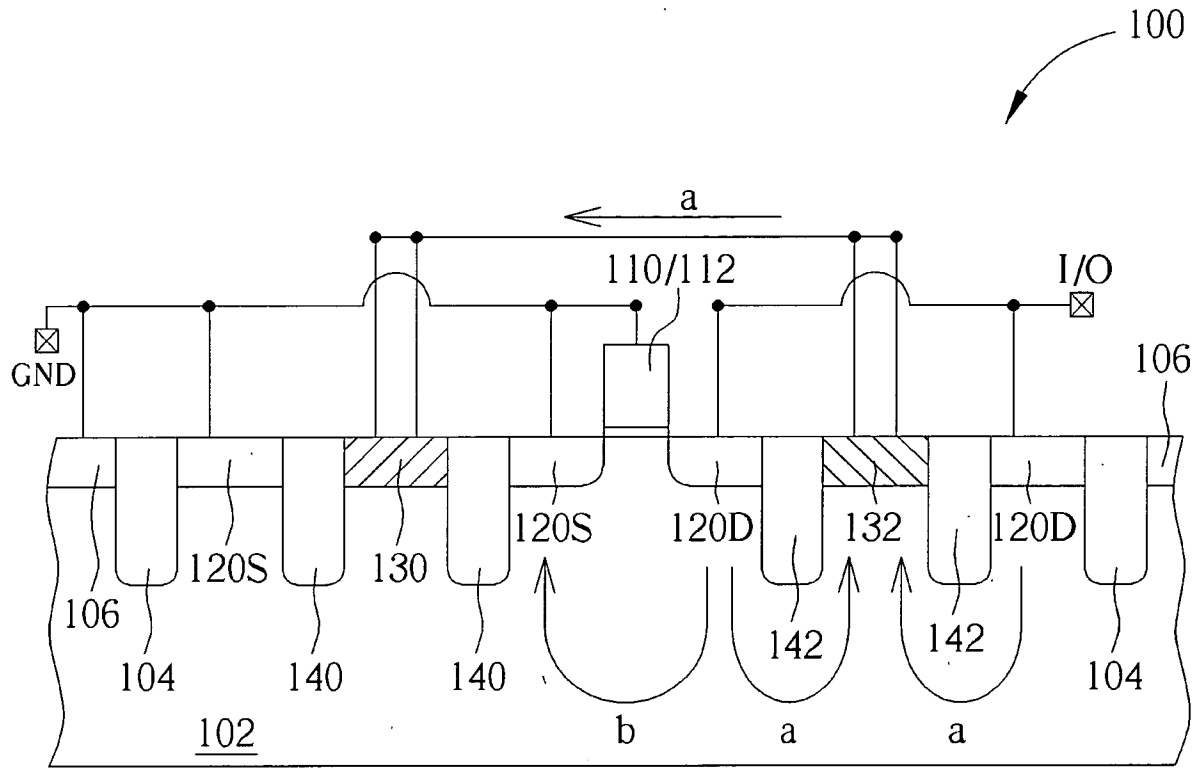
第 5 頁，共 6 頁(發明申請專利範圍)

至少一第一摻雜鰭片，與該等源極鰭片平行且與該等源極鰭片分離，該第一摻雜鰭片包含有一第二導電型態，且該第二導電型態與該第一導電型態互補；以及

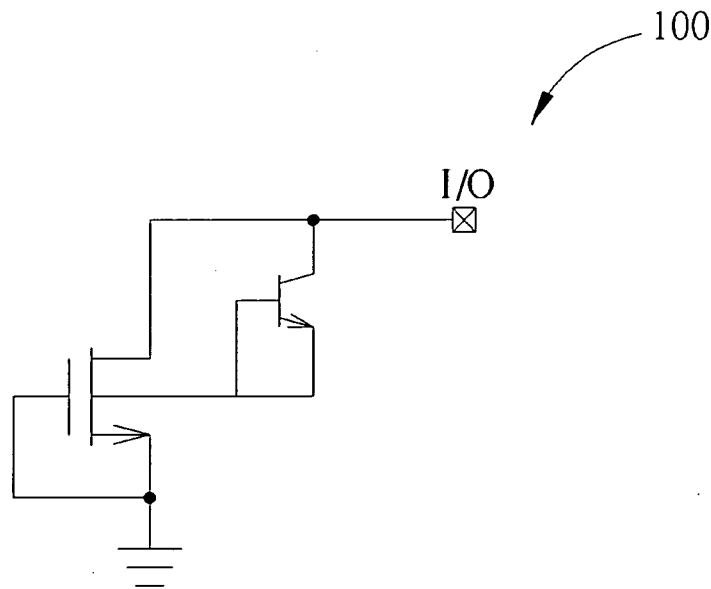
至少一第二摻雜鰭片，與該等汲極鰭片平行且與該等汲極鰭片分離，該第二摻雜鰭片包含有該第二導電型態，且該第二摻雜鰭片與該第一摻雜鰭片彼此電性連接。

【第20項】 如申請專利範圍第19項所述之半導體ESD保護元件，更包含複數個隔離結構，形成於該第二摻雜鰭片之內。

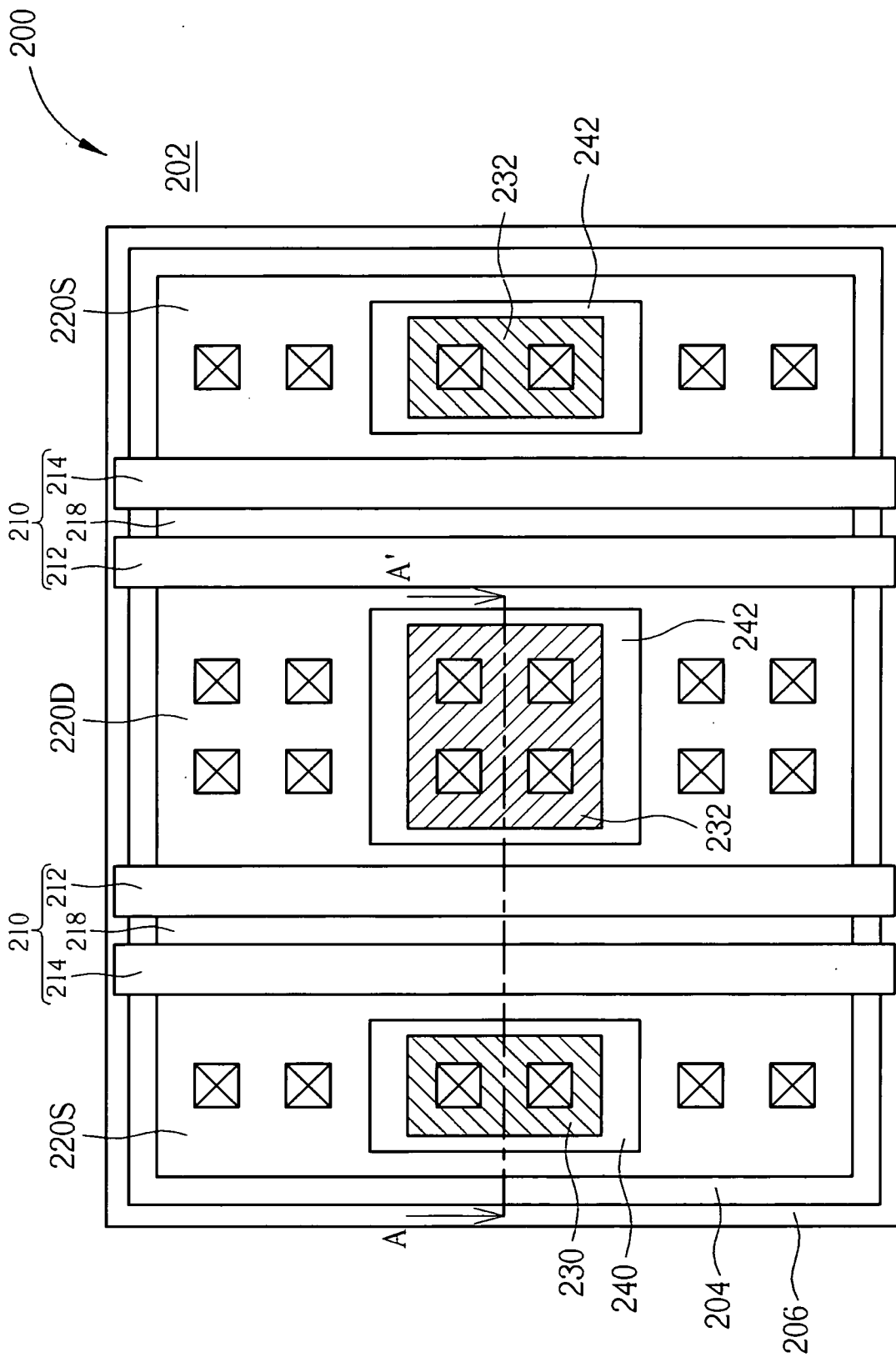
【發明圖式】



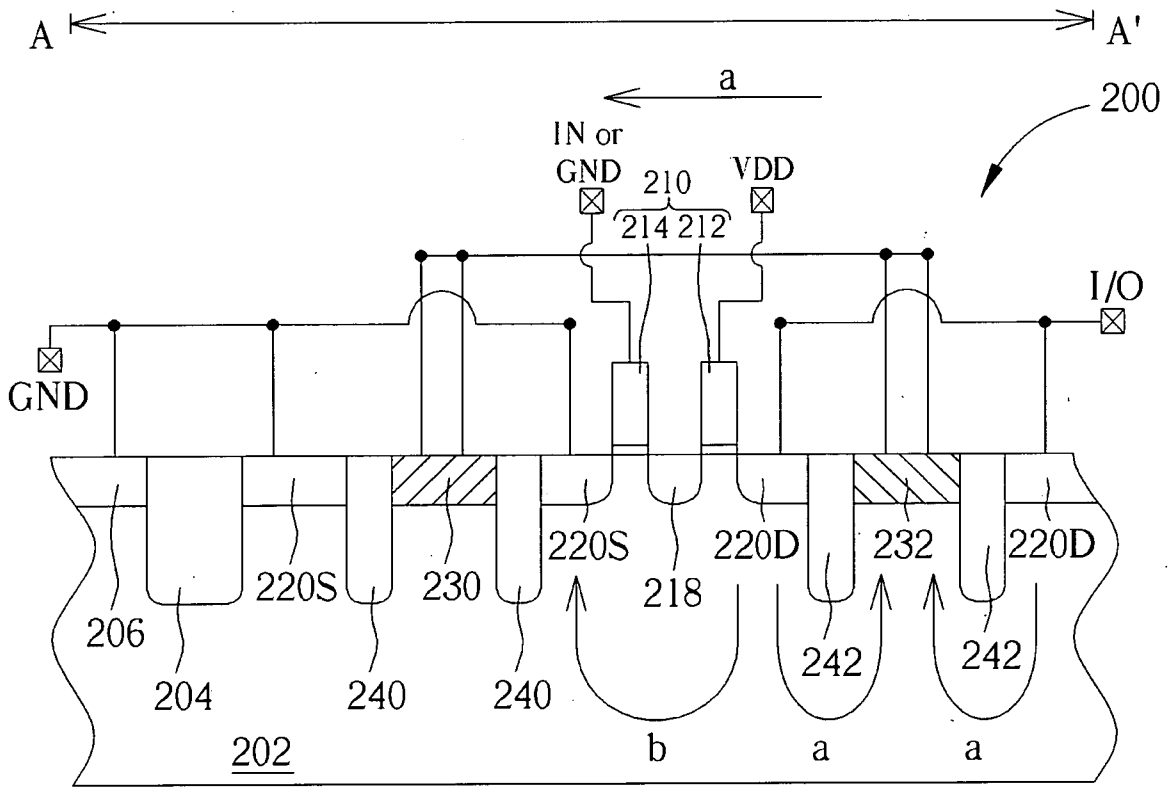
第1A圖



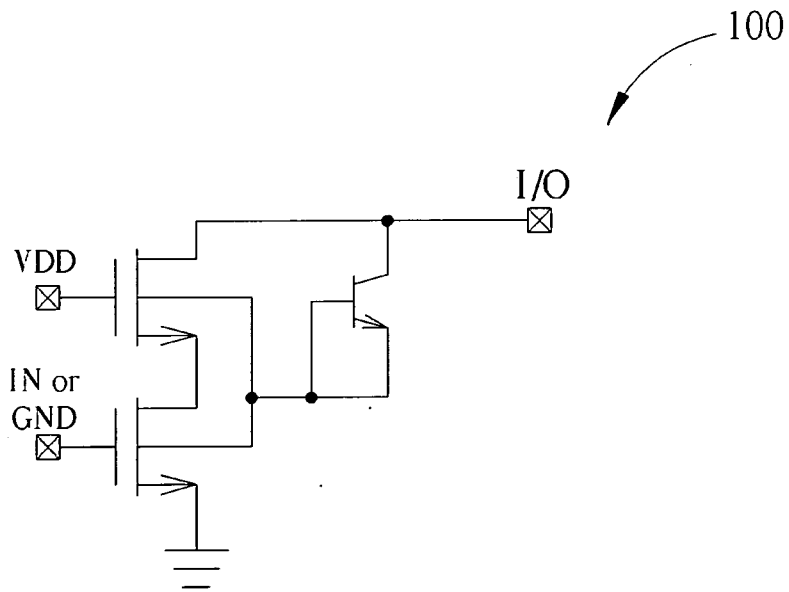
第1B圖



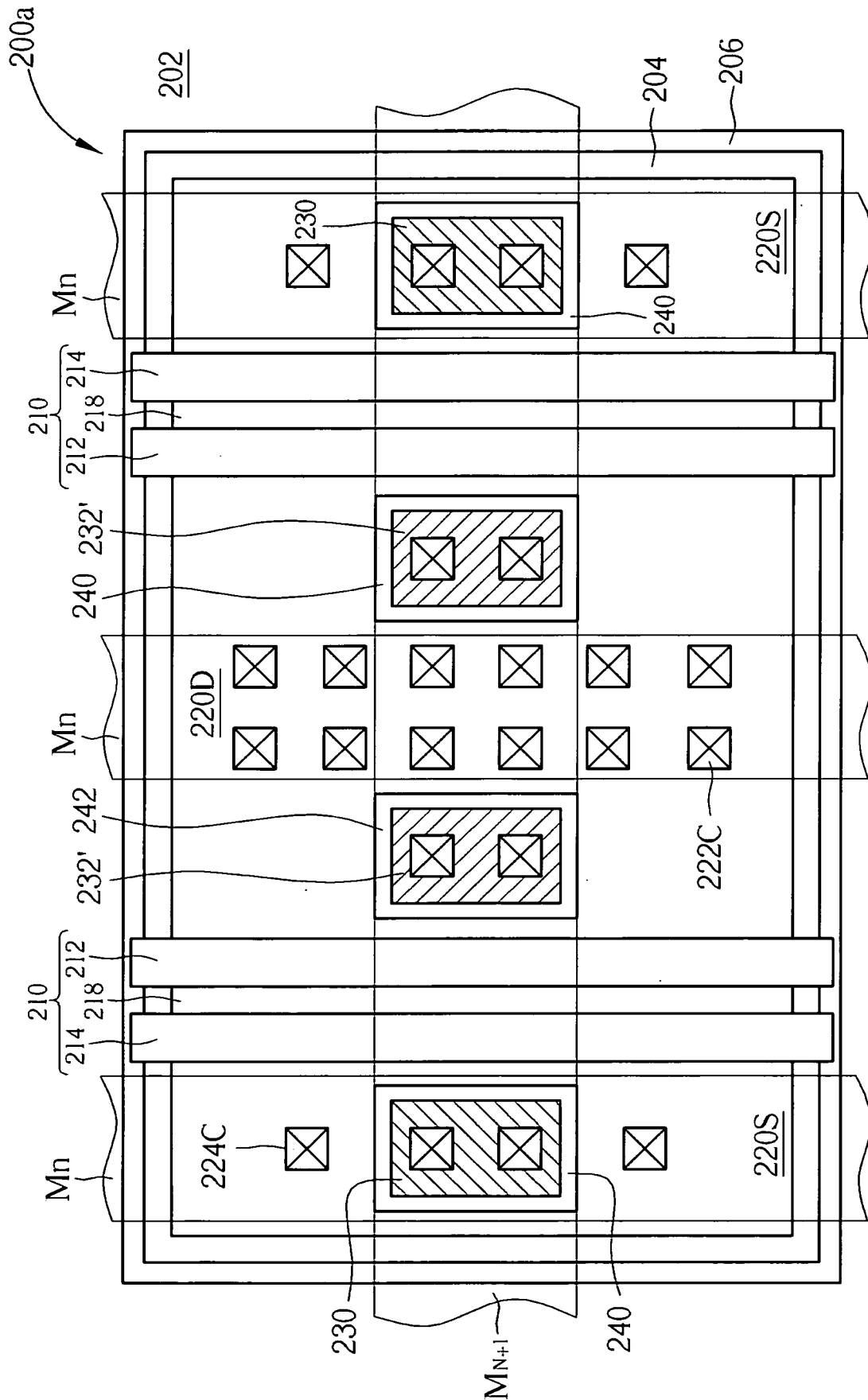
第2A圖



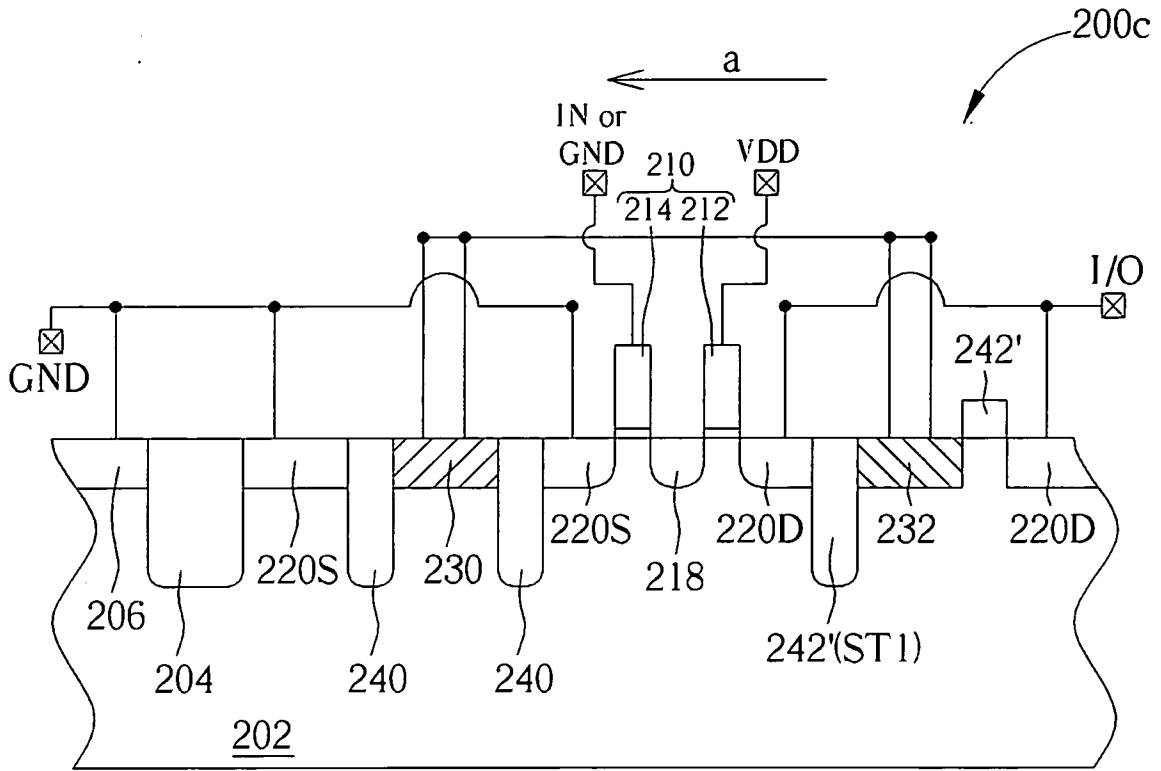
第2B圖



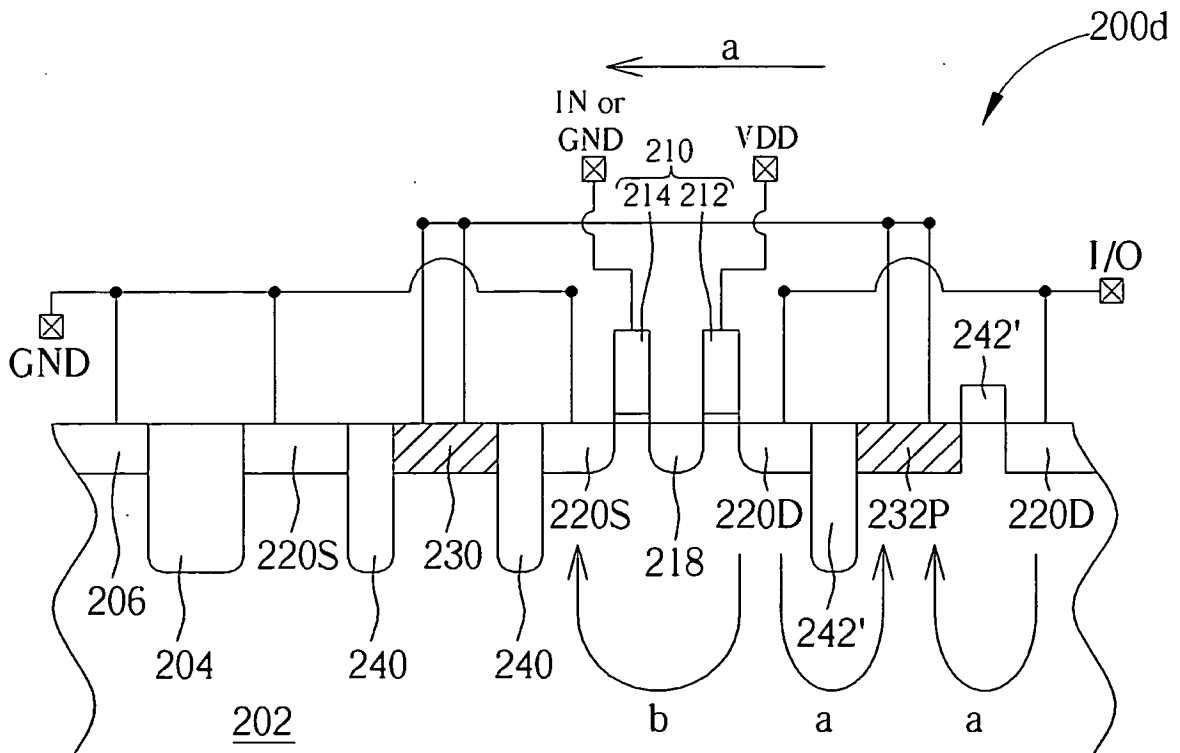
第2C圖



第3圖

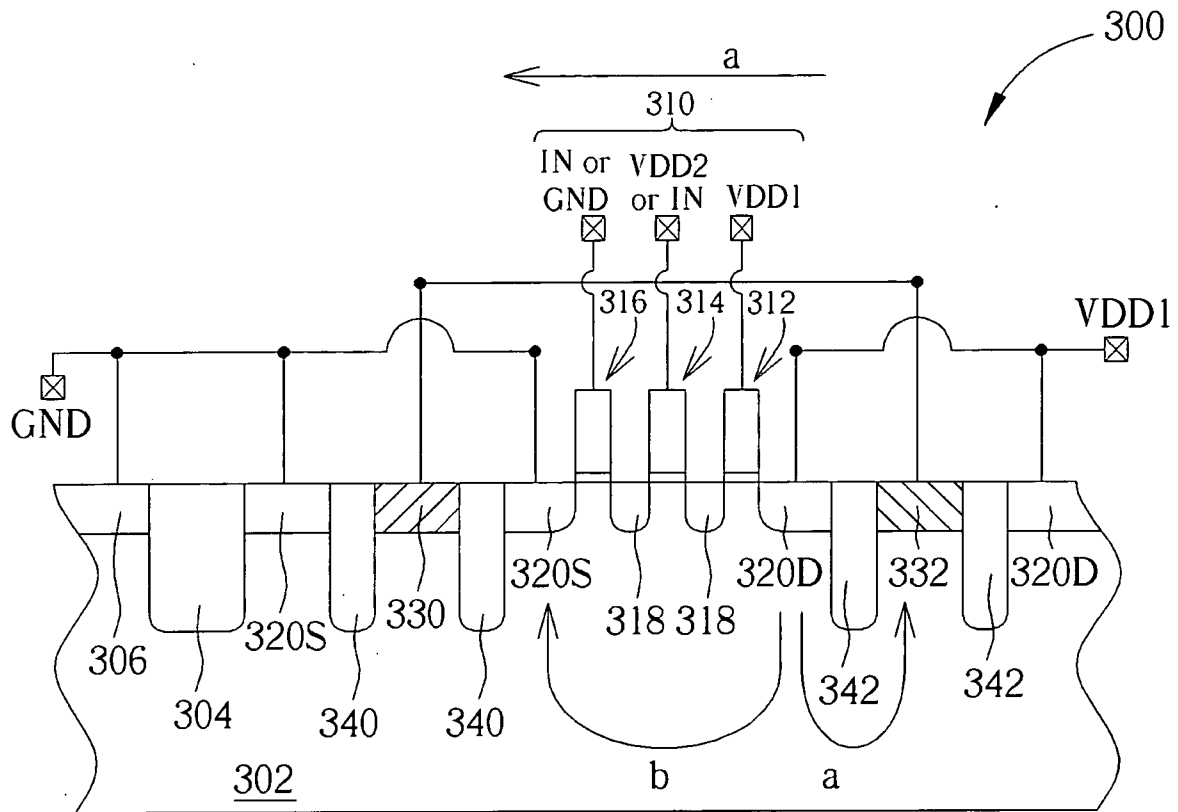


第5圖

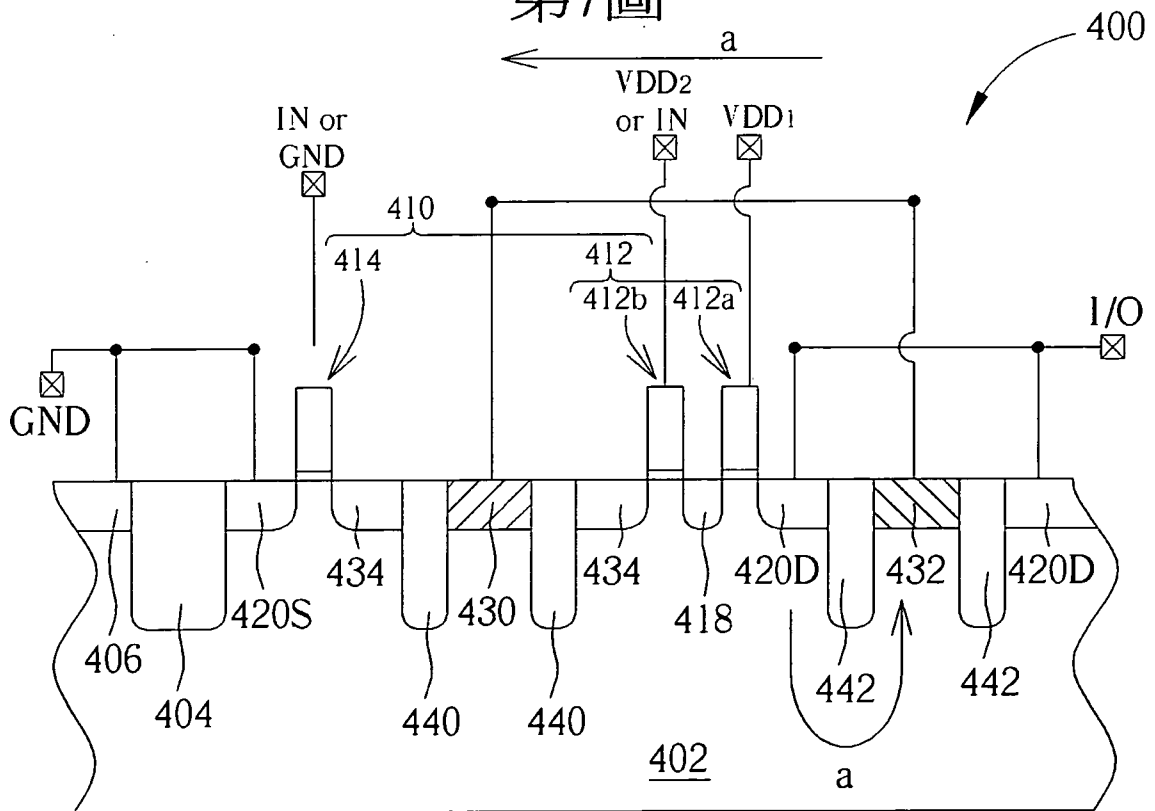


第6圖

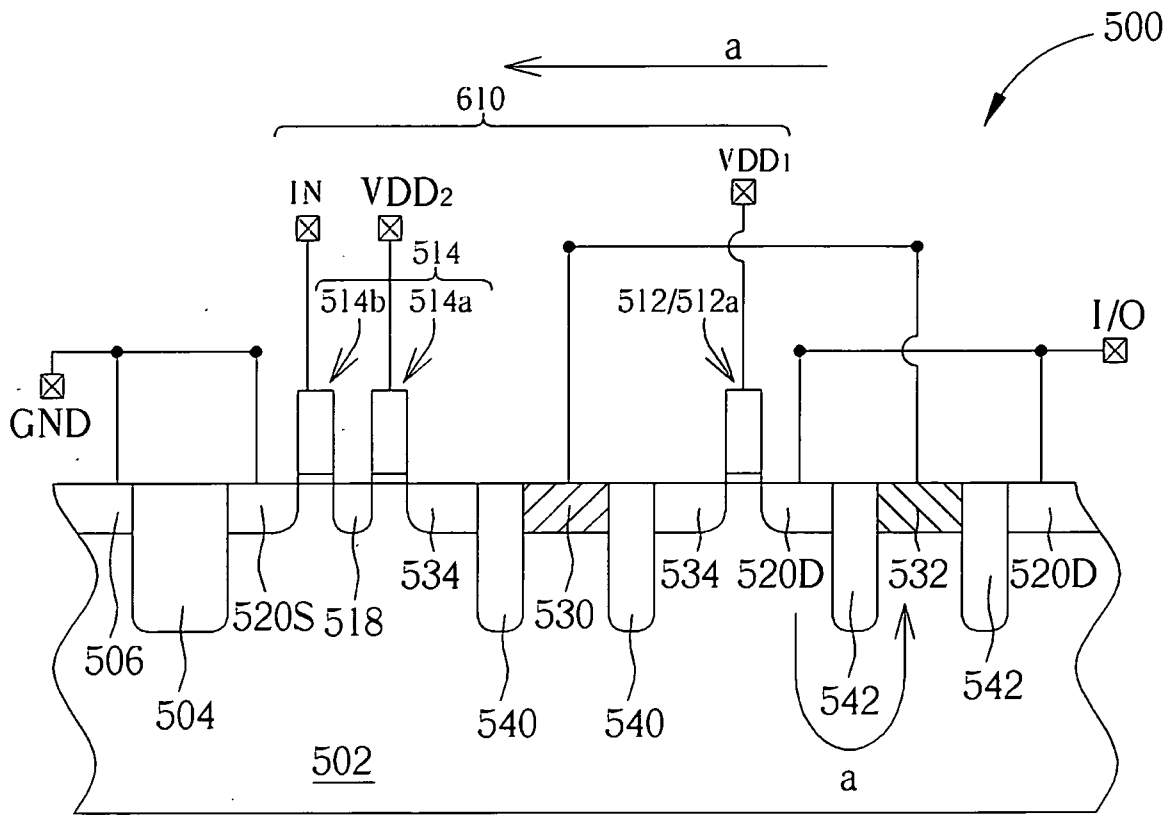
第 6 頁，共 11 頁(發明圖式)



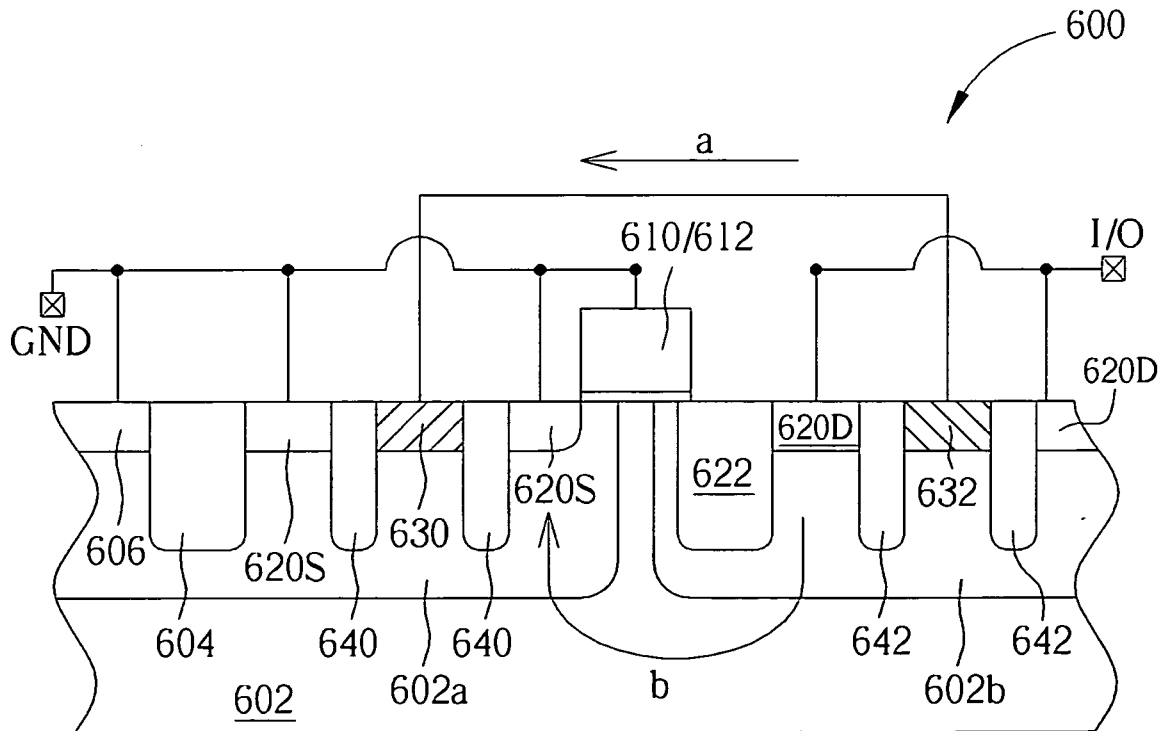
第7圖



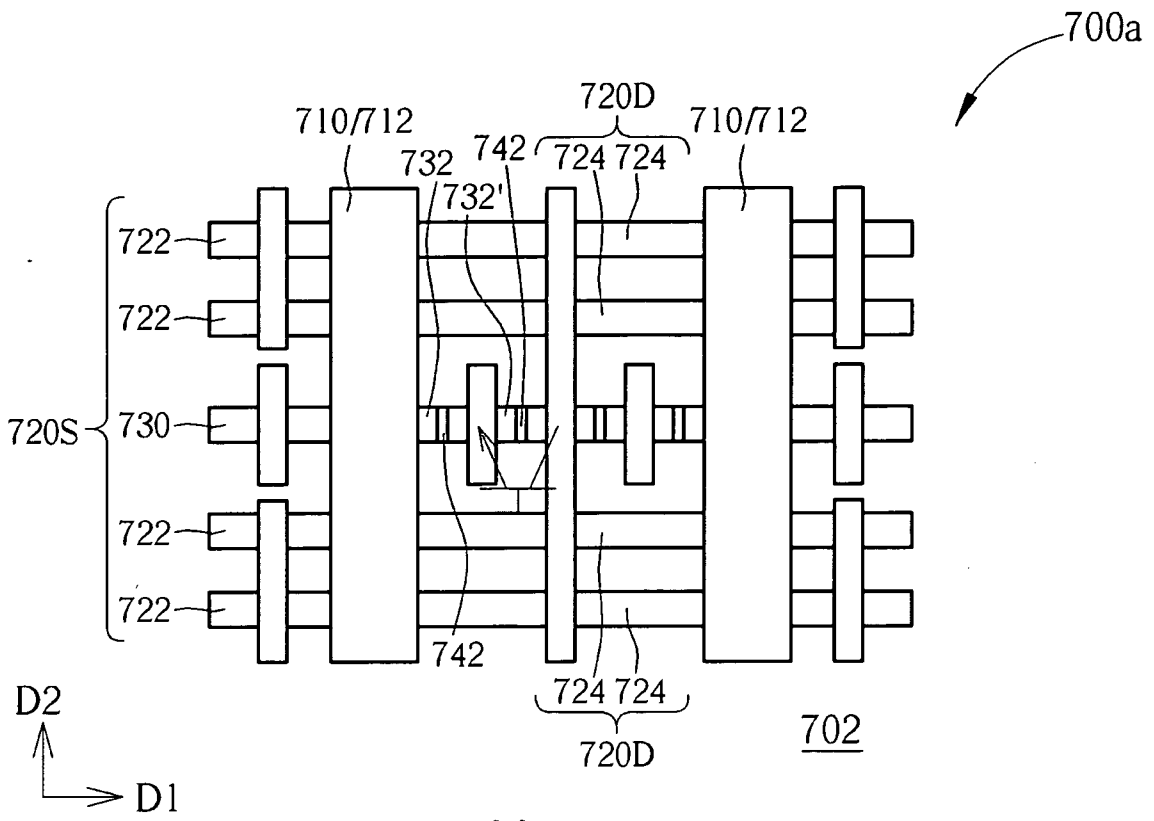
第8圖



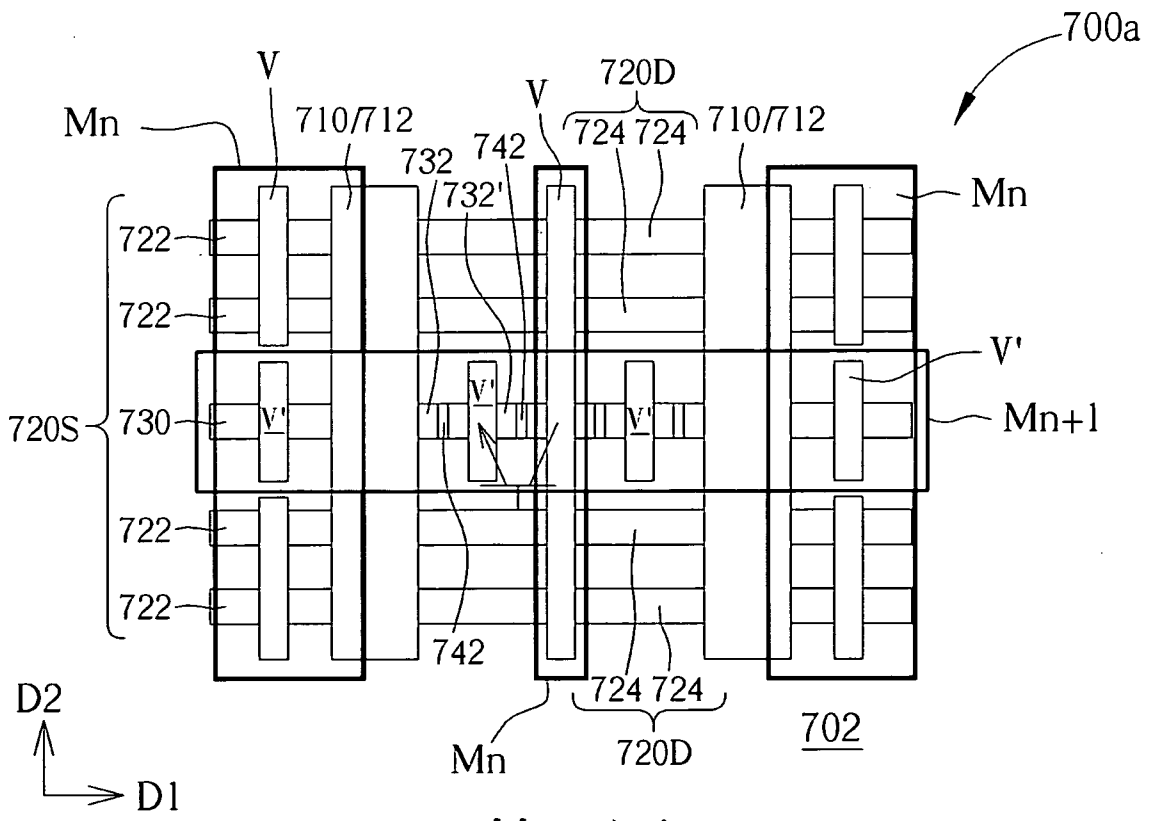
第9圖



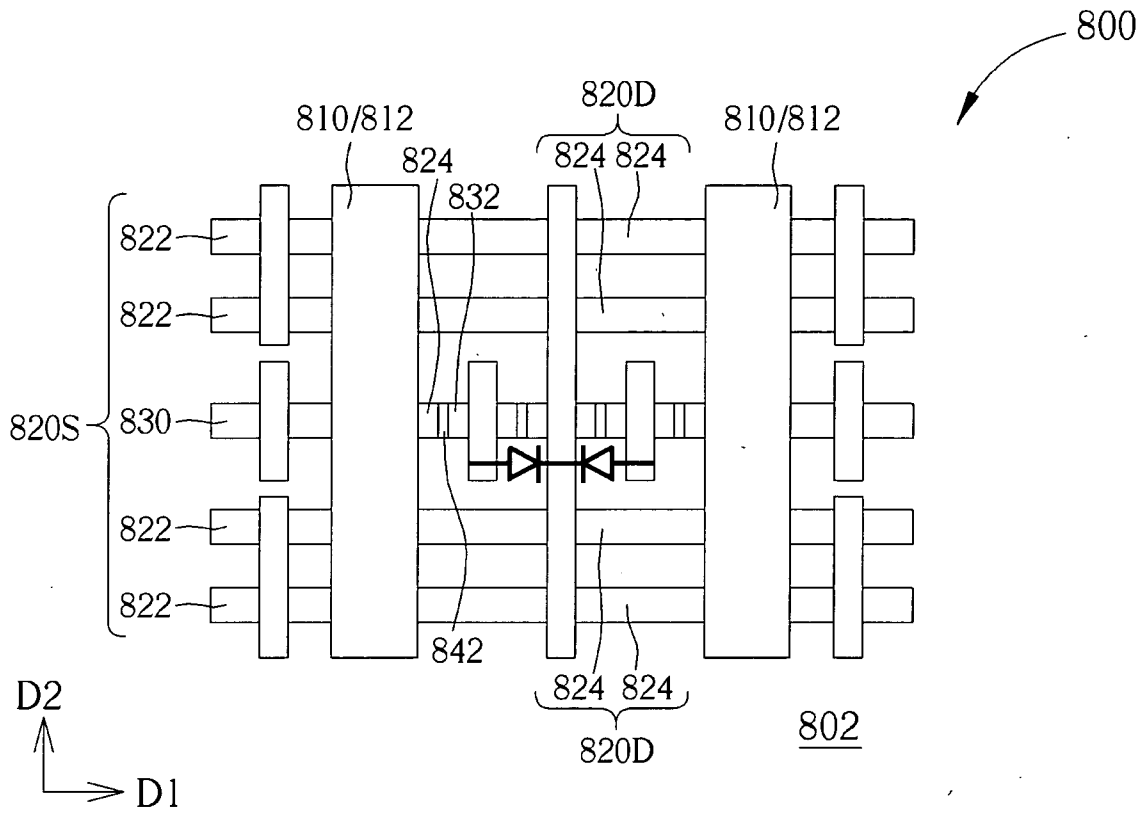
第10圖



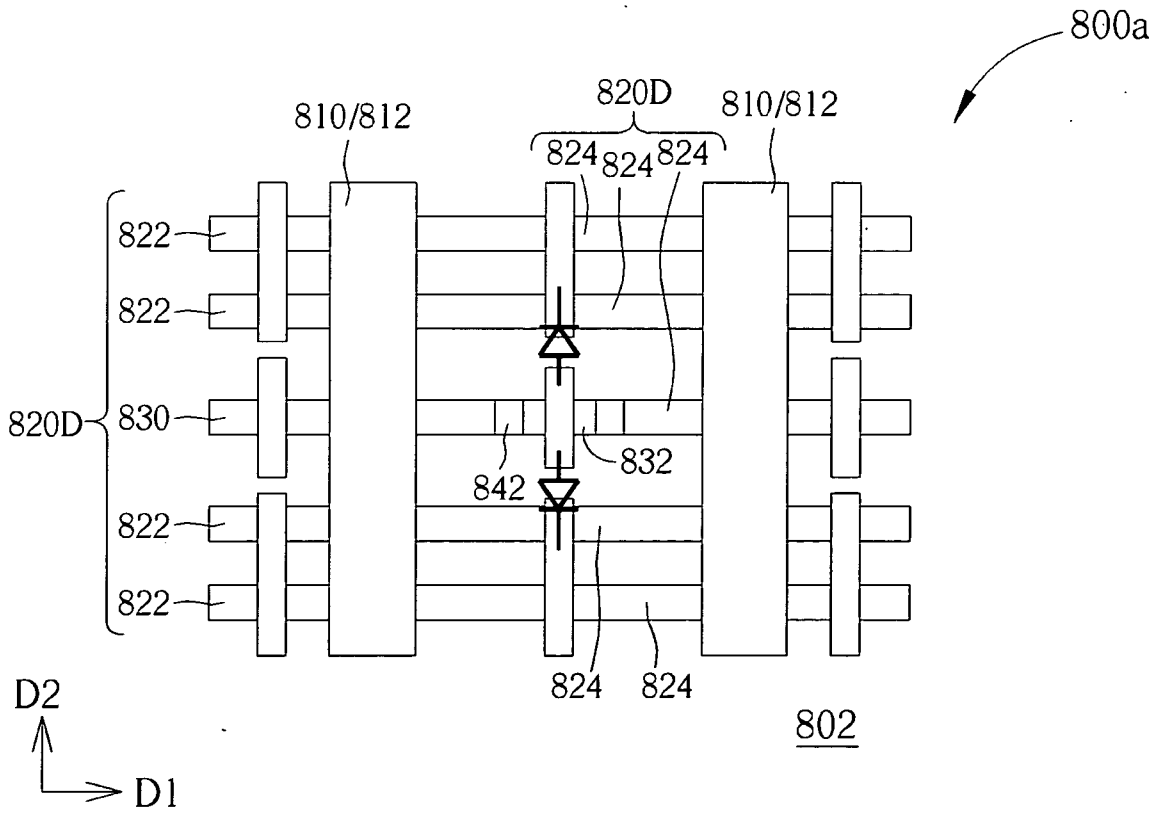
第13圖



第14圖



第15圖



第16圖