



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0041936
(43) 공개일자 2009년04월29일

(51) Int. Cl.

H01L 21/60 (2006.01) *H01L 23/48* (2006.01)

(21) 출원번호 10-2007-0107736

(22) 출원일자 2007년10월25일

심사청구일자 2007년10월25일

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

이종복

경기 부천시 원미구 중동 1178 미리내마을 901동 1206호

(74) 대리인

김용인, 박영복

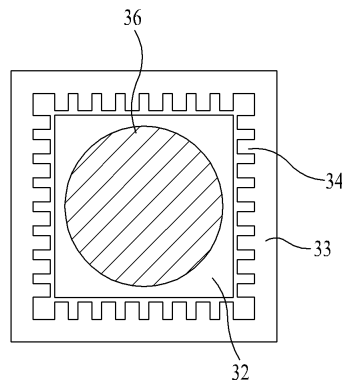
전체 청구항 수 : 총 9 항

(54) 반도체 소자의 금속 패드

(57) 요약

본 발명은 웨이퍼 레벨 패키지 (wafer level package, WLP)에 적용되는 금속 패드에서 볼(ball) 본딩 시, 금속 패드에 클랙이 발생됨을 방지하기 위한 반도체 소자의 금속 패드에 관한 것으로, 콘택 플러그가 형성된 반도체 기판상에 상기 콘택 플러그에 전기적으로 연결되도록 형성된 메인 금속 패드; 그리고 상기 메인 금속 패드의 격리되어 상기 메인 금속 패드의 주변부에 상기 메인 금속 패드를 감싸도록 형성되는 더미 금속 패드를 구비한 것이다.

대표도 - 도2



특허청구의 범위

청구항 1

콘택 플러그가 형성된 반도체 기판상에 상기 콘택 플러그에 전기적으로 연결되도록 형성된 메인 금속 패드; 그리고

상기 메인 금속 패드의 격리되어 상기 메인 금속 패드의 주변부에 상기 메인 금속 패드를 감싸도록 형성되는 더미 금속 패드를 구비함을 특징으로 하는 반도체 소자의 금속 패드.

청구항 2

제 1 항에 있어서,

상기 더미 금속 패드는 상기 더미 금속 패드와 상기 메인 금속 패드 사이의 공간에 복수개의 요철을 갖음을 특징으로 하는 반도체 소자의 금속 패드.

청구항 3

제 2 항에 있어서,

상기 요철은 1 μ m 이상 5 μ m 미만으로 돌출됨을 특징으로 하는 반도체 소자의 금속 패드.

청구항 4

제 1 항에 있어서,

상기 메인 금속 패드와 상기 더미 금속 패드 사이에 1 μ m 이상 10 μ m 미만의 공간을 갖음을 특징으로 하는 반도체 소자의 금속 패드.

청구항 5

제 1 항에 있어서,

상기 메인 금속 패드와 상기 더미 금속 패드는 사각형 모양으로 형성되고, 상기 더미 금속 패드의 코너 부분엔 웨이퍼 공정상에서 라운딩 되도록 가로 및 세로의 사이즈가 동일하도록 형성됨을 특징으로 하는 반도체 소자의 금속 패드.

청구항 6

제 5 항에 있어서,

상기 더미 금속 패드의 코너 부분은 1 μ m * 1 μ m 이상 10 μ m * 10 μ m 미만의 공간을 갖음을 특징으로 하는 반도체 소자의 금속 패드.

청구항 7

제 1 항에 있어서,

상기 메인 금속 패드와 더미 금속 패드가 형성된 반도체 기판의 표면에 상기 메인 금속 패드를 선택적으로 노출시키는 보호막을 더 구비함을 특징으로 하는 반도체 소자의 금속 패드.

청구항 8

제 1 항에 있어서,

상기 메인 금속 패드의 상부에 금속 재질의 불이 더 형성됨을 특징으로 하는 반도체 소자의 금속 패드.

청구항 9

제 1 항에 있어서,

상기 메인 금속 패드 및 더미 금속 패드는 티타늄, 티타늄 합금, 알루미늄, 알루미늄 합금, 니켈, 니켈 합금,

구리, 구리 합금, 크롬, 크롬 합금, 금 또는 금 합금 등으로 형성됨을 특징으로 하는 반도체 소자의 금속 패드.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자에 관한 것으로, 특히 웨이퍼 레벨 패키지 (wafer level package, WLP)에 적용되는 금속 패드에서 볼(ball) 본딩 시 금속 패드에 클랙이 발생됨을 방지하기 위한 반도체 소자의 금속 패드에 관한 것이다.

배경기술

<2> 일반적으로 와이어 본딩(wire bonding) 방식에 의해 제작된 반도체 패키지는 인쇄회로기판의 전극 단자들과 반도체 칩의 패드들이 도전성 와이어에 의해 전기적으로 연결되기 때문에 반도체 패키지의 사이즈가 반도체 칩에 비해 크고, 또한 와이어 본딩 공정에 소요되는 시간이 지체됨에 따라 초소형 반도체 패키지를 대량 생산하는데 한계가 있었다.

<3> 특히, 반도체 칩이 고집적화, 고성능화 및 고속화됨에 따라 반도체 패키지를 소형화 및 대량 생산하기 위한 다양한 노력들이 시도되고 있다. 예를들면, 반도체 칩의 패드들 상에 형성된 솔더 재질이나 금속 재질의 범프를 통해 직접적으로 반도체 칩의 패드들과 인쇄회로기판의 전극 단자들을 전기적으로 연결시키는 반도체 패키지가 제안되었다.

<4> 상기 금속 재질의 범프를 이용한 반도체 패키지는 대표적으로 칩-온 글래스 (Chip on glass) 또는 TCP (tape carrier package) 방식이 적용되고 있으며, 상기 솔더 재질의 범프를 이용한 반도체 패키지는 대표적으로 플립 칩 볼 그리드 어레이(Filp chip ball grid array), 웨이퍼 레벨 칩 사이즈/스케일 패키지(Wafer level chip/scale package) 방식이 적용되고 있다.

<5> 상기 칩 온 글래스 방식은 반도체 칩의 패드상에 금속 재질의 범프를 형성하고 인쇄회로기판의 전극 단자들과 이방 전도성 피터클이 함유된 플리머를 매개로 열압착 및 경화 공정을 통해 반도체 칩의 패드들과 인쇄회로기판의 전극 단자들을 금속 재질의 범프들을 통해 전기적으로 연결함으로써, 반도체 패키지를 제작한다.

<6> 상기 플립 칩 볼 그리드 어레이 방식은 반도체 칩의 패드들과 접촉되는 솔더 재질의 범프들을 기판(substrate)의 패드들과 전기적으로 연결하고, 상기 솔더 재질의 범프들을 외부의 환경이나 외부의 물리적 충격으로부터 보호하기 위하여 언더필을 실시한다. 그리고, 상기 반도체 칩이 접촉될 기판의 배면에 볼(ball)들을 부착하여 인쇄회로기판의 전극 단자들과 전기적으로 연결함으로써, 반도체 패키지를 제작한다.

<7> 상기 웨이퍼 레벨 칩 사이즈/스케일 패키지에서는 제품의 경박단소를 위해 재배치와 금속 재질의 범프를 통해서 칩의 사이즈와 패키지 사이즈를 동일한 크기로 제조할 수 있다.

<8> 상기 솔더 재질의 범프를 이용한 종래의 반도체 패키지 방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.

<9> 도 1은 종래의 반도체 패키지의 구조 단면도이다.

<10> 종래의 반도체 패키지는 금속 패드(1)가 형성된 반도체 칩(10)과, 상기 금속 패드(1)가 형성된 반도체 칩(10)의 표면에 형성되어 상기 금속 패드(1)를 선택적으로 노출시키는 보호막(2)과, 상기 금속 패드(1)의 상부에 형성되는 금속 재질의 볼(3)과, 상기 금속 재질의 볼(3)의 상면과 접촉되는 전극 단자(11)가 표면에 형성되는 인쇄회로기판(20)으로 구성된다.

<11> 즉, 상기 금속 패드(1)가 형성된 반도체 칩(20) 상의 상기 금속 패드(1) 상에 금속 볼(3)을 형성하고, 상기 전극 단자(11)가 형성된 인쇄회로기판을 준비하여, 상기 반도체 칩(10)의 금속 볼(3)과 상기 인쇄회로기판(20)의 전극 단자(11)를 정렬시킨 후 열과 압력을 상기 반도체 칩(10)과 인쇄회로기판(20)에 가하여 상기 반도체 칩(10)의 금속 패드(1)와 상기 인쇄회로기판의 전극 단자(11)를 상기 금속 볼(3)을 통해 전기적으로 연결한다.

<12> 그러나 이와 같은 종래의 반도체 칩 패키지에 있어서는 다음과 같은 문제점이 있었다.

<13> 즉, 상술한 바와 같이, 상기 금속 볼과 상기 인쇄회로기판의 전극 단자를 정렬시킨 후 열과 압력을 상기 반도체

칩과 인쇄회로기판에 가하여 상기 반도체 칩의 금속 패드와 상기 인쇄회로기판의 전극 단자를 상기 금속 볼을 통해 전기적으로 연결할 때, 상기 열적 스트레스(thermal stress), 기계적 압력(mechanical pressure) 및 비정상적인 압력(abnormal pressure)에 의해 상기 반도체 칩의 금속 패드에서 크랙(crack)이 발생된다.

<14> 이로 인하여, 상기 보호막 및 반도체 칩 내부에 결함이 발생되어 반도체 칩이 동작되지 않거나 오동작이 발생된다.

발명의 내용

해결 하고자하는 과제

<15> 본 발명은 이와 같은 종래의 문제점을 해결하기 위하여 안출한 것으로, 반도체 칩의 금속 패드의 주변부에 더미 금속 패드를 형성하여, 상기 금속 볼과 상기 인쇄회로기판의 전극 단자를 정렬시킨 후 열과 압력을 상기 반도체 칩과 인쇄회로기판에 가하여 상기 반도체 칩의 금속 패드와 상기 인쇄회로기판의 전극 단자를 상기 금속 볼을 통해 전기적으로 연결할 때, 열적 스트레스 및 비정상적인 압력에 의해 상기 반도체 칩의 금속 패드에서 크랙이 발생됨을 방지하고 더불어 상기 크랙이 반도체 칩 내부로 확산되는 것을 방지하여 반도체 칩의 불량을 방지할 수 있는 반도체 소자의 금속 패드를 제공하는데 그 목적이 있다.

과제 해결수단

<16> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 금속 패드는, 콘택 플러그가 형성된 반도체 기판상에 상기 콘택 플러그에 전기적으로 연결되도록 형성된 메인 금속 패드; 그리고 상기 메인 금속 패드의 격리되어 상기 메인 금속 패드의 주변부에 상기 메인 금속 패드를 감싸도록 형성되는 더미 금속 패드를 구비함에 그 특징이 있다.

효과

<17> 본 발명에 따른 반도체 소자의 금속 패드에 있어서는 다음과 같은 효과가 있다.

<18> 즉, 인쇄회로기판의 전극 단자에 전기적으로 연결되는 반도체 칩의 메인 금속 패드의 주변부에 상기 메인 금속 패드를 감싸도록 더미 금속 패드를 형성하고, 상기 메인 금속 패드와 더미 금속 패드 사이의 공간에 상기 더미 금속 패드에서 돌출되는 복수개의 요철을 형성한다.

<19> 따라서, 상기 반도체 칩의 메인 금속 패드와 상기 인쇄회로기판의 전극 단자를 상기 금속 볼을 통해 전기적으로 연결할 때, 열적 스트레스 및 비정상적인 압력에 의해 상기 반도체 칩의 메인 금속 패드에서 크랙이 발생됨을 방지하고 더불어 상기 크랙이 반도체 칩 내부로 확산되는 것을 방지하므로 반도체 칩의 불량을 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<20> 상기와 같은 특징을 갖는 본 발명에 따른 반도체 소자의 금속 패드 및 그 제조 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<21> 도 2는 본 발명의 실시예에 따른 반도체 소자의 금속 패드의 평면도이고, 도 3은 본 발명의 실시예에 따른 반도체 소자의 금속 패드의 단면도이다.

<22> 본 발명의 실시예에 따른 반도체 소자(30)은 반도체 기판(도면에는 도시되지 않음)에 포토 다이오드, 박막트랜지스터, 커패시터 등의 반도체 소자가 형성되고, 전면에 층간 절연막이 형성된다. 그리고 상기 반도체 소자와 외부 회로를 연결하기 위해 상기 층간 절연막에 콘택 홀이 형성되고, 상기 콘택 홀내에 금속층이 채워져 콘택 플러그(31)가 형성된다.

<23> 그리고 상기 콘택 플러그(31)에 연결되는 메인 금속 패드(32)가 상기 층간 절연막위에 형성되고, 상기 메인 금속 패드(32)의 주변부의 상기 층간 절연막위에 상기 메인 금속 패드(32)를 감싸도록 더미 금속 패드(33)가 형성된다. 상기 메인 금속 패드(32)와 더미 금속 패드(33)는 전기적으로 서로 격리되어 있다.

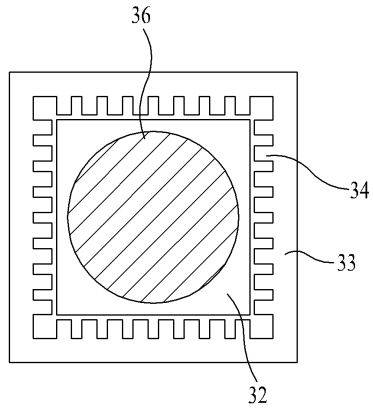
<24> 상기 더미 금속 패드(33)에는 상기 더미 금속 패드(33)와 상기 메인 금속 패드(32) 사이의 공간에 복수개의 요철(34)을 갖는다.

<25> 상기 메인 금속 패드(32)와 상기 더미 금속 패드(33)간의 간격은 1 μ m 이상 10 μ m 미만으로 하고, 상기 요철(34)

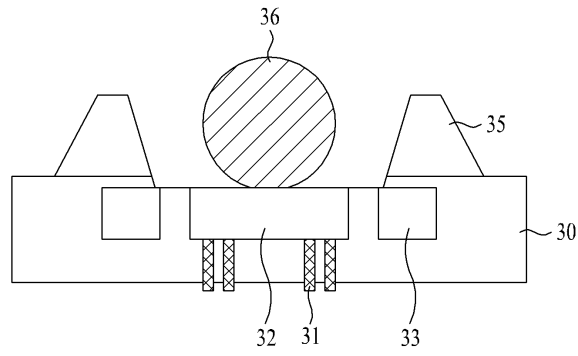
4)은 상기 더미 금속 패드(33)에서 약 1 μ m 이상 5 μ m 미만으로 돌출되도록 형성된다.

- <26> 그리고, 상기 메인 금속 패드(32) 및 더미 금속 패드(33)는 사각형 모양으로 형성되고, 상기 더미 금속 패드(33)의 코너 부분엔 웨이퍼 공정상에서 라운딩 되도록 가로 및 세로의 사이즈가 동일하도록 형성되고, 칩 사이즈에 따른 디자인을 고려하여 1 μ m * 1 μ m 이상 10 μ m * 10 μ m 미만으로 한정한다.
- <27> 상기 더미 금속 패드(33)와 메인 금속 패드(32)의 크기는 종래의 금속 패드의 크기에 상응한다. 즉, 상기 더미 금속 패드(33)의 가장자리가 종래 금속 패드의 가장자리에 상응한다.
- <28> 상기와 같이 메인 금속 패드(32)와 더미 금속 패드(33)가 형성된 반도체 소자(30)의 표면에 상기 메인 금속 패드(32)를 선택적으로 노출시키는 보호막(35)이 형성되고, 상기 메인 금속 패드(32)의 상부에 금속 재질의 볼(36)이 형성된다.
- <29> 그리고, 도면에는 도시되지 않았지만, 종래 기술에서 설명한 바와 같이, 상기 금속 재질의 볼(36)에 상응하는 부분에 전극 단자가 형성되는 인쇄회로기판을 준비하여, 상기 반도체 소자(30)의 금속 볼(36)과 상기 인쇄회로기판의 전극 단자를 정렬시킨 후 열과 압력을 상기 반도체 소자(30)와 인쇄회로기판에 가하여 상기 반도체 소자(30)의 메인 금속 패드(32)와 상기 인쇄회로기판의 전극 단자를 상기 금속 볼(36)을 통해 전기적으로 연결한다.
- <30> 상기와 같이 메인 금속 패드와 더미 금속 패드를 형성하는 제조 방법을 설명하면 다음과 같다.
- <31> 도 4a 내지 4d는 본 발명에 따른 반도체 칩의 패드 형성 공정을 나타낸 공정 단면도이다.
- <32> 도 4a에 도시한 바와 같이, 반도체 소자들이 형성된 반도체 기판(50)상에 포토 다이오드, 박막 트랜지스터 또는 커패시터 등의 반도체 소자를 형성하거나, 하부 배선(51)을 형성한다. 그리고, 상기 배선(51)을 포함한 상기 기판(50) 전면에 층간절연막(52)을 형성한다.
- <33> 도 4b에 도시한 바와 같이, 상기 배선(51)이 노출되도록 상기 층간절연막(52)을 선택적으로 제거하여 콘택 홀을 형성한다. 그리고, 상기 콘택 홀이 채워지도록 도전성 물질을 증착하고 CMP(Chemical Mechanical polishing) 공정을 실시하여 상기 콘택 홀내에 콘택 플러그(31)를 형성한다.
- <34> 도 4c에 도시한 바와 같이, 상기 콘택 플러그(31)를 포함한 상기 층간 절연막(52)위에 금속층을 증착하고 선택적으로 제거하여, 메인 금속 패드(32)와 더미 금속 패드(33)를 형성한다.
- <35> 여기서, 상기 메인 금속 패드(32) 및 더미 금속 패드(33)는 티타늄, 티타늄 합금, 알루미늄, 알루미늄 합금, 니켈, 니켈 합금, 구리, 구리 합금, 크롬, 크롬 합금, 금 또는 금 합금 등으로 형성한다.
- <36> 상기 메인 금속 패드(32)와 더미 금속 패드(33)의 구성은 상기 도 2 및 도 3에서 설명한 바와 같다.
- <37> 즉, 상기 더미 금속 패드(33)는 상기 메인 금속 패드(32)를 감싸도록 형성하고, 상기 메인 금속 패드(32)와 더미 금속 패드(33)는 전기적으로 서로 격리된다. 그리고, 상기 더미 금속 패드(33)와 상기 메인 금속 패드(32) 사이의 공간에서, 상기 더미 금속 패드(33)에는 복수개의 요철(34)을 갖고, 상기 메인 금속 패드(32)와 상기 더미 금속 패드(33)간의 간격은 1 μ m 이상 10 μ m 미만으로 하고, 상기 요철(34)은 상기 더미 금속 패드(33)에서 약 1 μ m 이상 5 μ m 미만으로 돌출되도록 형성된다.
- <38> 그리고, 상기 더미 금속 패드(33)의 코너 부분엔 웨이퍼 공정상에서 라운딩 되도록 가로 및 세로의 사이즈가 동일하도록 형성되고, 칩 사이즈에 따른 디자인을 고려하여 1 μ m * 1 μ m 이상 10 μ m * 10 μ m 미만으로 한정한다.
- <39> 도 4d에 도시한 바와 같이, 상기 메인 금속 패드(32) 및 더미 금속 패드(33)를 포함한 기판(51) 전면에 보호막(35)을 증착하고, 상기 메인 금속 패드(32)만 노출되도록 상기 보호막(35)을 선택적으로 제거하여 반도체 칩을 형성한다.
- <40> 그리고, 도면에는 도시되지 않았지만, 도 3에 도시한 바와 같이, 상기 메인 금속 패드(32)위에 금속 볼(36)을 형성하고, 상기 금속 볼(36)에 상응하는 부분에 전극 단자가 형성되는 인쇄회로기판을 준비한다. 그리고, 상기 반도체 소자의 금속 볼과 상기 인쇄회로기판의 전극 단자를 정렬시킨 후, 열과 압력을 상기 반도체 소자와 인쇄회로기판에 가하여 상기 반도체 칩의 메인 금속 패드와 상기 인쇄회로기판의 전극 단자를 전기적으로 연결한다.
- <41> 여기서, 상기 더미 금속 패드(33)에 요철을 형성하지 않아도 무방하나, 상기 반도체 칩의 메인 금속 패드와 상기 인쇄회로기판의 전극 단자를 상기 금속 볼을 통해 전기적으로 연결할 때, 열적 스트레스 및 비정상적인 압력

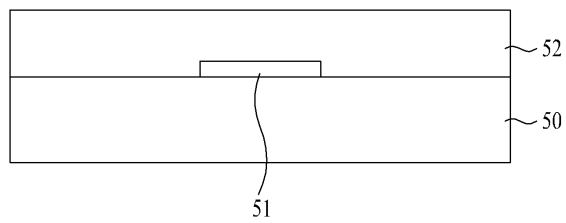
도면2



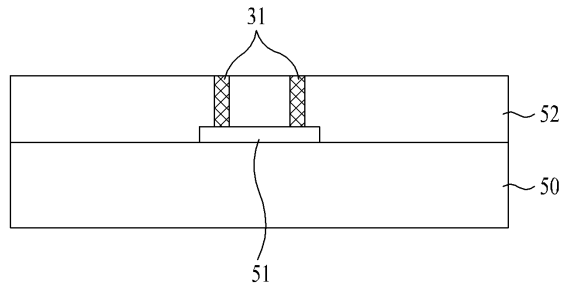
도면3



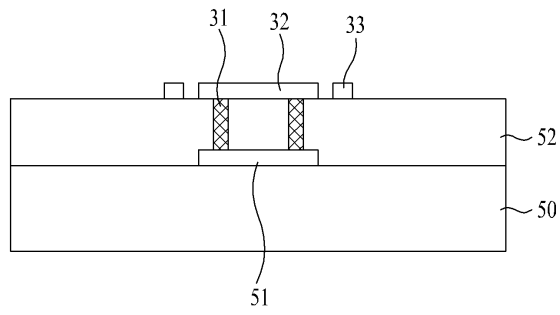
도면4a



도면4b



도면4c



도면4d

