

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-319077

(P2006-319077A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 5 1	5 F 0 5 8
HO 1 L 21/8242 (2006.01)	HO 1 L 21/316 P	5 F 0 8 3
HO 1 L 21/316 (2006.01)	HO 1 L 27/10 6 2 1 C	

審査請求 有 請求項の数 8 O L (全 13 頁)

(21) 出願番号	特願2005-139242 (P2005-139242)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成17年5月12日 (2005.5.12)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(72) 発明者	山口 弘 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
		(72) 発明者	喜多村 宏之 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
		Fターム(参考)	5F058 BA11 BA20 BC03 BH01

最終頁に続く

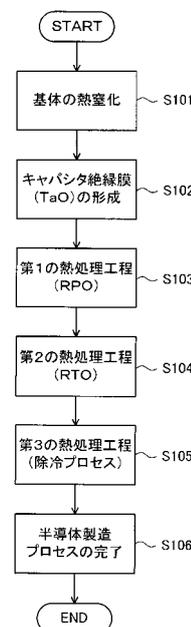
(54) 【発明の名称】 金属酸化物誘電体膜の形成方法及び半導体記憶装置の製造方法

(57) 【要約】

【課題】 リーク電流が十分に低減された高品質な金属酸化物誘電体膜を形成する。

【解決手段】 下部電極210上に薄いシリコン窒化膜212を形成する熱窒化工程と、金属有機物前駆体を使用して基体200上に非晶質金属酸化物誘電体膜213aを堆積させる成膜工程と、酸素雰囲気内において基体を非晶質金属酸化物誘電体膜213aの結晶化温度よりも低い第1の温度で加熱する第1の熱処理工程と、酸素雰囲気内において基体200を金属酸化物誘電体膜213aの結晶化温度よりも高い第2の温度で加熱する第2の熱処理工程と、第1及び第2の熱処理工程よりも長い時間にわたって、基体を非晶質金属酸化物誘電体膜の結晶化温度よりも低い第3の温度からそれよりも低い所定の温度まで徐冷しながら加熱する第3の熱処理工程と、半導体記憶装置の製造プロセスを完了させる工程からなる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基体上に金属酸化物誘電体膜を形成する方法であって、
前記基体上に非晶質の金属酸化物誘電体膜を堆積させる成膜工程と、
酸素雰囲気内において前記基体を前記金属酸化物誘電体膜の結晶化温度よりも低い第 1 の温度で加熱する第 1 の熱処理工程と、
酸素雰囲気内において前記基体を前記金属酸化物誘電体膜の結晶化温度よりも高い第 2 の温度で加熱することにより前記金属酸化物誘電体膜を結晶化させる第 2 の熱処理工程と、
前記基体を前記金属酸化物誘電体膜の結晶化温度よりも低い第 3 の温度に加熱した後、
前記第 1 及び第 2 の熱処理工程よりも長い時間にわたって、前記第 3 の温度よりも低い所定の温度まで徐冷する第 3 の熱処理工程を含むことを特徴とする金属酸化物誘電体膜の形成方法。

10

【請求項 2】

前記第 3 の熱処理工程は、酸素雰囲気内において行うことを特徴とする請求項 1 に記載の金属酸化物誘電体膜の形成方法。

【請求項 3】

前記第 1 及び第 2 の熱処理工程における加熱を 60 乃至 180 秒間行い、
前記第 3 の熱処理工程における徐冷を 60 乃至 100 分間行うことを特徴とする請求項 1 又は 2 に記載の金属酸化物誘電体膜の形成方法。

20

【請求項 4】

前記第 1 の熱処理工程における前記第 1 の温度は、600 乃至 650 であり、
前記第 2 の熱処理工程における前記第 2 の温度は、750 乃至 800 であり、
前記第 3 の熱処理工程における前記第 3 の温度は、680 乃至 730 であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の金属酸化物誘電体膜の形成方法。

【請求項 5】

前記金属酸化物誘電体膜は、酸化タンタル (TaO) からなることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の金属酸化物誘電体膜の形成方法。

【請求項 6】

前記成膜工程に先立って、前記基体を熱窒化する工程をさらに含むことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の金属酸化物誘電体膜の形成方法。

30

【請求項 7】

第 2 の熱処理工程は、急速熱処理装置を用いて加熱する工程であり、
前記第 3 の熱処理工程は、拡散炉を用いて加熱する工程であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の金属酸化物誘電体膜の形成方法。

【請求項 8】

セルトランジスタ及び前記セルトランジスタに接続されたセルキャパシタを含む半導体記憶装置の製造方法であって、前記セルキャパシタの下部電極を覆う金属酸化物誘電体膜を形成する誘電体膜形成工程を備え、前記誘電体膜形成工程は、
前記下部電極を覆う非晶質の金属酸化物誘電体膜を堆積させる成膜工程と、
酸素雰囲気内において前記金属酸化物誘電体膜を結晶化温度よりも低い第 1 の温度で加熱する第 1 の熱処理工程と、
酸素雰囲気内において前記金属酸化物誘電体膜を結晶化温度よりも高い第 2 の温度で加熱することにより前記金属酸化物誘電体膜を結晶化させる第 2 の熱処理工程と、
前記金属酸化物誘電体膜を結晶化温度よりも低い第 3 の温度に加熱した後、前記第 1 及び第 2 の熱処理工程よりも長い時間にわたって、前記第 3 の温度よりも低い所定の温度まで徐冷する第 3 の熱処理工程を含むことを特徴とする半導体記憶装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、金属酸化物誘電体膜の形成方法及び半導体記憶装置の製造方法に関し、特に、D R A M (Dynamic Random Access Memory) のキャパシタ絶縁膜の形成に好適な金属酸化物誘電体膜の形成方法及び当該方法を用いた半導体記憶装置の製造方法に関するものである。

【背景技術】

【0002】

D R A M のキャパシタ絶縁膜としては、酸化タンタル ($T a O$)、五酸化タンタル ($T a_2 O_5$)、二酸化チタン ($T i O_2$) のなどの金属酸化物誘電体が好ましく用いられる。これらの絶縁膜は一般に金属有機物を使用した熱化学蒸着によって非晶質状態で堆積されるが、金属有機物前駆体を使用すると、金属酸化物内に炭素が取り込まれる傾向がある。過剰な炭素は、金属酸化物誘電体膜内に大きなリーク電流を生じさせ、絶縁膜としての機能を低下させるという問題がある。

10

【0003】

このような問題を解決するため、次のような金属酸化物誘電体膜の形成方法が考えられている (特許文献 1 参照)。この方法は、金属有機物前駆体を使用して非晶質金属酸化物誘電体膜を基体上に堆積させ、次いで不活性雰囲気内において基体を金属酸化物誘電体膜の結晶化温度よりも低い温度 (例えば $700 \sim 750$) で $60 \sim 180$ 秒ほど加熱して非晶質金属酸化物誘電体膜中の過剰な炭素を取り除き、次いで不活性雰囲気内において基体を金属酸化物誘電体膜の結晶化温度よりも高い温度 (例えば $750 \sim 850$) で $60 \sim 180$ 秒ほど加熱してこれを結晶化させ、さらに、酸素雰囲気内において基体を結晶化温度よりも高い温度 (例えば $750 \sim 850$) で $30 \sim 60$ 秒ほど加熱して、多結晶金属酸化物誘電体膜中の酸素空位を充填させるとともに、二酸化シリコン層の形成を防止するものである。

20

【0004】

その他にも、本発明に関連する技術としては種々のものが存在している (特許文献 2 乃至 5 を参照)。

【特許文献 1】特表 2002 - 527904 号公報

【特許文献 2】特開 2001 - 53253 号公報

【特許文献 3】特開 2001 - 24169 号公報

【特許文献 4】特許第 3211747 号公報

【特許文献 5】特許第 3296307 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、D R A M の重要な特性である情報保持時間 ($t R E F$) は、長ければ長いほどリフレッシュレートを低くすることができ、低消費電力を実現することができるので、モバイル製品等に好適で高性能なメモリデバイスを提供することが可能となる。

【0006】

しかしながら、特許文献 1 に開示された方法は、金属酸化物誘電体膜内のリーク電流 (キャパシタリーク電流) の発生をある程度抑制することはできるが、接合リーク電流を低減することはできない。D R A M の情報保持時間 ($t R E F$) はキャパシタリーク電流のみならず p n 接合間に発生するリーク電流 (接合リーク電流) の影響を大きく受けるため、キャパシタリーク電流とともに接合リーク電流を十分に低減しなければ D R A M の情報保持特性のさらなる向上を図ることは困難である。

40

【0007】

また、最近では H S G (Hemispherical Silicon Grain) と呼ばれるシリコンの凹凸を下部電極の表面に形成することでキャパシタ容量の増大が図られているが、この上に誘電体膜を形成した場合にはピンホール等の微小欠陥が発生しやすく、仮に正常な誘電体膜が形成された場合であっても、後のプロセスで誘電体膜の品質が劣化するという問題が発生している。そのため、キャパシタ絶縁膜の信頼性を維持しつつ、D R A M の情報保持特性 (

50

t R E F 特性)のさらなる向上を図る新たな工夫が望まれている。

【0008】

したがって、本発明の目的は、リーク電流が十分に低減された高品質な金属酸化物誘電体膜の形成方法及び当該方法を用いた半導体記憶装置の製造方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の上記目的は、基体上に金属酸化物誘電体膜を形成する方法であって、前記基体上に非晶質の金属酸化物誘電体膜を堆積させる成膜工程と、酸素雰囲気内において前記基体を前記金属酸化物誘電体膜の結晶化温度よりも低い第1の温度で加熱する第1の熱処理工程と、酸素雰囲気内において前記基体を前記金属酸化物誘電体膜の結晶化温度よりも高い第2の温度で加熱することにより前記金属酸化物誘電体膜を結晶化させる第2の熱処理工程と、前記基体を前記金属酸化物誘電体膜の結晶化温度よりも低い第3の温度に加熱した後、前記第1及び第2の熱処理工程よりも長い時間にわたって、前記第3の温度よりも低い所定の温度まで徐冷する第3の熱処理工程を含むことを特徴とする金属酸化物誘電体膜の形成方法によって達成される。

10

【0010】

本発明において、前記第3の熱処理工程は、酸素雰囲気内において行うことが好ましい。

【0011】

本発明においては、前記第1及び第2の熱処理工程における加熱を60乃至180秒間行い、前記第3の熱処理工程における徐冷を60乃至100分間行うことが好ましい。

20

【0012】

本発明において、前記第1の熱処理工程における前記第1の温度は、600乃至650であり、前記第2の熱処理工程における前記第2の温度は、750乃至800であり、前記第3の熱処理工程における前記第3の温度は、680乃至730であることが好ましい。

【0013】

本発明において、前記金属酸化物誘電体膜は、酸化タンタル(TaO)からなることが好ましい。

【0014】

本発明においては、前記成膜工程に先立って、前記基体を熱窒化する工程をさらに含むことが好ましい。

30

【0015】

本発明において、第2の熱処理工程は、急速熱処理装置を用いて加熱する工程であり、前記第3の熱処理工程は、拡散炉を用いて加熱する工程であることが好ましい。

【0016】

本発明の上記目的は、セルトランジスタ及び前記セルトランジスタに接続されたセルキャパシタを含む半導体記憶装置の製造方法であって、前記セルキャパシタの下部電極を覆う金属酸化物誘電体膜を形成する誘電体膜形成工程を備え、前記誘電体膜形成工程は、前記下部電極を覆う非晶質の金属酸化物誘電体膜を堆積させる成膜工程と、酸素雰囲気内において前記金属酸化物誘電体膜を結晶化温度よりも低い第1の温度で加熱する第1の熱処理工程と、酸素雰囲気内において前記金属酸化物誘電体膜を結晶化温度よりも高い第2の温度で加熱することにより前記金属酸化物誘電体膜を結晶化させる第2の熱処理工程と、前記金属酸化物誘電体膜を結晶化温度よりも低い第3の温度に加熱した後、前記第1及び第2の熱処理工程よりも長い時間にわたって、前記第3の温度よりも低い所定の温度まで徐冷する第3の熱処理工程を含むことを特徴とする半導体記憶装置の製造方法によっても達成される。

40

【発明の効果】

【0017】

本発明によれば、半導体記憶装置の一つであるD R A Mのキャパシタ絶縁膜として金属

50

酸化物誘電体膜を用いる場合に、リーク電流が十分に低減されたより高品質な金属酸化物誘電体膜を形成することができるとともに、接合リークの低減を図ることができる。よって、キャパシタ絶縁膜の信頼性を確保しつつ、DRAMの情報保持特性(t_{REF} 特性)の向上を図ることができる。

【発明を実施するための最良の形態】

【0018】

以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。

【0019】

図1は、半導体記憶装置の製造プロセスの一部であって、本発明の好ましい実施形態に係る金属酸化物誘電体膜の形成手順を示すフローチャートである。また、図2乃至図5は、図1に示した各工程における基体の構成を模式的に示す断面図である。

10

【0020】

図2に示すように、本実施形態に用いられる基体200は、DRAMの製造に用いられる基体であって、周知の方法で形成されたメモリセル要部201を含み、さらにセルキャパシタ用下部電極210を有している。メモリセル要部201は、P型シリコン基板202、P型シリコン基板202の裏面付近に設けられたゲッタサイトとしての役割を果たすポリシリコン層202a、P型シリコン基板202内に形成されたSTI(Shallow Trench Isolation)203及びN型拡散領域204、P型シリコン基板202上に形成されたゲート絶縁膜205、ワード線となるゲート電極206、コンタクトプラグ207、層間絶縁膜208、タングステン等の高融点金属からなるビット線209等を有している。そして、メモリセル要部201のうちN型拡散領域204、ゲート絶縁膜205、ゲート電極206によってセルトランジスタが構成される。セルキャパシタ用下部電極210はこのようなメモリセル要部201の上層に設けられており、下部電極210はコンタクトプラグ207を介してN型拡散領域204に接続されている。キャパシタ容量をできるだけ大きくするため、下部電極210はHSGで構成されており、セルキャパシタ用深孔211内に形成されている。

20

【0021】

本実施形態における最初の工程は、図1並びに図3にも示すように、基体200を熱窒化し、下部電極210上に薄いシリコン窒化膜212を形成する熱窒化工程である(ステップS101)。この工程は、RTN(Rapid Thermal Nitridation)とも呼ばれ、基体を750℃のアンモニア雰囲気内で1分程度アニールすることにより、基体200の表面に1nm程度のシリコン窒化膜(Si_3N_4)を形成する。シリコン窒化膜は、後述のプラズマ酸化において下部電極210の酸化を防止するバリア膜としての役割を果たす。

30

【0022】

次の工程は、図4にも示すように、基体200上にキャパシタ絶縁膜となる非晶質の金属酸化物誘電体膜213aを形成する成膜工程である(ステップS102)。本実施形態においては、金属酸化物誘電体膜213aとして例えば酸化タンタル(TaO)をCVD法により堆積させる。このときの原料ガスとしては金属有機物であるペンタエトキシタンタル(PET)を用い、430℃程度の温度条件下で堆積させることにより、5~20nm程度の厚みを有する非晶質の酸化タンタル膜を形成する。

40

【0023】

次の工程は、基体200を非晶質の金属酸化物誘電体膜213aの結晶化温度よりも低い温度(第1の温度)で所定の時間(第1の時間)にわたって加熱する第1の熱処理工程である(ステップS103)。この工程では、RPO(Remote Plasma Oxidation:遠隔プラズマ酸化)を採用することが好ましい。遠隔プラズマ酸化では、遠隔生成されたプラズマによって活性化されたエネルギーレベルの高い酸素原子に基体をさらすことで、非晶質の酸化タンタル膜を酸素含有雰囲気内でアニールする。このときの加熱温度としては600~700℃とすることが好ましく、加熱時間としては60~180秒とすることが好ましい。非晶質酸化タンタル膜中にはその形成時に炭素等の不純物が取り込まれており、これがリーク電流の原因となるが、そのような不純物がプラズマ酸化によって取り除かれ

50

るので、酸化タンタル膜の膜質を改善することができる。

【0024】

次の工程は、基体200を金属酸化物誘電体膜の結晶化温度よりも高い温度（第2の温度）で所定の時間（第2の時間）にわたって加熱することにより金属酸化物誘電体膜を結晶化させる第2の熱処理工程である（ステップS104）。この工程ではRTO（Rapid Thermal Oxidation：急速熱酸化）を採用することが好ましい。RTOでは、急速熱処理装置（RTP：Rapid Thermal Process）を用いて基体を780 程度の酸素含有雰囲気内で60～180秒程度アニールすることにより、非晶質酸化タンタル膜を結晶化させる。なお、このときの加熱時間は1分程度で足り、数十分もの加熱は必要としない。

【0025】

次の工程は、基体200を金属酸化物誘電体膜の結晶化温度よりも低い温度（第3の温度）で加熱した後、第1及び第2の熱処理工程よりも長い時間にわたって徐冷する第3の熱処理工程である（ステップS105）。この工程が第2の熱処理工程と異なるのは、第1及び第2の熱処理工程よりも十分に長い時間にわたって、温度を徐々に低下させながら基体を加熱する点である。そのため、第2の熱処理工程とは別の加熱手段が用いられ、第2の熱処理工程が完了した時点で基体は急速熱処理装置から取り出され、徐冷用の拡散炉に入れ直して新たな熱処理が行われる。このときの徐冷時間としては60～100分程度とすることが好ましく、80分とすることがより好ましい。また、加熱開始温度（第3の温度）は680～730 とすることが好ましく、700 とすることがより好ましい。そして、徐冷の際は700 から600 まで1.5 /分の割合で低下させることが好ま

10

20

【0026】

ここで、第3の熱処理工程は酸素雰囲気内で行うことが好ましい。第3の熱処理工程を窒素雰囲気内で行った場合にはtREF特性こそ向上するものの、シリコン窒化膜212を含む誘電体膜に損傷が発生してその膜質が劣化してしまうおそれがあるのに対し、本工程を酸素含有雰囲気内で行った場合には、誘電体膜の膜質を維持しつつtREF特性の向上を図ることができるからである。

【0027】

図6は、第3の熱処理工程をより詳細に示すシーケンス図である。

【0028】

図6に示すように、第3の熱処理工程では、まず300度に予熱された拡散炉内に基体200をロードし（S601）、ロードによって変動した拡散炉内の予熱温度を一定時間かけて300 に安定させた上で（S602）、拡散炉内の温度を700 まで一気に上昇させる（S603）。このとき、700 まで達した拡散炉内の温度はオーバーシュートやアンダーシュートを繰り返して徐々に収束することから、700 に安定するまで10分程度放置し（S604）、さらに700 の安定した温度条件下に基体200を5分ほど曝した後（S605）、実際の徐冷を開始する（S606）。徐冷では、700 から600 まで1.5 /分の割合で温度を低下させながら加熱する。その後、拡散炉を窒素雰囲気でパージし（S607）、拡散炉内の温度を300 まで冷やした後（S608）、基体200を取り出して（S609）、第3の熱処理工程を終了する。

30

40

【0029】

このように、第2の熱処理工程の後に徐冷プロセスである第3の熱処理工程を行った場合には、接合周辺に存在する重金属、あるいは接合破壊に影響する不純物を活性化させ、多くの結晶欠陥を含むポリシリコン層202aにそれらの不純物を吸着させることができるので、接合リーク電流の低減を図ることができ、tREF特性の向上を図ることができる。

【0030】

本実施形態における最後の工程は、半導体記憶装置の製造プロセスを完了させることである（ステップS106）。例えば、図5に示すように、一連の熱処理が行われた金属酸化物誘電体によるキャパシタ絶縁膜213の上に上部電極214を形成する。具体的には

50

、キャパシタ絶縁膜 213 の上に窒化チタン (TiN) 又は窒化タングステン (WN) のような金属膜を堆積させ、次いでフォトリソグラフィ及びエッチングによって金属膜をパターンニングする。そして、上部電極 214 の表面に層間絶縁膜 215 を形成して、一連の製造プロセスを完了させる。

【0031】

以上説明したように、本実施形態によれば、非晶質金属酸化物誘電体膜の膜質を改善し、さらに結晶化させた後、酸素含有雰囲気内で徐冷しながら加熱することとしたので、金属酸化物誘電体膜の信頼性を維持しつつリーク電流の低減を図ることができる。特に、金属酸化物誘電体膜を結晶化させた後に徐冷プロセスを実施するので、金属酸化物誘電体膜への不純物の混入や結晶欠陥の発生により膜質が低下するといった問題も生じない。さらに、DRAMのキャパシタ絶縁膜の形成に適用した場合には、接合リーク電流の増加を抑制することができるため、キャパシタ絶縁膜の信頼性を維持しつつ、DRAMのtREF特性の向上を図ることができる。

10

【0032】

本発明は、以上の実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲内で種々の変更を加えることが可能であり、これらも本発明の範囲に含まれるものであることは言うまでもない。

【0033】

例えば、上記実施形態においては、第1の熱処理工程をRPO (Remote Plasma Oxidation) にて行う場合について説明したが、本発明はこれに限定されるものではなく、例えば、第2の熱処理工程と同様、RTOにて行ってもよい。

20

【実施例1】

【0034】

まず、金属酸化物誘電体膜として酸化タンタル (TaO) を用いたDRAMメモリセルサンプル#1を600個用意した。DRAMメモリセルサンプル#1の誘電体膜は、上述した熱窒化工程、成膜工程、第1乃至第3の熱処理工程を経て作製した。シリコン窒化膜の厚みを1nmとし、金属酸化物誘電体膜の厚みを10nmとした。さらに、第1の熱処理工程においては、基体を630の酸素含有雰囲気内で60秒間加熱し、第2の熱処理工程においては、基体を780の酸素含有雰囲気内で120秒間加熱し、第3の熱処理工程においては、基体を酸素含有雰囲気内で1時間20分間加熱し、加熱期間中において加熱温度を700から600まで一律に変化させた。

30

【0035】

また、比較例として、第3の熱処理工程において窒素雰囲気を採用した点以外はDRAMメモリセルサンプル#1と同一条件で作製されたDRAMメモリセルサンプル#2と、第3の熱処理工程を省略し、従来のプロセスのみで誘電体膜を形成したDRAMメモリセルサンプル#3とをそれぞれDRAMメモリセルサンプル#1と同数用意した。

【0036】

次に、上述したDRAMメモリセルサンプル#1乃至#3それぞれの"1"情報保持特性を測定した。"1"情報保持特性は、DRAMメモリセルに"1"書き込みを行った後、この情報がどれくらいで消滅するかを示すものである。換言すれば、DRAMメモリセルのtREF特性を示すものである。

40

【0037】

図7は、DRAMメモリセルサンプル#1乃至#3の"1"情報保持特性の測定結果を示すグラフである。このグラフにおいて、横軸は情報保持時間t (ただし実際の時間ではなく規格化された値)、縦軸はDRAMメモリセルサンプルの良品率 (%) を示している。

【0038】

図7から明らかのように、t = 0.5を満足するサンプルの良品率は100%であり、すべてのサンプル#1乃至#3がt = 0.5の条件をクリアしているが、tREF条件を徐々に厳しくし、t = 4.5まで達すると、すべてのサンプル#1乃至#3の良品率が0%となった。

50

【0039】

そして、徐冷プロセスを行わなかったサンプル#3においては、 $t = 2.5$ で良品率が約90%、 $t = 3.5$ で良品率がほぼ0%となるのに対して、窒素雰囲気内で徐冷プロセスを行ったサンプル#2は、 $t = 2.5$ で良品率が約96%、 $t = 3.5$ で良品率が約21%となった。また、酸素雰囲気内で徐冷プロセスを行ったサンプル#1においては、 $t = 2.5$ で良品率が約97%、 $t = 3.5$ で良品率がほぼ32%となった。特に注目すべきことは、酸素又は窒素雰囲気内にて徐冷プロセスを行った場合には、 t が最大で1.0程度も長いサンプルが存在している点である。

【0040】

以上の測定結果から、結晶化工程の後に徐冷プロセスを行う場合には、窒素雰囲気内で行うか酸素雰囲気内で行うかを問わず、徐冷プロセスを行わない場合よりも情報保持特性が良好になることが分かった。

10

【0041】

次に、上述のDRAMメモリセルサンプル#1乃至#3それぞれの"0"情報保持特性を測定した。"0"情報保持特性はACL (All Cell Low) 特性とも呼ばれ、キャパシタリーク電流に起因するメモリセルの不良発生数を示すものであり、キャパシタ絶縁膜の信頼性の指標となるものである。"0"情報保持特性の測定では、上部電極への印加電圧を変化させながら、所定数のDRAMメモリセルが形成されたウェハ-上のすべてのメモリセルにゼロ書き込みを行った後、各メモリセルの動作確認を行って一枚のウェハ-上のメモリセルの不良発生数を求めた。

20

【0042】

図8は、DRAMメモリセルサンプル#1乃至#3の"0"情報保持特性の測定結果を示すグラフである。このグラフにおいて、横軸は上部電極への印加電圧(ただし実際の電圧ではなく規格化された値)、縦軸は一枚のウェハ-中に存在する不良メモリセルの数を示している。なお、グラフのプロット点は、各ウェハ-中のメモリセルの不良発生数の平均値をとっている。

【0043】

図8から明らかなように、DRAMメモリセルサンプル#1乃至#3はいずれも、上部電極への印加電圧が小さいうちはメモリセルの不良発生数もわずかであるが、印加電圧が大きくなるにつれてメモリセルの不良発生数も増加しており、中でも窒素雰囲気内で徐冷プロセスを行ったサンプル#2は、徐冷プロセスを行わなかったサンプル#3に比べて不良発生数の大幅な増加が見られた。一方、酸素雰囲気内で徐冷プロセスを行ったサンプル#1の不良発生数はわずかに増加するに留まり、徐冷プロセスを行わなかったサンプル#3に比べて不良発生数は減少した。

30

【0044】

以上の測定結果から、窒素雰囲気内にて徐冷プロセスを行う場合には、従来の徐冷プロセスを行わない場合よりも不良メモリセルが増加し、キャパシタ絶縁膜の信頼性が低下するのに対し、酸素雰囲気内にて徐冷プロセスを行う場合には、従来よりも高品質なキャパシタ絶縁膜を形成することができ、キャパシタ絶縁膜の信頼性が向上することが分かった。

40

【0045】

次に、上述のDRAMメモリセルサンプル#1乃至#3それぞれのMBT (Monitored Burn-in Test) 特性を測定した。MBT特性は一種の加速試験であり、一定の加速条件下にDRAMサンプルを曝した結果、不良がどれくらい発生するかを示すものである。MBT特性の測定では、キャパシタ絶縁膜に対して100の温度条件下で14MV/cmの電界バイアスを2時間印加した後、DRAMメモリセルサンプルの各メモリセルの動作確認を行って不良発生数を求めた。このとき正常だったサンプルに対してはさらにMBT試験を行い、MBT試験を複数回繰り返すことにより、各試験時の不良発生数を求めた。

【0046】

図9は、DRAMメモリセルサンプル#1乃至#3のMBT特性の測定結果を示すグラ

50

フである。このグラフにおいて、横軸はM B T試験の繰り返し回数、縦軸はメモリセルの不良発生数を示している。

【0047】

図9のグラフから明らかなように、1回目のM B T試験時における不良発生数はサンプル#1乃至#3ともほとんど変わらないが、2回目以降の不良発生数についてはサンプル#1とサンプル#2・#3との間に大差が見られた。つまり、酸素雰囲気内にて徐冷プロセスを行ったサンプル#1は、2回目以降のM B T試験において不良発生数が大幅に減少し、不良発生数が早期に収束した。これに対し、窒素雰囲気中にて徐冷プロセスを行ったサンプル#2及び徐冷プロセスを行わなかったサンプル#3それぞれの不良発生数はともに、M B T試験を重ねる度に徐々に減少し、不良発生数は早期に収束しなかった。

10

【0048】

以上の測定結果から、酸素雰囲気内にて徐冷プロセスを行う場合には、窒素雰囲気内で徐冷プロセスを行う場合や徐冷プロセスをまったく行わない場合と比較して、不良発生数を早期に収束させることができ、故障が少なく信頼性の高いD R A Mを製造できることが分かった。

【図面の簡単な説明】

【0049】

【図1】図1は、半導体記憶装置の製造プロセスの一部であって、本発明の好ましい実施形態に係る金属酸化物誘電体膜の形成手順を示すフローチャートである。

【図2】図2は、基体の構成を模式的に示す断面図である。

20

【図3】図3は、熱窒化工程における基体の構成を模式的に示す断面図である。

【図4】図4は、成膜工程における第1の基体の構成を模式的に示す断面図である。

【図5】図5は、半導体記憶装置の製造プロセスを完了して得られる基体の構成を模式的に示す断面図である。

【図6】図6は、第3の熱処理工程の詳細を示すシーケンス図である。

【図7】図7は、D R A Mメモリセルの"1"情報保持特性(t R E F特性)の測定結果を示すグラフである。

【図8】図8は、D R A Mメモリセルの"0"情報保持特性(A C L特性)の測定結果を示すグラフである。

【図9】図9は、D R A MメモリセルのM B T特性の測定結果を示すグラフである。

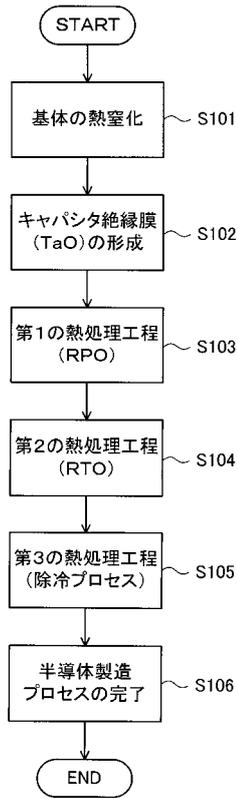
30

【符号の説明】

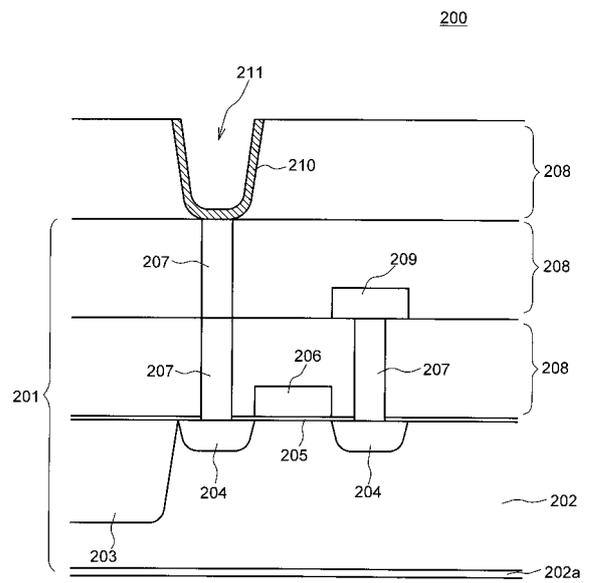
【0050】

200	基体	
201	メモリセル要部	
202	P型シリコン基板	
202 a	ポリシリコン層	
203	S T I	
204	N型拡散領域	
205	ゲート絶縁膜	
206	ゲート電極(ワード線)	40
207	コンタクトプラグ	
208	層間絶縁膜	
209	ビット線	
210	下部電極	
211	セルキャパシタ用深孔	
212	シリコン窒化膜	
213	キャパシタ絶縁膜(誘電体膜)	
213 a	非晶質の金属酸化物誘電体膜(酸化タンタル)	
214	上部電極	
215	層間絶縁膜	50

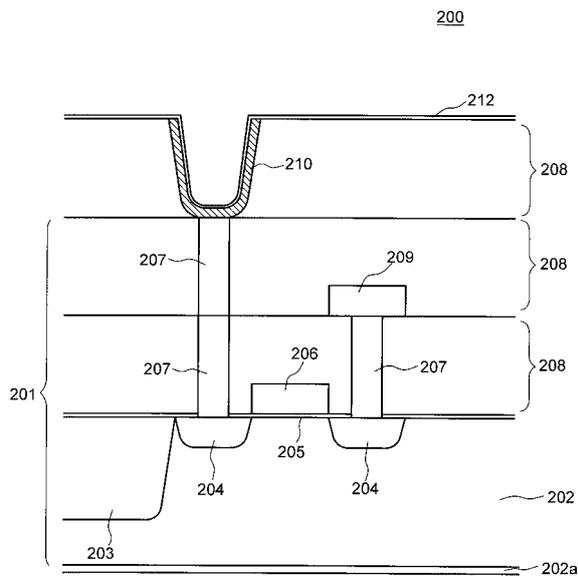
【 図 1 】



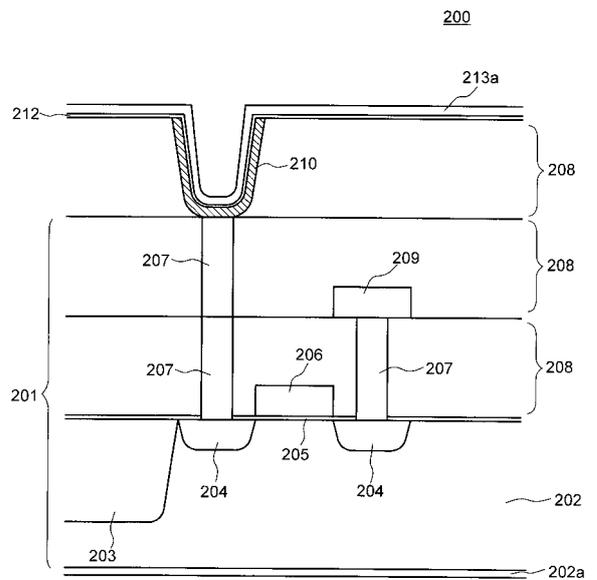
【 図 2 】



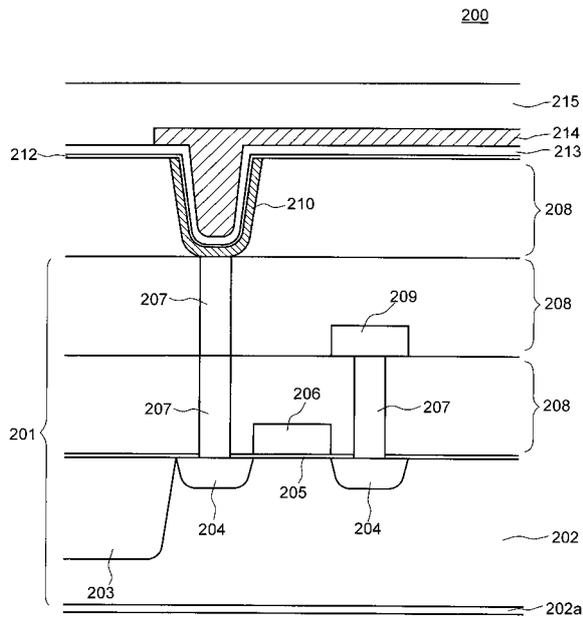
【 図 3 】



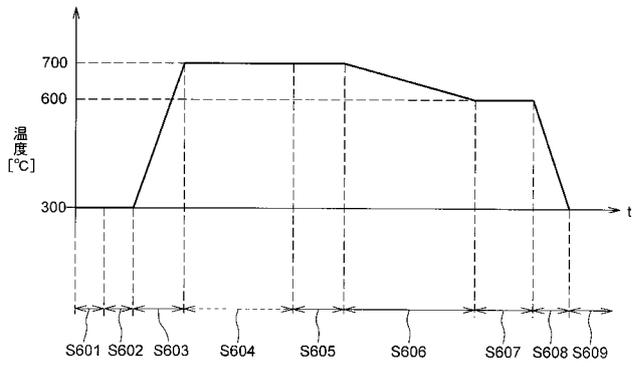
【 図 4 】



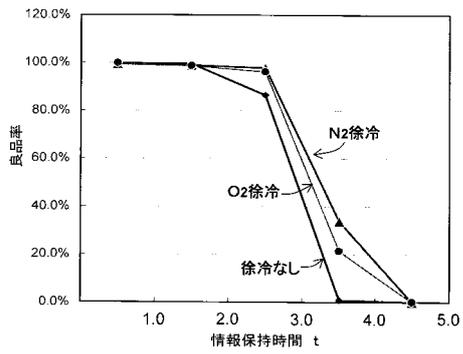
【 図 5 】



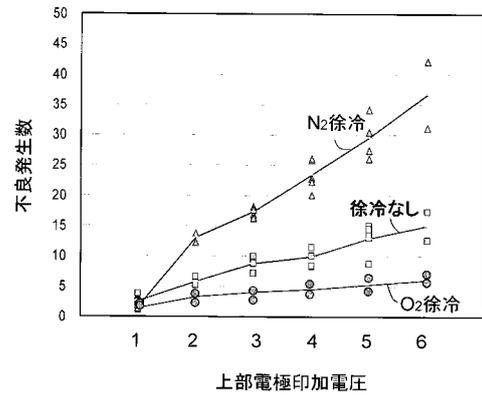
【 図 6 】



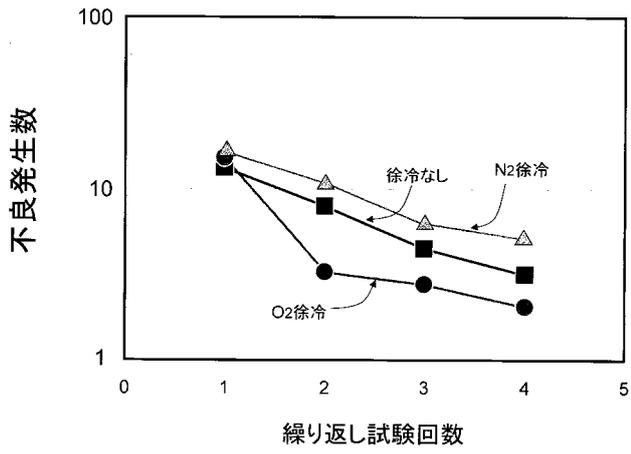
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

Fターム(参考) 5F083 AD24 AD48 AD60 AD62 GA06 JA06 JA19 JA39 JA40 NA01
PR13 PR16 PR21 PR33