

(12) 发明专利申请

(10) 申请公布号 CN 102364687 A

(43) 申请公布日 2012. 02. 29

(21) 申请号 201110343584. 9

(22) 申请日 2011. 11. 03

(71) 申请人 中国电子科技集团公司第五十八研究所

地址 214035 江苏省无锡市滨湖区惠河路 5 号

(72) 发明人 罗静 薛忠杰 周昕杰 胡永强 周毅

(74) 专利代理机构 无锡市大为专利商标事务所 32104

代理人 殷红梅

(51) Int. Cl.

H01L 27/02 (2006. 01)

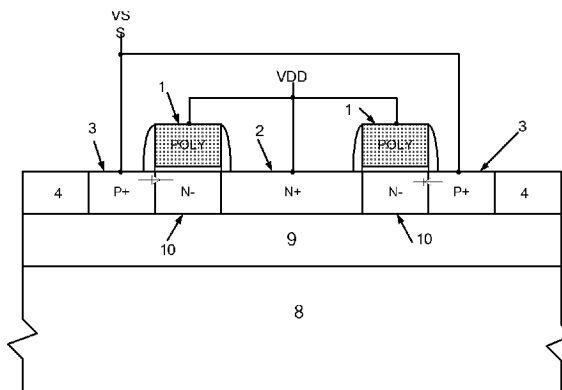
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 发明名称

SOI/CMOS 集成电路电源与地之间的 ESD 保护结构

(57) 摘要

本发明涉及一种 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其包括 SOI 基板,所述 SOI 基板包括硅膜;所述硅膜上设置有源区,所述有源区的外圈设有隔离区;所述有源区包括第一导电类型扩散区,所述第一导电类型扩散区的外圈设有第一导电类型衬底,所述第一导电类型衬底的外圈设有第二导电类型扩散区;所述第一导电类型衬底的上方设有栅氧化层,所述栅氧化层上设有多晶硅栅,所述多晶硅栅呈环形。本发明结构简单、工艺步骤与传统 SOI 工艺兼容,容易实现,使用了经过工艺和版图优化的 N- 型栅控二极管结构,可以提高 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平。



1. 一种 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,包括 SOI 基板,所述 SOI 基板包括硅膜;所述硅膜上设置有源区,所述有源区的外圈设有隔离区(4);其特征是:所述有源区包括第一导电类型扩散区(2),所述第一导电类型扩散区(2)的外圈设有第一导电类型衬底(10),所述第一导电类型衬底(10)的外圈设有第二导电类型扩散区(3);所述第一导电类型衬底(10)的上方设有栅氧化层,所述栅氧化层上设有多晶硅栅(1),所述多晶硅栅(1)呈环形。

2. 根据权利要求 1 所述的 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其特征是:所述第二导电类型扩散区(3)外圈的隔离区(4)为二氧化硅。

3. 根据权利要求 1 所述的 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其特征是:所述多晶硅栅(1)的周长大于 2500 微米。

4. 根据权利要求 1 所述的 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其特征是:所述 SOI 基板还包括位于硅膜下方的埋氧层(9)及位于所述埋氧层(9)下方的衬底(8)。

5. 根据权利要求 1 所述的 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其特征是:所述多晶硅栅(1)与第一导电类型扩散区(9)等电位连接。

6. 根据权利要求 1 所述的 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其特征是:所述第一导电类型扩散区(2)内设有第一有源区接触孔(7),所述第一有源区接触孔(7)内设有用于第一导电类型扩散区(2)电连接的第一金属连线。

7. 根据权利要求 1 所述的 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其特征是:所述第二导电类型扩散区(3)内设有第二有源区接触孔(5),所述第二有源区接触孔(5)内设有用于第二导电类型扩散区(3)电连接的第二金属连线。

SOI/CMOS 集成电路电源与地之间的 ESD 保护结构

技术领域

[0001] 本发明涉及一种 ESD 保护结构,尤其是一种 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,属于集成电路上 ESD 保护的技术领域。

背景技术

[0002] SOI/CMOS 集成电路中元件的全介质隔离彻底消除了体硅电路的闩锁效应,同时具有寄生电容小、速度快、集成度高、工作温度范围广、抗辐照能力强等优势,使其在空间辐射环境电子系统、强辐射环境战略武器的大规模集成电路中得到重点应用。但是,静电放电(ESD, Electrostatic discharge)是影响 SOI/CMOS 集成电路可靠性的一个主要因素。由于制备 SOI/CMOS 集成电路的材料、工艺与体硅电路不同,SOI(Silicon-on-Insulator)材料的硅膜很薄,SOI 器件埋氧层的低热导率(比硅小两个数量级)影响了保护器件的散热,使其对积蓄的 ESD 能量的耗散能力非常之低,仅为体硅电路的 1%。因此,基于 SOI/CMOS 工艺技术加工的集成电路的静电保护电路设计相比体硅电路更难于实现,这是 SOI/CMOS 电路 ESD 水平难以提高的重要原因。

[0003] 在已有技术中,在电源与地之间采用 SOI 二极管连接,利用 SOI 二极管在 ESD 应力条件下的反向偏置导通提供静电电流的泄放通路,从而起到 SOI 中 MOS 管的源端和漏端结不被 ESD 应力损伤的作用。但在现实应用中,SOI 二极管的反向击穿电压(V_B)接近甚至高于 SOI 器件的结击穿电压,往往会发生电路内部的 SOI 器件在 ESD 的应力条件下已发生结击穿,SOI 二极管由于反向击穿电压过高尚未开始工作,最终导致电路按照芯片静态电流从 μA 量级猛增至几十 mA 量级,内部被 ESD 损伤,功能失效,但端口正常的失效模式未发生失效。所以需要调整对现有技术进行调整。

发明内容

[0004] 本发明的目的是克服现有技术中存在的不足,提供一种 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,其结构紧凑,工艺制备简单,提高了 ESD 保护能力,适用性广,安全可靠。

[0005] 按照本发明提供的技术方案,所述 SOI/CMOS 集成电路电源与地之间的 ESD 保护结构,包括 SOI 基板,所述 SOI 基板包括硅膜;所述硅膜上设置有源区,所述有源区的外圈设有隔离区;所述有源区包括第一导电类型扩散区,所述第一导电类型扩散区的外圈设有第一导电类型衬底,所述第一导电类型衬底的外圈设有第二导电类型扩散区;所述第一导电类型衬底的上方设有栅氧化层,所述栅氧化层上设有多晶硅栅,所述多晶硅栅呈环形。

[0006] 所述第二导电类型扩散区外圈的隔离区为二氧化硅。所述多晶硅栅的周长大于 2500 微米。

[0007] 所述 SOI 基板还包括位于硅膜下方的埋氧层及位于所述埋氧层下方的衬底。所述多晶硅栅与第一导电类型扩散区等电位连接。

[0008] 所述第一导电类型扩散区内设有第一有源区接触孔,所述第一有源区接触孔内设

有用于第一导电类型扩散区电连接的第一金属连线。

[0009] 所述第二导电类型扩散区内设有第二有源区接触孔,所述第二有源区接触孔内设有用于第二导电类型扩散区电连接的第二金属连线。

[0010] 本发明的优点:结构简单、工艺步骤与传统 SOI 工艺兼容,容易实现,使用了经过工艺和版图优化的 N- 型栅控二极管结构,可以提高 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平,使用后可以将 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平提高至 HBM 模型 2000 伏或以上水平,而没有使用本 ESD 保护结构的 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平仅仅在 HBM 模型 500 伏左右。

附图说明

[0011] 图 1 为本发明平面版图的结构示意图。

[0012] 图 2 为本发明纵向结构示意图。

[0013] 图 3 为本发明二极管反向击穿时电学特性示意图。

[0014] 图 4 为未使用本发明保护结构时二极管反向击穿时电学特性示意图。

[0015] 图 5 为本发明在 SOI/CMOS 电路中使用状态的原理图。

[0016] 附图标记说明:1- 多晶硅栅、2- 第一导电类型扩散区、3- 第二导电类型扩散区、4- 隔离区、5- 第二有源区接触孔、6- 调整窗口、7- 第一有源区接触孔、8- 衬底、9- 埋氧层及 10- 第一导电类型衬底。

具体实施方式

[0017] 下面结合具体附图和实施例对本发明作进一步说明。

[0018] 如图 1 和图 2 所示:所述 ESD 保护结构包括 SOI 基板,所述 SOI 基板包括衬底 8,所述衬底 8 上设有埋氧层 9,所述埋氧层 9 上设有硅膜。所述硅膜上用于形成 ESD 结构的有源区,所述有源区的外圈设置隔离区 4,所述隔离区 4 为二氧化硅。所述有源区包括第一导电类型扩散区 2,所述第一导电类型扩散区 2 的外圈设有第一导电类型衬底 10,所述第一导电类型衬底 10 的外圈设有第二导电类型扩散区 3,所述第二导电类型扩散区 3 与第一导电类型衬底 10 间形成 PN 结结构。本发明图 1 和图 2 中,第一导电类型均为 N 型,第二导电类型为 P 型,因此,第一导电类型扩散区 2 为 N+ 扩散区,第一导电类型衬底 10 为 N- 衬底,第二导电类型扩散区 3 为 P+ 扩散区;当然,第一导电类型也可以为 P 型,第二导电类型为 N 型。在第一导电类型衬底 10 的上方设有多晶硅栅 1,所述多晶硅栅 1 下方与硅膜间设置栅氧化层。所述多晶硅栅 1 呈环形,从而第一导电类型扩散区 2 位于多晶硅栅 1 环形包括的区域内,第二导电类型扩散区 3 位于多晶硅栅 1 环形包括的区域外,第一导电类型扩散区 2 及第二导电类型扩散区 3 均通过注入相应的导电类型离子。第一导电类型扩散区 2 内设有第一有源区接触孔 7,所述第一有源区接触孔 7 内设有用于第一导电类型扩散区 2 电连接的第一金属连线。第二导电类型扩散区 3 内设有第二有源区接触孔 5,所述第二有源区接触孔 5 内设有用于第二导电类型扩散区 3 电连接的第二金属连线。调整窗口 6 用于在形成多晶硅栅 1 之前,对多晶硅栅 1 下方的第一导电类型衬底 10 进行浓度调节,以提高电路电源与地之间的 ESD 保护能力。多晶硅栅 1 呈环形结构,多晶硅栅 1 的周长大于 2500 微米。

[0019] 将第二导电类型扩散区 3 电连接,并与地电平 VSS 相连,将多晶硅栅 1 与第一导电

类型扩散区 2 等电位连接,连接高电平 VDD,最终形成电源与地之间的 ESD 保护结构 N- 型栅控二极管。

[0020] 本发明的形成过程如下:首先,在衬底 8 上形成埋氧层 9,埋氧层 9 上为 SOI 器件形成区域,即有源区。埋氧层 9 上中间为 N+ 扩散区 2。区域 10 为器件 N- 衬底, P+ 扩散区 3 和 N- 衬底 10 间形成了 PN 结。为了降低二极管的击穿电压,在形成区域 7 之前,通过工艺手段及新增的一个工艺步骤对 N- 衬底 10 进行衬底浓度调节。将区域 8 相连,连接地电平 VSS,将区域 7、区域 9 相连,连接电源高电平 VDD,最终形成电源与地之间的 ESD 保护结构 N- 型栅控二极管。

[0021] 图 3 为使用本发明形成的栅控二极管反向击穿时的电学特性,通过工艺手段优化后,其击穿电压 (V_B) 约为 9 伏,热击穿电流 (I_{T2}) 约为 3.2 安培,器件泄漏电流 ($I_{leakage}$) 为纳安量级,反向击穿工作时间内阻 (R_{on}) 约为 4.5 欧姆。由于其反向击穿电压较低,内阻很小,使电源与地之间的超大静电放电电流很快得到泄放,从而提高 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平,使其达到 HBM 模型 2000 伏或以上水平。

[0022] 图 4 为未使用本发明形成的栅控二极管反向击穿时的电学特性,其击穿电压 (V_B) 约为 13 伏,热击穿电流 (I_{T2}) 约为 2.2 安培,器件泄漏电流 ($I_{leakage}$) 为纳安量级,反向击穿工作时间内阻 (R_{on}) 约为 50 欧姆。与经过工艺手段优化后的二极管特性相比,其反向击穿电压点过高,内阻过大,可能会造成电路的 SOI 器件在 ESD 的应力条件下已发生结击穿,而 SOI 保护器件即二极管由于反向击穿电压过高尚未开始工作,最终导致电路按照静态电流从微安量级猛增至几十毫安量级,内部被超大静电放电电流损伤,功能失效,但端口仍正常的失效模式发生失效。采用这种特性的栅控二极管,SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平容易在 HBM 模型 500 伏左右甚至以下水平。

[0023] 图 5 为本发明在 SOI/CMOS 电路中的应用示意图。在输入端口,输入压焊点与驱动器的输入端相连,驱动器的输入端对应于与输入压焊点相连的一端分别通过 ESD 保护结构域 VDD 压焊点、VSS 压焊点相连,形成输入端保护结构。驱动器的输出端与电源-地 ESD 保护结构相连,所述电源-地 ESD 保护结构具有内部电路,所述内部电路并联有若干本发明形成的栅控二极管,所述栅控二极管的第二导电类型扩散区 3 与 VSS 压焊点相连,栅控二极管的多晶硅栅 1 及第一导电类型扩散区 2 与 VDD 压焊点相连。内部电路的输出端与输出端口的前级驱动器相连,所述前级驱动器的电源端分别与 VDD 压焊点、VSS 压焊点相连。前级驱动器的输出端与 PMOS 管的栅极端、NMOS 管的栅极端相连,PMOS 管的源极端与 VDD 压焊点相连,NMOS 管的源极端与 VSS 压焊点相连,PMOS 管的漏极端与 NMOS 管的漏极端相连,并与输出压焊点相连;PMOS 管的漏极端及 NMOS 管的漏极端通过相应 ESD 保护结构分别与 VDD 压焊点、VSS 压焊点相连。输入信号由输入压焊点,经过输入端口 ESD 保护结构,连接至输入驱动器。在芯片的内部电源与地间形成的电源网络内部,在内部电路空余位置放置多组并联的本发明形成的保护结构,进一步减少内阻,增加二极管周长,起到有效保护内部电路的作用。在输出端口,内部信号经过前级驱动器,经过输出结构输出至输出压焊点。在此输出结构和输出压焊点之间,也设置了输出端口 ESD 保护结构。

[0024] 如图 1~图 5 所示:工作时,当本发明形成 ESD 保护结构的多晶硅栅 1 及第一导电类型扩散区 2 加至 VDD 引脚上时,利用优化后得到的反向击穿电压低于结击穿电压的 N- 型栅控二极管,使其迅速进入反向击穿工作区,使瞬间超大静电放电电流从它自身流过,从

VSS 引脚泄放出芯片。由于结构提供了大于 2500 微米的多晶硅栅 1 周长和很低的导通电阻,避免了 ESD 应力对内部小尺寸器件漏端结的冲击,从而避免了 ESD 应力对内部芯片的损伤,提高了电路电源与地之间的 ESD 耐受水平。

[0025] 本发明与现有技术相比的优点:结构简单、工艺步骤与传统 SOI 工艺兼容,容易实现,使用了经过工艺和版图优化的 N- 型栅控二极管结构,可以提高 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平,使用后可以将 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平提高至 HBM 模型 2000 伏或以上水平,而没有使用本 ESD 保护结构的 SOI/CMOS 集成电路电源与地之间的 ESD 耐受水平仅仅在 HBM 模型 500 伏左右。

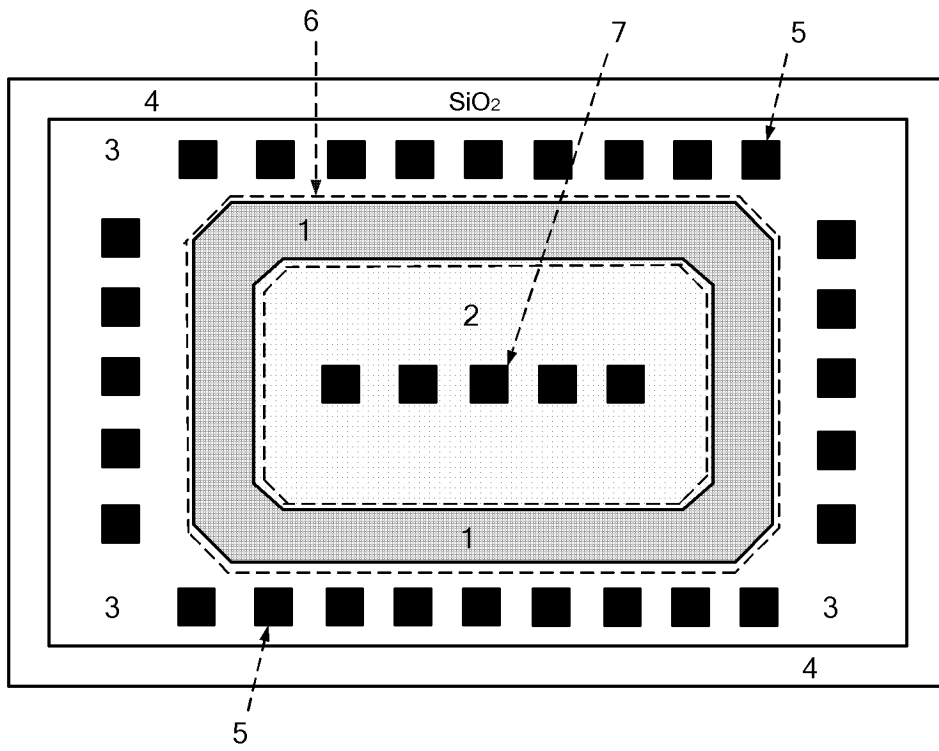


图 1

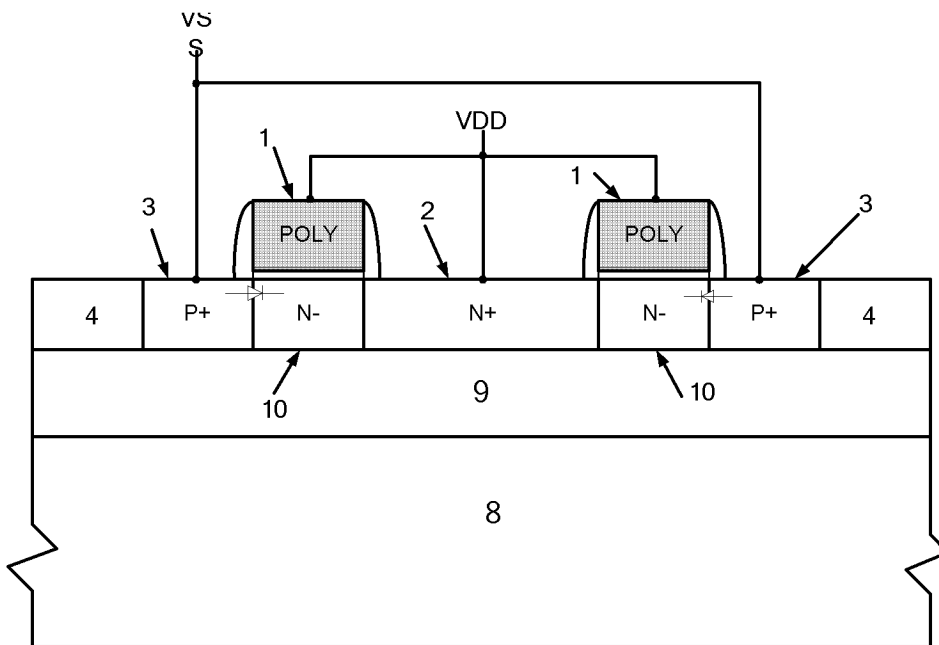


图 2

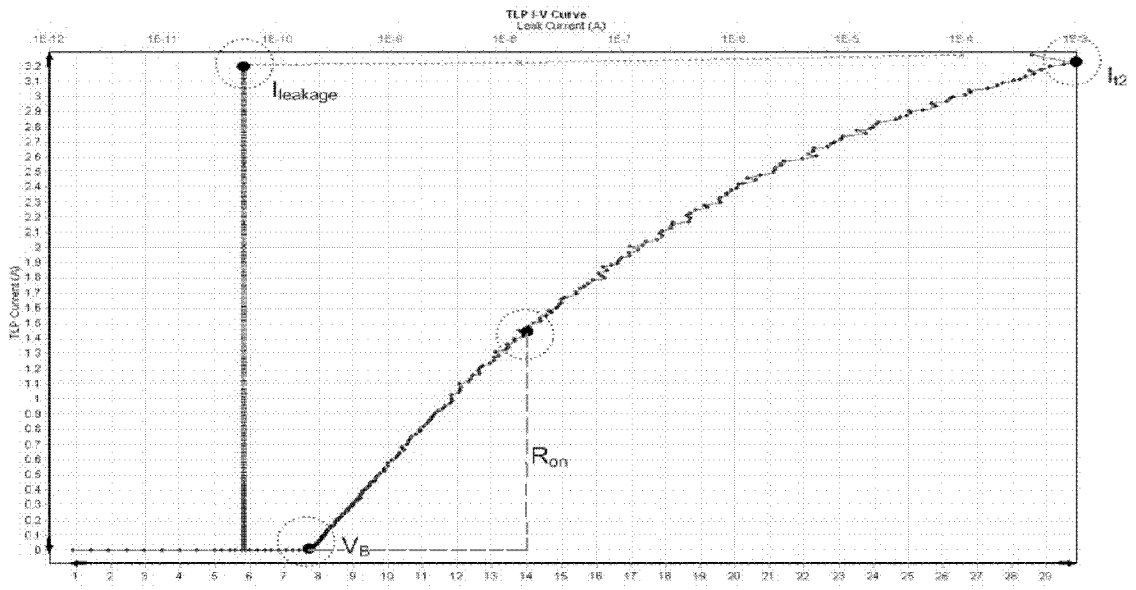


图 3

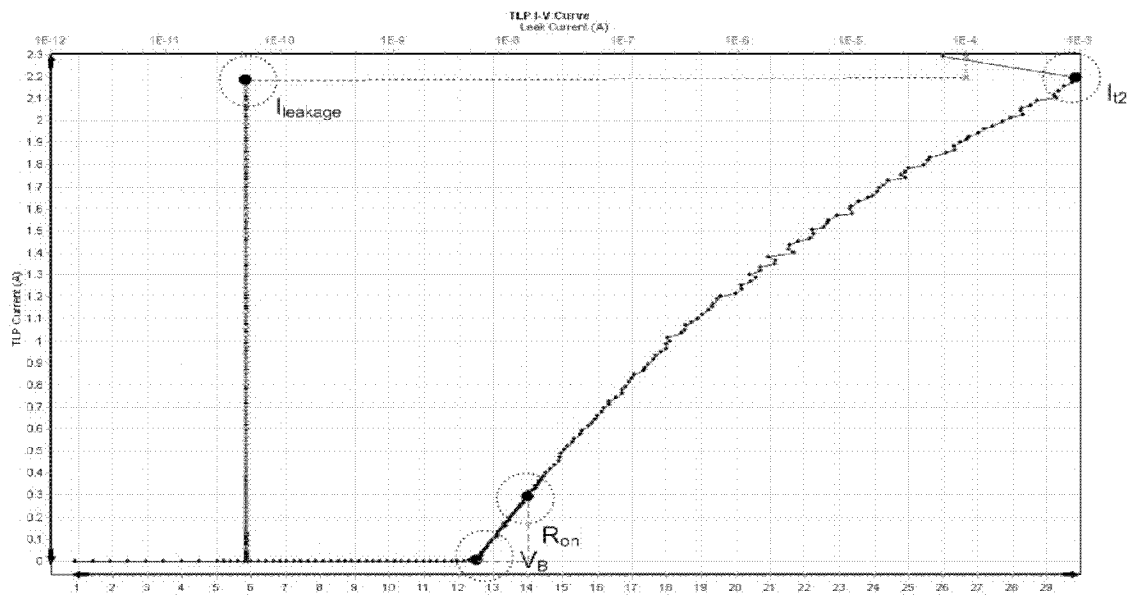


图 4

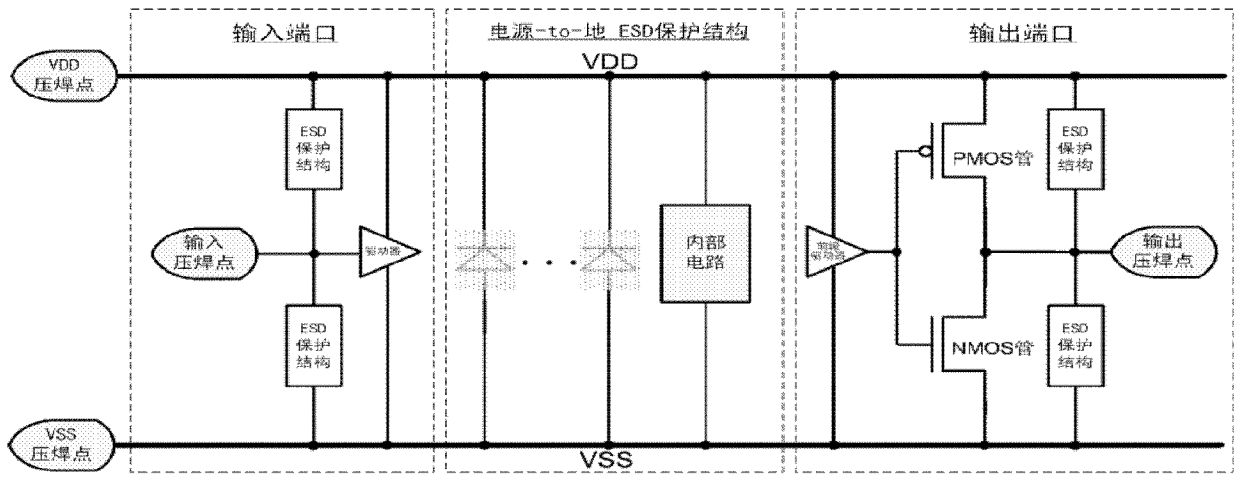


图 5