

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-335534

(P2007-335534A)

(43) 公開日 平成19年12月27日(2007.12.27)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 33/00 (2006.01) HO 1 L 33/00 A 5 FO 4 1

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号	特願2006-163891 (P2006-163891)	(71) 出願人	591044164 株式会社沖データ 東京都港区芝浦四丁目11番22号
(22) 出願日	平成18年6月13日(2006.6.13)	(71) 出願人	500002571 株式会社沖デジタルイメージング 東京都八王子市東浅川町550番地-1
		(74) 代理人	100082050 弁理士 佐藤 幸男
		(72) 発明者	鷺森 友彦 東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内
		(72) 発明者	武藤 昌孝 東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内

最終頁に続く

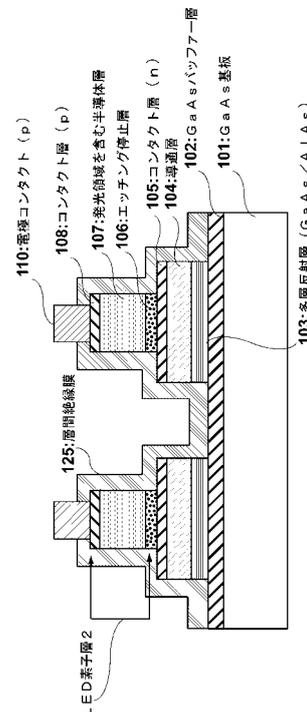
(54) 【発明の名称】 半導体装置、LEDヘッド及び画像形成装置

(57) 【要約】

【課題】 LED素子層2のエッチング処理中に直下のコンタクト層(n)105にまでエッチングが進行してしまう危険性を排除し、且つ、エッチング停止層106とLED素子層2との境界に格子欠陥が発生するのを未然に防止するために、エッチング停止層106の層厚を最適に設定する。

【解決手段】 エッチング停止層106の層厚が、15nm以上30nm以下になるように設定する。

【選択図】 図3



実施例1の半導体装置の積層構造の説明図(その1)

【特許請求の範囲】

【請求項 1】

上方から、第 1 導電型半導体コンタクト層、第 2 導電型半導体コンタクト層を少なくとも 1 層ずつ有する積層半導体層を備える半導体装置に於いて、

前記第 2 導電型半導体コンタクト層の上にエッチング停止層を備え、

該エッチング停止層は、前記第 2 導電型半導体コンタクト層と選択的にエッチングが可能であって、

前記第 1 のエッチング停止層の層厚が、15 nm 以上 30 nm 以下であることを特徴とする半導体装置。

【請求項 2】

前記コンタクト層は、GaAs を主材とし、

前記エッチング停止層は、 $In_xGa_{1-x}P$ を主材とすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記エッチング停止層に接するコンタクト層の層厚は、200 nm 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記エッチング停止層の上部に積層される半導体層の層厚は、5 μ m 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記半導体層の中に少なくとも 1 層の発光層を備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記半導体層が、Si 基板上に積層されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

前記半導体層が、複数積層されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 8】

前記複数の半導体層が、異なる機能を備えることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

請求項 1 ~ 請求項 8 の何れかに記載の半導体装置を複数個と、

該複数個の半導体装置の各々に対応する駆動装置と、

該駆動装置、及び前記半導体装置とを支持する支持体と、レンズアレイとを備え、

前記半導体装置は、複数の LED (Light Emitting Diode) を含むことを特徴とする LED ヘッド。

【請求項 10】

感光体と、該感光体の表面を帯電させる帯電器と、帯電された前記感光体の表面を選択的に露光し、静電潜像を形成させる請求項 9 に記載の LED ヘッドと、露光された静電潜像を現像する現像器とを備えることを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子アレイなどの半導体装置、及び、これを用いた LED ヘッド及び画像形成装置に関する。

【背景技術】

【0002】

従来、電子写真技術を用いたプリンタ等の画像形成装置には、発光素子 (例えば LED) を複数配列させて製造した発光素子アレイチップを、更に、多数個並べて実装した露光ヘッドを用いたものがある。一方、近年、プリンタ等の画像形成装置には高い解像度が要

10

20

30

40

50

求されている。この要求に対応するため、プリンタ1台に用いられる発光素子数も飛躍的に増加してきており、1本の露光ヘッドに用いられる発光素子アレイチップの総数も増加してきている。このような背景から、多くの発光素子各々の発光特性を揃えるために、特に発光素子を形成する各半導体層の層厚や形状を正確に揃えなければならない。このために活性層を含む発光素子が形成された層のエッチング量を制御することを目的とする半導体層を新たに設け、エッチング停止層として用いる技術も開示されている（例えば特許文献1を参照）。

【特許文献1】特開平10-4241号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0003】

しかしながら、エッチング停止層直下の半導体層を薄くしたい場合には、エッチング停止層をあまり薄く形成すると、該エッチング停止層をエッチングするとき、直下の半導体層にまでエッチングが進行してしまう危険性がある。一方、この危険性を排除するためにエッチング停止層をあまり厚く形成すると、発光素子が形成された層との境界に格子欠陥が発生し易くなるという解決すべき課題が残されていた。

【課題を解決するための手段】

【0004】

本発明は、上方から、第1導電型半導体コンタクト層、第2導電型半導体コンタクト層を少なくとも1層ずつ有する積層半導体層を備える半導体装置に於いて、上記第2導電型半導体コンタクト層の上に第1のエッチング停止層を備え、該第1のエッチング停止層は、上記第2導電型半導体コンタクト層と選択的にエッチングが可能であって、上記第1のエッチング停止層の層厚が、15nm以上30nm以下であることを主要な特徴とする。

20

【発明の効果】

【0005】

エッチング停止層の層厚を、15nm以上30nm以下に設定することによって、直下の半導体層にまでエッチングが進行してしまう危険性を排除し、且つ、発光素子が形成された層との境界に格子欠陥が発生するのを未然に防止出来るという効果を得る。

【発明を実施するための最良の形態】

【0006】

30

本発明による半導体装置、LEDヘッド及び画像形成装置は以下のように構成される。

【実施例1】

【0007】

図1は、実施例1のLED素子層の積層状態説明図である。

図に示すようにLED素子層は、エッチング停止層106と、発光領域を含む半導体層107と、コンタクト層(p)108からなる。エッチング停止層106は、発光領域を含む半導体層107のエッチング処理を制御することを目的として形成される層である。この機能については後に詳細に説明する。発光領域を含む半導体層107は、第1導電型のGaAs層からなるバッファ層(n)107aと、第1導電型の $Al_xGa_{1-x}As$ 層からなるクラッド層(n)107bと、第1導電型の $Al_yGa_{1-y}As$ 層からなる活性層(n)107cと、第2導電型の $Al_zGa_{1-z}As$ 層からなるクラッド層(p)107dが積層され構成される。クラッド層(p)107dと活性層(n)107cとのpn接合から発光エネルギーが放出されることになる。ここで、高発光効率を達成するためには、 $x, z > y$ であることが望ましい。コンタクト層108は、第2導電型のGaAs層からなる。尚、上記説明中、第1導電型とは、n型半導体を表し、第2導電型とはp型半導体を表すものとする（以下の記述でも同様とする）。

40

【0008】

図2は、実施例1の半導体装置の平面配置の説明図である。

この図は、発光領域を1列に配列した発光ダイオードアレイ(LEDアレイ)を示している。各LED素子1をマトリクス駆動(複数回の分割駆動)出来るように、配線もマト

50

リクス状に形成されている。但し、ここではマトリクス構造を例示しているが本発明はこの例に限定されるものではない。即ち、スタティック駆動であっても良い。又、マトリクス駆動の場合であっても、LEDのグルーピングは、4個のLED素子1を一つのグループにする必要は無く、適宜、任意に設定することも可能である。

【0009】

図中、配線接続部114は、共通配線115と個別電極113とを接続する部分である。配電パッド(n)120は、個別電極113及び電極コンタクト(n)112を介してLED素子1へ(-)又は0の電圧を印加する部分である。電極コンタクト(n)112は、個別電極113がLED素子1と接続する部分である(後記図3及び図4で示す)。配電パッド(p)122は、配線111及び電極コンタクト(p)110を介してLED素子1へ(+)の電圧を印加する部分である。電極コンタクト(p)110は、配線111がLED素子1と接続する部分である(後記図3及び図4で示す)。ここで配電パッド(n)120と配電パッド(p)122に所定の電圧が印加されると、該当するLED素子1が発光することになる。

10

【0010】

図3は、実施例1の半導体装置の積層構造の説明図(その1)である。

この図は、図2におけるA-A断面矢視図である。

図4は、実施例1の半導体装置の積層構造の説明図(その2)である。

この図は、図2におけるB-B断面矢視図である。

【0011】

両図中、101はGaAs基板である。102は、GaAsバッファ層である。GaAs基板101、及びGaAsバッファ層102は、第1導電型(n型)又は第2導電型(p型)の半絶縁性基板である。103は、GaAs層とAlAs層の多層構造の多層反射層である。104は、第1導電型(n型)又は第2導電型(p型)又はノンドープの導通層である。ここで、導通層104より上の層を個別に素子分離する必要がある構造では、少なくともGaAsバッファ層102及び多層反射層103の導電型をGaAs基板101の導電型と逆の導電型とすることが望ましい。但し、GaAsバッファ層102を半絶縁性とする場合にはその必要がない。105は、第1導電型のGaAs層からなるコンタクト層である。107は、上記図1で説明した発光領域を含む半導体層である。108は、上記図1で説明したコンタクト層(p)である。

20

30

【0012】

106は、上記図1で説明したエッチング停止層であり、第1導電型の $In_xGa_{1-x}P$ で、格子整合させるために、Xは、例えば、 $X=0.49-0.51$ とする。以下にエッチング停止層106の機能について実測値に基づいて詳細に説明する。エッチング停止層106は、コンタクト層(n)105を露出するためのエッチング処理の進行を一旦停止させる機能を有する部分である。即ち、発光領域を含む半導体層107のエッチング工程に於いて、エッチング処理がコンタクト層(n)105まで進行しないようにエッチング処理の進行を一旦停止させる機能を有する。

【0013】

LED素子層2(図3)を、例えば燐酸過水(燐酸+過酸化水素水+純水)系のエッチング液Aで処理するエッチング速度(ES1)は、エッチング停止層106を同じく燐酸過水(燐酸+過酸化水素水+純水)系のエッチング液Aで処理するエッチング速度(ES2)よりも圧倒的に速い。即ち、その速度比は、 $(ES1/ES2) > 300$ にも及ぶことが知られている。

40

【0014】

LED素子層2の発光効率を高くするためには、図1に於いて、発光領域を含む半導体層107をある程度厚くすることが望ましいので、その厚さを $2\mu m$ とし、生産工程中のばらつきを10%と想定し、生産性を考慮し、エッチングマージンを30%以上とすることとする(一例)。ここで、

エッチング停止層106よりも上の半導体層の層厚：D1(μm)

50

エッチング停止層 106 よりも上の半導体層の層厚のばらつき： $\pm D1$ (%)

エッチング停止層 106 よりも上の半導体層の平均エッチング速度： $R1$ ($\mu\text{m}/\text{s}$)

エッチング停止層 106 よりも上の半導体層のエッチングマージン： $R1$ (%)

として、

$$D1 = 2 (\mu\text{m})$$

$$R1 = 10 (\%)$$

$$R1 = 8.3 \times 10^3 \mu\text{m}/\text{s} (= 0.5 \mu\text{m}/60 \text{s})$$

$$R1 = 30 (\%)$$

とすると、エッチング停止層 106 がオーバーエッチングされる時間： $OE(t)$ は、

$$OE(t) = (D1/100 + R1/100) \times (D1/R1) \quad 10$$

$$= (0.1 + 0.3) \times 241 (\text{s})$$

$$= 96.4 (\text{s})$$

$$\sim 96 (\text{s})$$

となる。従って、エッチング停止層 106 は、少なくとも 96 s (秒) のオーバーエッチングに耐えなければならないことになる。

【0015】

図 5 は、エッチング停止層のエッチング速度説明図である。

この図は、エッチング停止層 106 が、エッチング液 A (磷酸過水 (磷酸 + 過酸化水素水 + 純水) 系のエッチング液) によってエッチングされる時間を表した図である。

エッチング停止層 106 の層厚： $D2$ 20

エッチング停止層 106 がエッチング液 A によってエッチングされる速度： $R2$

層厚 $D2$ のエッチング停止層 106 がエッチング液 A によってジャストエッチングされる時間： $T(D2)$

とすると、エッチング停止層 106 を超えて、エッチングがコンタクト層 (n) 105 へ及ばないためのエッチング停止層 106 の最低層厚： $D2_{min}$ は次のように設定される。

$$T(D2) = OE(t)$$

$D2$ に 10% のばらつきがある、即ち、 $OE(t)$ に 10% のマージンを持たせると、要求されるエッチング停止時間： $SEP(t)$ は、

$$SEP(t) = OE(t) \times 1.1 \quad 30$$

$$= 96 (\text{s}) \times 1.1$$

$$= 106 (\text{s})$$

図 5 から $T(D2) = 106 (\text{s})$ となる $D2$ を読取ると、 $D2 = 16 \text{nm}$ となる。ウエハ面内の層厚のばらつきが $\pm 10\%$ の場合には、平均の $D2$ を 16nm 、最小の $D2_{min}$ を 14.5nm 、概略 15nm とすることが出来る。

【0016】

一方、エッチング停止層 106 は、発光領域を含む半導体層 107 とは材料系が異なるため、その層厚を増やすと、初期発光速度、発光素子の初期電気特性、信頼性などに影響を与える。即ち、エッチング停止層 106 の層厚が増加すると初期の発光速度の減少、電流 - 電圧特性でのリーク電流量の増加、信頼性の劣化などの悪影響が出る。本願発明者らの系統的な実験によれば、エッチング停止層 106 の層厚が 30nm を超えると、光量減少、電流リーク、連続通電に伴う光量劣化が確認された。初期光量特性についてより具体的に述べれば、エッチング停止層の層厚さが 30nm を越えると、エッチング停止層がない場合の初期光量の 50% の光量を下回る結果を得た。初期光量の 50% を下回る光量となった場合には、光量補正によってチップ間の光量をそろえることが困難となるため、少なくとも 50% を越える光量低下を避けることが望ましい。更に、エッチング停止層が 30nm を越えた場合には、チップ内の光量バラツキが $\pm 30\%$ を越える結果を得た。チップ内の光量バラツキが $\pm 30\%$ を越えると、光量補正によって、チップ内光量を均一化することが困難になるため、チップ内光量バラツキは $\pm 30\%$ を越えないことが望ましい。

従って、エッチング停止層 106 の層厚は、 30nm を超えないことが望ましいとの結論 50

を得た。

【0017】

LED素子1(図3)の層厚が薄くなった場合であっても、上記14.5nm~30nm(概略15nm~30nm)の範囲であれば十分である。LED素子1の層厚が厚くなった場合には、エッチング停止層106が、その許容最大層厚30nmを満たすようにLED素子1の層厚を調整することが望ましい。即ち、図5から

$$SEP(t) = 270s$$

であるから、

$$\begin{aligned} OE(t) &= SEP(t) / 1.1 \\ &= 245(s) \end{aligned}$$

従って、D1の最大値 $D1_{max}$ を

$$\begin{aligned} D1_{max} &= 245(s) / [(D1/100 + R1/100) / R1] \\ &= 245(s) / (0.1 + 0.3) \times 8.3 \times 10^{-3} \\ &= 5(\mu m) \end{aligned}$$

即ち、エッチング停止層106よりも上の半導体層の層厚を5 μm 以下とすることが望ましい。

$$D1 \leq 5(\mu m)$$

エッチング停止層106は、エッチング停止層106の下の半導体層と選択的にエッチング除去できる。例えば、エッチング停止層106は、塩酸系のエッチング液Bによって選択的にコンタクト層(n)105と共にエッチング除去できる。

【0018】

例えば、エッチング停止層106の直下のコンタクト層(n)105が、10nmとした場合であっても、コンタクト層(n)105を露出させることが出来る。コンタクト層(n)105が10nmエッチング停止層106よりも上のLED素子1のエッチング液Aによってエッチングされる時間は、

$$\begin{aligned} t &= 10(nm) / 8.31 \times 10^{-3}(\mu m/s) \\ &= 10(nm) / 8.31(nm/s) \\ &= 1.2(s) \end{aligned}$$

であって、もし、エッチング停止層106を超えて、その下のコンタクト層(n)105へエッチングが至った場合、約1sという短い時間でエッチングされてしまうことになる。以下に実施例1の半導体装置の変形例について説明する。

【0019】

図6は、実施例1の半導体装置の変形例の積層構造の説明図(その1)である。

図に示すように半導体層760、半導体層761を第1導電型半導体層で構成し、第2導電型不純物を選択的に(図中黒塗り部分)拡散し、pn接合を形成しても良い。

図7は、実施例1の半導体装置の変形例の積層構造の説明図(その2)である。

図8は、実施例1の半導体装置の変形例の積層構造の説明図(その3)である。

図に示すように多層反射層103(図6)を省略しても良い。

【0020】

以上説明したように、エッチング停止層106の層厚を、15nm以上30nm以下に設定することによって、発光領域を含む半導体層107(図1)のエッチング処理中に、直下の半導体層にまでエッチングが進行してしまう危険性を排除し、更に、直下のコンタクト層(n)105との境界に格子欠陥が発生するのを防止出来るという効果を得る。その結果、光量減少、電流リーク、連続通電に伴う光量劣化などの少ない高品質のLED素子を実現できるという効果を得る。

【実施例2】

【0021】

本実施例では、半導体エピタキシャル層内に、複数の発光領域と複数のエッチング停止層とを備えることを特徴とする。

【0022】

10

20

30

40

50

図9は、実施例2の半導体装置の積層構造の説明図(その1)である。

図中、1010は、GaAs基板(n)である。1011は、第1のpn接合を含む半導体層となるLED1(n/p)である。1012は、第2導電型のコンタクト層1(p)である。1020は、第1導電型のエッチング停止層1(p)である。1021は、第2のpn接合を含む半導体層となるLED2(n/p)である。1022は、第2導電型のコンタクト層2(n)である。1030は、第2導電型のエッチング停止層2(p)である。1031は、第3のpn接合を含む半導体層となるLED3(n/p)である。1032は、第3導電型のコンタクト層3(n)である。各エッチング停止層は、 $In_xGa_{1-x}As$ で構成され、それぞれの層厚は、15nm以上、30nm以下とする。

【0023】

図10は、実施例2の半導体装置の積層構造の説明図(その2)である。

この図は、半導体エピタキシャル層構造の具体例を示す図である。図に示すように、実施例2の半導体装置は、pn接合を含むLED素子層1011、第2導電型コンタクト層1012、第2導電型の第1のエッチング停止層1020、pn接合を含むLED素子層1021、第2導電型コンタクト層1022、第2導電型の第2のエッチング停止層1030、pn接合を含むLED素子層1031、第2導電型コンタクト層1032を備える。LED素子層1011は、第1導電型GaAs層1011a、第1導電型 $Al_{x_1}Ga_{1-x_1}As$ クラッド層1011b、第1導電型 $Al_{y_1}Ga_{1-y_1}As$ 活性層1011c、第2導電型 $Al_zGa_{1-z}As$ クラッド層1011dによって構成される。LED素子層1021は、第2導電型GaAs層1021a、第2導電型 $Al_{x_2}Ga_{1-x_2}As$ クラッド層1021b、第2導電型 $Al_{y_2}Ga_{1-y_2}As$ 活性層1021c、第1導電型 $Al_zGa_{1-z}As$ クラッド層1021d、第1導電型GaAs1022によって構成される

【0024】

LED素子層1031は、第1導電型GaAs層1031a、第1導電型 $Al_{x_3}Ga_{1-x_3}As$ クラッド層1031b、第1導電型 $Al_{y_3}Ga_{1-y_3}As$ 活性層1031c、第2導電型 $Al_zGa_{1-z}As$ クラッド層1031d、第2導電型GaAs1032によって構成される。

【0025】

ここで、X1、Y1、Z1の大小関係、X2、Y2、Z2の大小関係、及び、X3、Y3、Z3の大小関係は、それぞれ、

$$X1, Z1 > Y1$$

$$X2, Z2 > Y2$$

$$X3, Z3 > Y3$$

であることが望ましい。又、 $X1 < X2 < X3$ であることが望ましい。

【0026】

各エッチング停止層の層厚は、出射された光のコンタクト層での吸収を考慮すると、薄いことが望ましい。発明者らの系統的な実験によれば、GaAsコンタクト層の層厚が10nmより小さい場合には、コンタクトメタルとGaAsコンタクト層の間でのオーミックコンタクトが形成しにくい。また、GaAsコンタクト層の層厚が200nmを超えると、GaAsコンタクト層での光吸収がおおよそ50%を超え、GaAsコンタクト層での光吸収が無い場合と比較して発光効率が半減するため、GaAsコンタクト層の層厚は、200nmを超えない範囲が望ましい。より、好ましくは、50nm以下である。即ち、GaAsコンタクト層の厚さを、10nm以上、200nm以下とする。以下に実施例2の半導体装置の変形例について説明する。

【0027】

図11は、実施例2の半導体装置の変形例の積層構造の説明図(その1)である。

図に示すように、図10に於けるLED素子層1011と、GaAs基板(n)1010との間にGaAs基板1201の導電型と逆の導電型のGaAsバッファ層1211、及び、第1導電型の導通層1212を加えた形態である。

10

20

30

40

50

【0028】

図12は、実施例2の半導体装置の変形例の積層構造の説明図(その2)である。

図に示すように、第1導電型GaAsコンタクト層(1311a、1321a、1331a)を最下層に持ち、第2導電型GaAsコンタクト層(1311e、1321e、1331e)を最上層に持つ、発光素子層1311、1321、1331を積層し、各層の第1導電型GaAsコンタクト層を露出するため $\text{In}_x\text{Ga}_{1-x}\text{P}$ エッチング停止層(1311b、1321b、1331b)を備える。更に、第1、第2の発光素子層の第2導電型GaAsコンタクト層(1311e、1321e)を露出させるための $\text{In}_x\text{Ga}_{1-x}\text{P}$ エッチング停止層(1310、1320)を備えていても良い。

【0029】

図13は、実施例2の半導体装置の変形例の積層構造の説明図(その2)である。

図に示すように、第1、第2の発光素子層に第1導電型GaAsバッファ層(1311c、1321c)を設けても良い。ここでは、複数の発光素子層を3層に限定して説明したが、本発明は、この例には限定されない。

【0030】

以上説明したように、本実施例によれば、複数のpn接合を含む複数の半導体層と複数のエッチング停止層を含む半導体層とし、各エッチング停止層の層厚を15nm以上30nm以下としたので良好な状態の複数のコンタクト層を露出させた複数波長の発光素子を得ることが出来るという効果を得る。

【実施例3】

【0031】

本実施例では、発光素子を構成する、エッチング停止層を含む半導体薄膜がSi基板上に形成されていることを特徴とする。

【0032】

図14は、実施例3のLED素子層の積層状態説明図である。

図(a)に示すようにLED素子層は、一例として $\text{Al}_x\text{Ga}_{1-x}\text{As}$ からなる第1導電型クラッド層1611と、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ からなる第1導電型活性層1612と、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ からなる第2導電型クラッド層1613とが積層され構成される。あるいは又、図(b)に示すようにクラッド層を複数の積層構造としても良い。

【0033】

図15は、実施例3の半導体装置の積層構造の説明図である。

図中、1501は、Si基板である。1502は、多層反射層であり、例えばメタル層、半導体積層、絶縁膜積層などから構成される。1503は、絶縁層であり、例えば有機絶縁膜層などによって構成される。1510は、半導体薄膜層であり、第1導電型GaAs層1511と、例えば $\text{Al}_t\text{Ga}_{1-t}\text{As}$ からなる第1導電型導通層1512と、第1導電型GaAsコンタクト層1513と、例えば $\text{Al}_x\text{Ga}_{1-x}$ からなる第1導電型エッチング停止層1514と、第1導電型GaAsバッファ層1515と、pn接合を含むLED層1516と、第2導電型コンタクト層1517を積層して構成される。但し、図14(b)のようにクラッド層を複数積層しても良い。ここで、第1導電型エッチング停止層1514は、15nm以上30nm以下に設定することが好適である。以下に本実施例による半導体装置の変形例について説明する。

【0034】

図16は、実施例3の半導体装置の変形例の積層構造の説明図である。

図に示すように、実施例3の半導体装置の変形例では、図15から導通層1512と、GaAs層1511を削除した形態である。下側のGaAsを省略することによって、下面での光吸収が無くなり、発光効率は上昇する。尚、Si基板上には集積回路などの回路が設けられていても良い。

【0035】

以上説明したように本実施例によれば、発光素子薄膜を異種基板上に設けた構造でLED層の下方に、15nm以上で30nm以下のエッチング停止層を露出することが出来、

10

20

30

40

50

低抵抗の発光素子を得ることが出来るという効果を得る。

【実施例 4】

【0036】

本実施例では、GaAs 基板上に異なる機能の素子領域を設けたことを特徴とする。

図 17 は、実施例 4 の半導体装置の積層構造の説明図である。

図中、1901 は、GaAs 基板である。1910 は、素子領域(1)を構成するための半導体層である。1920 は、素子領域(1)の最上層の GaAs コンタクト層である。1930 は、InGaP 層からなるエッチング停止層である。1932 は、GaAs バッファ層である。1934 は、素子領域(2)を構成するための半導体層である。1950 は、GaAs コンタクト層 1920 を露出させた素子領域(1)である。1952 は、素子領域(2)である。

10

【0037】

このように、素子領域(1)、素子領域(2)との間にエッチング停止層 1930 を設けることによって、下層の素子領域(1)の領域表面を良好な状態で露出することが可能になるので、異なる機能の素子を集積した素子を得ることが出来るという効果を得る。

【0038】

尚、上記説明では、2種類の機能素子を積層した形態を示したが、これは1例であって、本発明が、この例に限定されるものではない。即ち、3種類、4種類・・・であっても良い。又、縦方向に3種類以上の機能素子を集積しても良いし、素子領域(1)の上に、素子領域(2)、素子領域(3)を設けても良い。

20

【実施例 5】

【0039】

本実施例では、上記実施例 1 から実施例 4 で説明した半導体装置を LED ヘッドとして画像形成装置に適用する例について説明する。

図 18 は、本発明の LED ヘッドを用いたプリンタヘッドの説明図である。

図 19 は、LED ヘッドの平面配置図である。

図に示すように、ベース部材 201 上には、LED ヘッド 202 が搭載されている。この LED ヘッド 202 は、上記実施例 1 から実施例 4 に記載した何れかの半導体装置が実装されている。又、図に示すように、実装基板 202e 上には、発光部と駆動部を複合した半導体複合装置が、発光部ユニット 202a として長手方向に沿って複数個配置されている。実装基板 202e 上には、その他に、電子部品が配置される配線が形成されている。又電子部品実装エリア 202b、202c、及び外部から制御信号や電源などを供給するためのコネクタ 202d 等が設けられている。

30

【0040】

発光部ユニット 202a の発光部上方には、発光部から出射された光を集光する光学素子としてのロッドレンズアレイ 203 が配設されている。このロッドレンズアレイ 203 は、柱状の光学レンズを発光部ユニット 202a の直線状に配列された発光部に沿って多数配列されたもので、光学素子ホルダに相当するレンズホルダ 204 によって所定位置に保持されている。

【0041】

このレンズホルダ 204 は、図に示すように、ベース部材 201 及び LED ヘッド 202 を覆うように形成されている。ベース部材 201、LED ヘッド 202、及びレンズホルダ 204 は、ベース部材 201 及びレンズホルダ 204 に形成された開口部 201a、204a を介して配設されるクランプ 205 によって一体的に挟持されている。従って、LED ヘッド 202 で発生した光は、ロッドレンズアレイ 203 を通して、所定の外部部材に照射される。この LED プリンタヘッド 200 は、例えば電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。

40

【0042】

図 20 は、本発明の画像形成装置の要部構成図である。

図に示すように、画像形成装置 300 内には、イエロー、マゼンタ、シアン、ブラック

50

の各色の画像を、各々に形成する4個のプロセスユニット301~304が、記録媒体305の搬送経路320に沿って、その上流側から順に配置されている。プロセスユニット301~304の内部構成は共通しているため、例えばシアンのプロセスユニットを例にとり、内部構成について説明する。

【0043】

プロセスユニット303には、像担持体として感光体ドラム303aが矢印方向に回転可能に配置され、この感光体ドラム303aの周囲には、その回転方向上流側から順に、感光体ドラム303aの表面に電気供給して帯電させる帯電装置303b、帯電された感光体ドラム303aの表面に選択的に光を照射して静電潜像を形成する露光装置303cが配設される。更に、静電潜像が形成された感光体ドラム303aの表面に、シアン

10

【0044】

又、画像形成装置300は、その下部に、紙などの記録媒体305を堆積した状態で収納する用紙カセット306を装着し、その上方には記録媒体305を1枚ずつ分離させて搬送するためのホッピングローラ307が配設されている。更に、記録媒体305の搬送方向における、このホッピングローラ307の下流側には、ピンチローラ308、309と共に記録媒体305を挟持することによって、記録媒体305の斜行を修正し、プロセス

20

【0045】

プロセスユニット301~304の各感光体ドラムに対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ312が配設されている。各感光体ドラム301a~304a上のトナーを記録媒体305に付着させるために、各感光体ドラム301a~304aの表面とこれらの各転写ローラ312の表面との間に所定の電位差が生じるように構成されている。

【0046】

定着装置313は、加熱ローラとバックアップローラとを有し、記録媒体305上に転写されたトナーを加圧、加熱することによって定着される。また、排出口ローラ314、315は、定着装置313から排出された記録媒体305を、排出部のピンチローラ316、317と共に挟持し、記録媒体スタッカ部318に搬送する。尚、排出口ローラ314、315は、図示されない駆動源、及び、ギアによって連動回転する。ここで使用される露光装置303cには、LEDユニットが搭載されている。

30

【0047】

次に、画像形成装置の動作について説明する。まず、用紙カセット306に堆積した状態で収納されている記録媒体305がホッピングローラ307によって、上から1枚ずつ分離されて搬送される。その後、記録媒体305は、感光体ドラム301a及び転写ローラ212に挟持され、その記録画面にトナー画像が転写されると同時に感光体ドラム301aの回転によって搬送される。

40

【0048】

同様にして、記録媒体305は、順次プロセスユニット302~304を通過し、その通過過程で、各露光装置301c~304cにより形成された静電潜像を、現像装置301d~304dによって現像した各色のトナー像が、その記録画面に順次転写され重ね合わされる。そして、その記録面上に各色のトナー像が重ね合わされた後、定着装置313によってトナー像が定着された記録媒体305は、排出口ローラ314、315及びピンチローラ316、317に挟持されて、画像形成装置300の外部の記録媒体スタッカ部318に排出される。以上の過程を経て、カラー画像が記録媒体305上に形成される。

50

【 0 0 4 9 】

以上説明したように、実施例 1 ~ 実施例 4 に記載の半導体装置を用いた LED ヘッドを搭載することによって、高品質で信頼性の高い画像形成装置を得ることが出来るという効果を得る。

【 産業上の利用可能性 】

【 0 0 5 0 】

上記実施例では、本発明をプリンタに適用した場合に限定して説明したが、本発明は、この例に限定されるものではない。即ち、ファクシミリ装置、複合装置等にも適用可能である。

【 図面の簡単な説明 】

10

【 0 0 5 1 】

【 図 1 】 実施例 1 の LED 素子層の積層状態説明図である。

【 図 2 】 実施例 1 の半導体装置の平面配置の説明図である。

【 図 3 】 実施例 1 の半導体装置の積層構造の説明図（その 1 ）である。

【 図 4 】 実施例 1 の半導体装置の積層構造の説明図（その 2 ）である。

【 図 5 】 エッチング停止層のエッチング速度説明図である。

【 図 6 】 実施例 1 の半導体装置の変形例の積層構造の説明図（その 1 ）である。

【 図 7 】 実施例 1 の半導体装置の変形例の積層構造の説明図（その 2 ）である。

【 図 8 】 実施例 1 の半導体装置の変形例の積層構造の説明図（その 3 ）である。

【 図 9 】 実施例 2 の半導体装置の積層構造の説明図（その 1 ）である。

20

【 図 1 0 】 実施例 2 の半導体装置の積層構造の説明図（その 2 ）である。

【 図 1 1 】 実施例 2 の半導体装置の変形例の積層構造の説明図（その 1 ）である。

【 図 1 2 】 実施例 2 の半導体装置の変形例の積層構造の説明図（その 2 ）である。

【 図 1 3 】 実施例 2 の半導体装置の変形例の積層構造の説明図（その 2 ）である。

【 図 1 4 】 実施例 3 の LED 素子層の積層状態説明図である。

【 図 1 5 】 実施例 3 の半導体装置の積層構造の説明図である。

【 図 1 6 】 実施例 3 の半導体装置の変形例の積層構造の説明図である。

【 図 1 7 】 実施例 4 の半導体装置の積層構造の説明図である。

【 図 1 8 】 本発明の LED ヘッドを用いたプリンタヘッドの説明図である。

【 図 1 9 】 LED ヘッドの平面配置図である。

30

【 図 2 0 】 本発明の画像形成装置の要部構成図である。

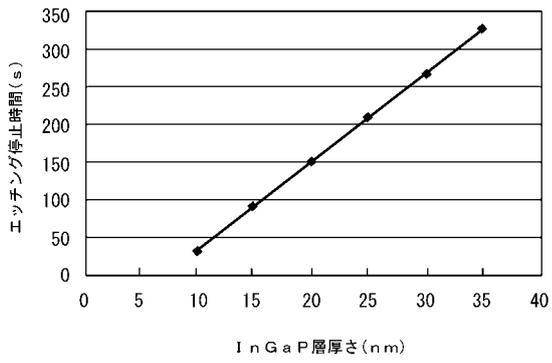
【 符号の説明 】

【 0 0 5 2 】

- 2 LED 素子層
- 1 0 1 GaAs 基板
- 1 0 2 GaAs パッファー層
- 1 0 3 多層反射層
- 1 0 4 導通層
- 1 0 5 コンタクト層 (n)
- 1 0 6 エッチング停止層
- 1 0 7 発光領域を含む半導体層
- 1 0 8 コンタクト層 (p)
- 1 1 0 電極コンタクト (p)
- 1 2 5 層間絶縁膜

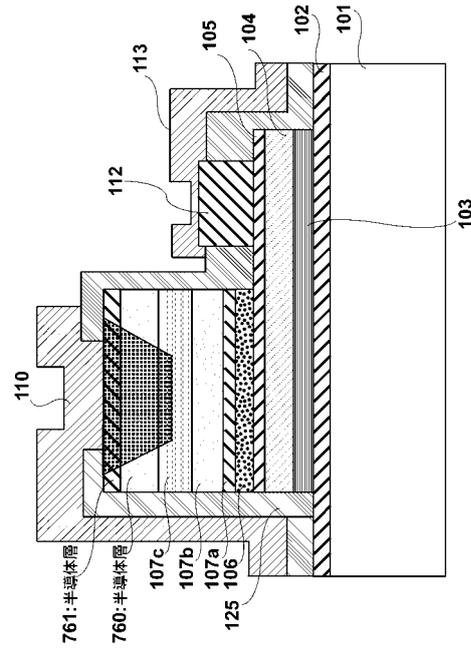
40

【 図 5 】



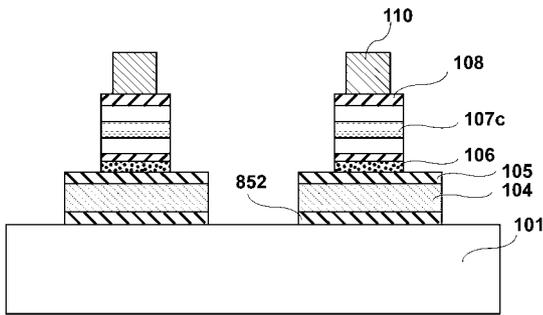
エッチング停止層のエッチング速度説明図

【 図 6 】



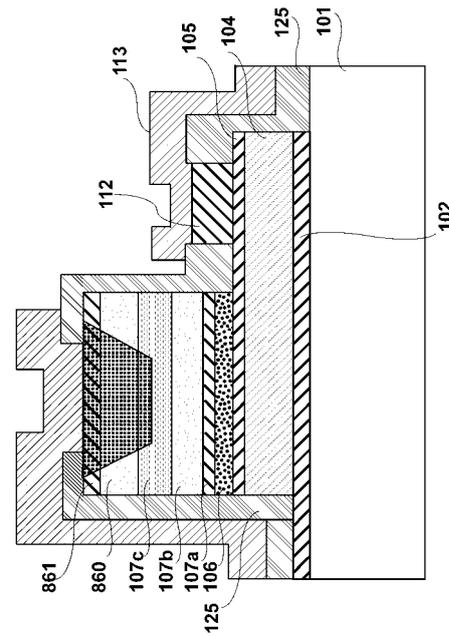
実施例 1 の半導体装置の変形例の積層構造の説明図 (その 1)

【 図 7 】



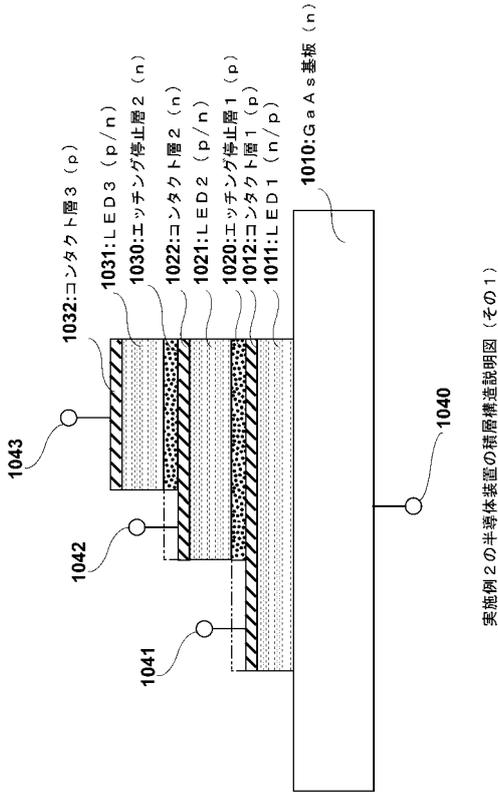
実施例 1 の半導体装置の変形例の積層構造の説明図 (その 2)

【 図 8 】

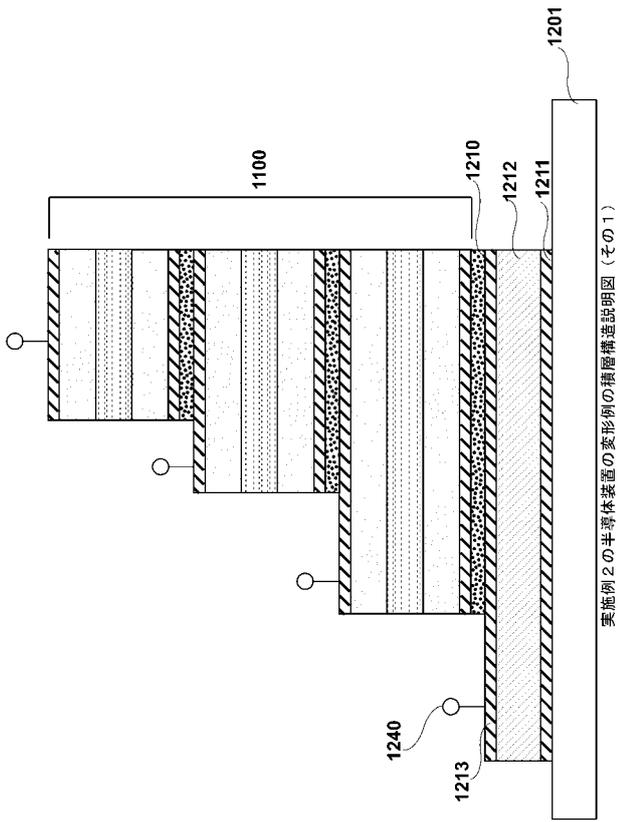


実施例 1 の半導体装置の変形例の積層構造の説明図 (その 3)

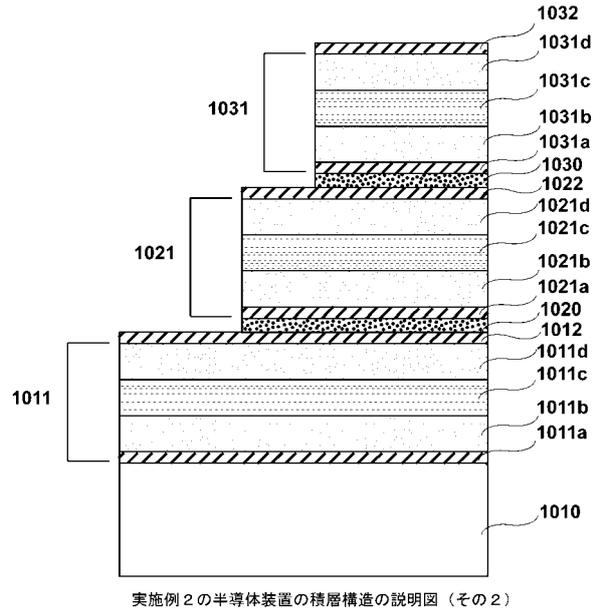
【 図 9 】



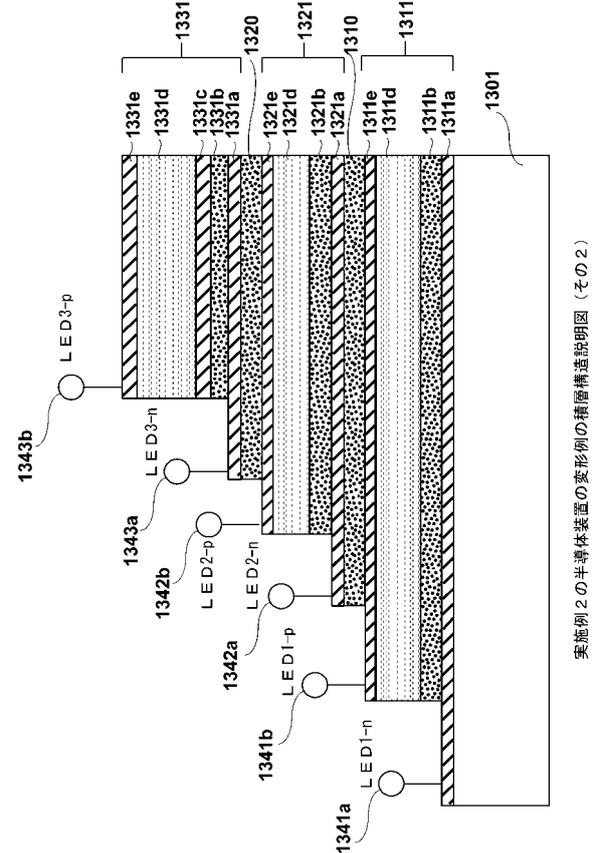
【 図 1 1 】



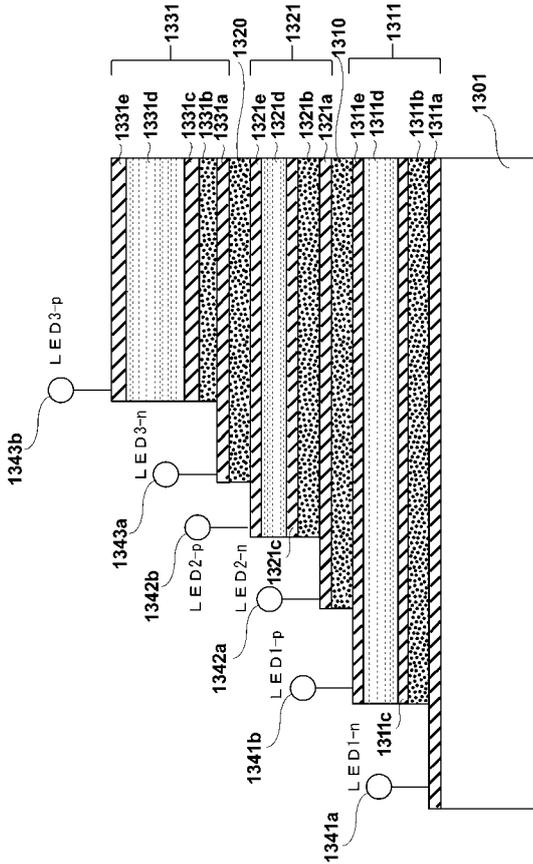
【 図 1 0 】



【 図 1 2 】

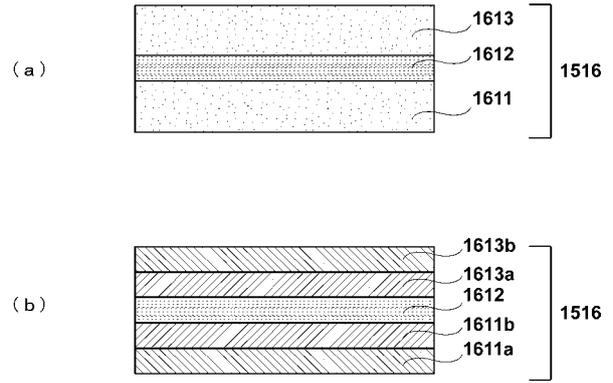


【 図 1 3 】



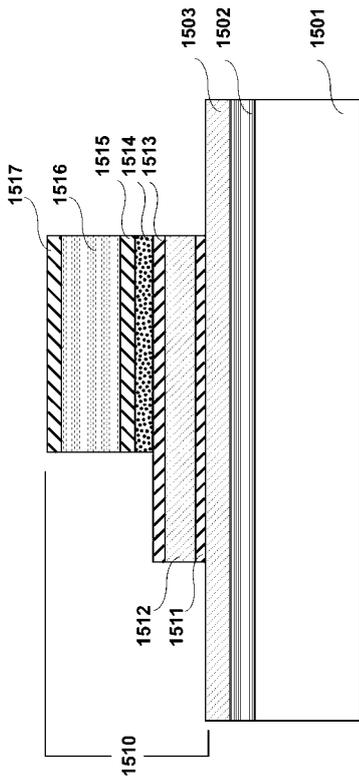
実施例2の半導体装置の変形例の積層構造説明図(その3)

【 図 1 4 】



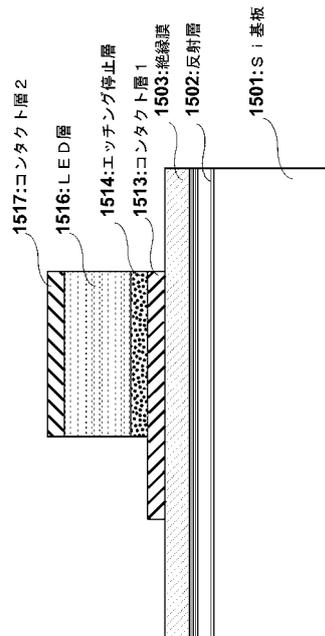
実施例3のLED素子層の積層状態説明図

【 図 1 5 】



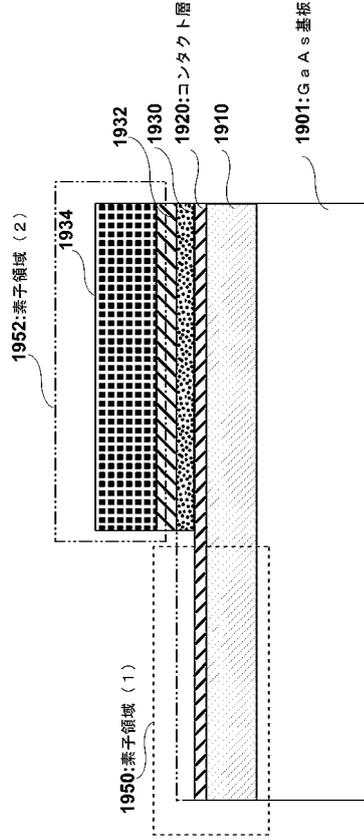
実施例3の半導体装置の積層構造の説明図

【 図 1 6 】



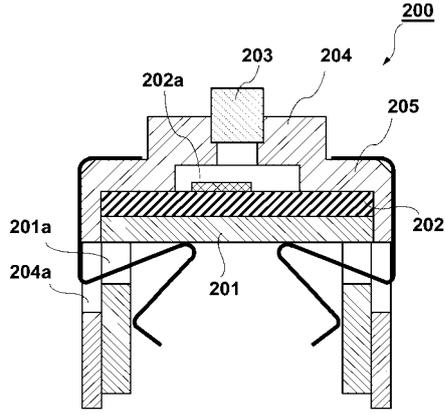
実施例3の半導体装置の変形例の積層構造の説明図

【 図 1 7 】



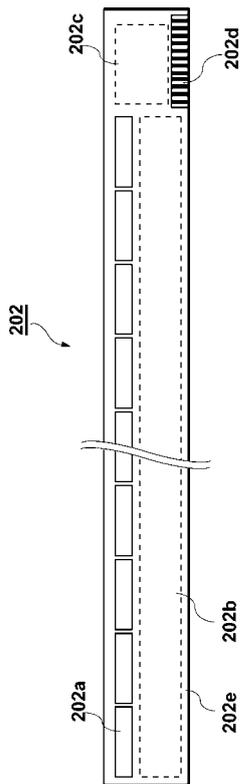
実施例4の半導体装置の積層構造の説明図

【 図 1 8 】



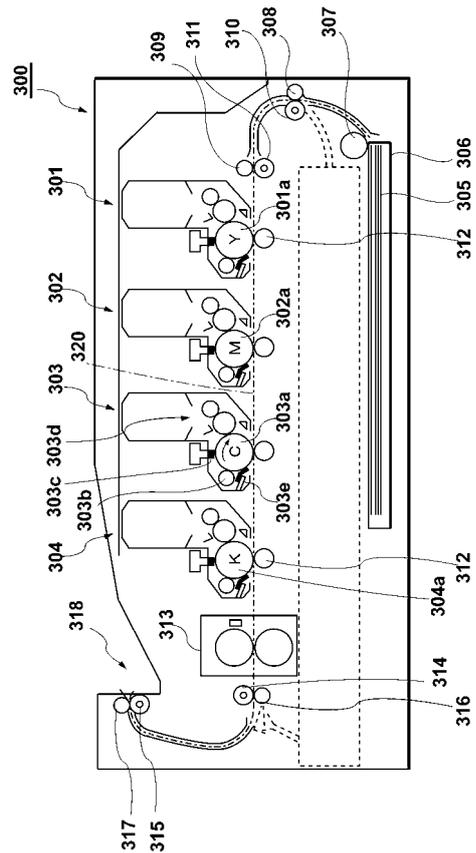
本発明のLEDヘッドを用いたプリンタヘッドの説明図

【 図 1 9 】



LEDヘッドの平面配置図

【 図 2 0 】



本発明の画像形成装置の要部構成図

フロントページの続き

(72)発明者 藤原 博之

東京都八王子市東浅川町5 5 0番地の1 株式会社沖デジタルイメージング内

(72)発明者 萩原 光彦

東京都八王子市東浅川町5 5 0番地の1 株式会社沖デジタルイメージング内

Fターム(参考) 5F041 AA40 AA41 BB34 CA04 CA36 CA39 CA74 CB15 CB23 CB25

CB36 FF13