

1. 一种薄膜晶体管,其特征在于,所述薄膜晶体管包括:

基板,所述基板包括第一表面;

依次层叠设置在所述基板的所述第一表面上的缓冲层、第一半导体层、蚀刻阻挡层及第二半导体层,所述缓冲层用于缓冲在制备所述薄膜晶体管的过程中所述基板受到的应力,所述蚀刻阻挡层上设有第一贯孔和第二贯孔,所述蚀刻阻挡层覆盖所述第一表面未被所述第一半导体层覆盖的部分;

源极和漏极,所述源极和所述漏极间隔设置在所述第二半导体层上且分别对应所述第二半导体层的两端设置,所述源极和所述漏极分别通过所述第一贯孔和所述第二贯孔与所述第一半导体层相连;

栅极绝缘层,所述栅极绝缘层层叠设置在所述源极和所述漏极上;及

栅极,所述栅极层叠设置在所述栅极绝缘层上,

所述薄膜晶体管还包括第一导电部和第二导电部,所述第一导电部用于连接所述源极与所述第一半导体层以及连接所述源极与所述第二半导体层,所述第二导电部用于连接所述漏极与所述第一半导体层以及连接所述漏极与所述第二半导体层,所述源极部分接触所述第二半导体层,

所述第一导电部包括第一凸出部及第一覆盖部,所述第一凸出部的一端与所述第一覆盖部相连,所述第一凸出部收容于所述第一贯孔内,以使所述第一凸出部的另一端与所述第一半导体层相连,所述第一覆盖部设置于所述蚀刻阻挡层上,覆盖所述第一贯孔,且所述第一覆盖部与所述源极相连,

所述第二导电部包括第二凸出部及第二覆盖部,所述第二凸出部的一端与所述第二覆盖部的一端相连,所述第二凸出部收容于所述第二贯孔内以使所述第二凸出部的另一端与所述第一半导体层相连,所述第二覆盖部设置于所述蚀刻阻挡层上,覆盖所述第二贯孔,且所述第二覆盖部与所述漏极相连。

2. 如权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管还包括第一欧姆接触层,所述第一欧姆接触层设置于所述第一贯孔与所述第一半导体层之间。

3. 如权利要求2所述的薄膜晶体管,其特征在于,所述薄膜晶体管还包括第二欧姆接触层,所述第二欧姆接触层设置于所述第二贯孔与所述第一半导体层之间。

4. 一种薄膜晶体管的制备方法,其特征在于,所述薄膜晶体管的制备方法包括:

提供基板,所述基板包括第一表面;

在所述基板的所述第一表面上依次层叠设置缓冲层、第一半导体层、蚀刻阻挡层及第二半导体层,所述缓冲层用于缓冲在制备所述薄膜晶体管的过程中所述基板受到的应力,在所述蚀刻阻挡层上形成第一贯孔和第二贯孔,所述蚀刻阻挡层覆盖所述第一表面未被所述第一半导体层覆盖的部分;

形成第一导电部和第二导电部;

在所述第二半导体层上且分别对应所述第二半导体层的两端形成间隔设置的源极和漏极,所述源极和所述漏极分别通过所述第一贯孔和所述第二贯孔与所述第一半导体层相连;

形成栅极绝缘层,所述栅极绝缘层层叠设置在所述源极和所述漏极上;

形成栅极,所述栅极层叠设置在所述栅极绝缘层上,

所述第一导电部用于连接所述源极与所述第一半导体层以及连接所述源极与所述第二半导体层,所述第二导电部用于连接所述漏极与所述第一半导体层以及连接所述漏极与所述第二半导体层,

所述第一导电部包括第一凸出部及第一覆盖部,所述第一凸出部的一端与所述第一覆盖部相连,所述第一凸出部收容于所述第一贯孔内,以使所述第一凸出部的另一端与所述第一半导体层相连,所述第一覆盖部设置于所述蚀刻阻挡层上,覆盖所述第一贯孔,且所述第一覆盖部与所述源极相连,

所述第二导电部包括第二凸出部及第二覆盖部,所述第二凸出部的一端与所述第二覆盖部的一端相连,所述第二凸出部收容于所述第二贯孔内以使所述第二凸出部的另一端与所述第一半导体层相连,所述第二覆盖部设置于所述蚀刻阻挡层上,覆盖所述第二贯孔,且所述第二覆盖部与所述漏极相连。

5. 如权利要求4所述的薄膜晶体管的制备方法,其特征在于,所述薄膜晶体管的制备方法还包括:

形成第一欧姆接触层,所述第一欧姆接触层设置于所述第一贯孔与所述第一半导体层之间。

6. 如权利要求5所述的薄膜晶体管的制备方法,其特征在于,所述薄膜晶体管的制备方法还包括:

形成第二欧姆接触层,所述第二欧姆接触层设置于所述第二贯孔与所述第二半导体层之间。

薄膜晶体管及薄膜晶体管的制备方法

技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种薄膜晶体管及薄膜晶体管的制备方法。

背景技术

[0002] 薄膜晶体管(thin film transistor,TFT)作为一种开关元件被广泛地应用在液晶显示装置等电子装置中。薄膜晶体管由于可以应用在高分辨率(high pixels per inch, high PPI)的显示设备上而得到广泛地关注。对于薄膜晶体管而言,高的开态电流可以增加所述晶体管的开关速度。为了增加所述薄膜晶体管的开态电流,通常的做法是增加薄膜晶体管中沟道的宽度或者是减小沟道的长度。然而,增大薄膜晶体管中沟道的宽度会降低液晶显示装置的开口率;减小薄膜晶体管的沟道的长度会引起短沟道效应。综上所述,现有技术中薄膜晶体管的开态电流较小,从而导致薄膜晶体管的开关速度较慢。

发明内容

[0003] 一方面,提供了一种薄膜晶体管,所述薄膜晶体管具有较大的开态电流及较快的开关速度。

[0004] 所述薄膜晶体管包括:

[0005] 基板;

[0006] 依次层叠设置在所述基板的表面上的第一半导体层、蚀刻阻挡层及第二半导体层,所述蚀刻阻挡层上设有第一贯孔和第二贯孔;

[0007] 源极和漏极,所述源极和所述漏极间隔设置在所述第二半导体层上且分别对应所述第二半导体层的两端设置,所述源极和所述漏极分别通过所述第一贯孔和所述第二贯孔与所述第一半导体层相连;

[0008] 栅极绝缘层,所述栅极绝缘层层叠设置在所述源极和所述漏极上;及

[0009] 栅极,所述栅极层叠设置在所述栅极绝缘层上。

[0010] 其中,所述薄膜晶体管还包括第一导电部,所述第一导电部用于连接所述源极与所述第一半导体层以及连接所述源极与所述第二半导体层,所述第一导电部包括第一凸出部及第一覆盖部,所述第一凸出部的一端与所述第一覆盖部相连,所述第一凸出部收容于所述第一贯孔内,以使所述第一凸出部的另一端与所述第一半导体层相连,所述第一覆盖部设置于所述蚀刻阻挡层上,覆盖所述第一贯孔,且所述第一覆盖部与所述源极相连。

[0011] 其中,所述薄膜晶体管还包括第二导电部,所述第二导电部用于连接所述漏极与所述第一半导体层以及连接所述漏极与所述第二半导体层,所述第二导电部包括第二凸出部及第二覆盖部,所述第二凸出部的一端与所述第二覆盖部的一端相连,所述第二凸出部收容于所述第二贯孔内以使所述第二凸出部的另一端与所述第一半导体层相连,所述第二覆盖部设置于所述蚀刻阻挡层上,覆盖所述第二贯孔,且所述第二覆盖部与所述漏极相连。

[0012] 其中,所述薄膜晶体管还包括第一欧姆接触层,所述第一欧姆接触层设置于所述第一贯孔与所述第一半导体层之间。

[0013] 其中,所述薄膜晶体管还包括第二欧姆接触层,所述第二欧姆接触层设置于所述第二贯孔与所述第一半导体层之间。

[0014] 本发明还提供了一种薄膜晶体管的制备方法,所述薄膜晶体管的制备方法制备出的薄膜晶体管具有较大的开态电流及较快的开关速度。

[0015] 所述薄膜晶体管的制备方法包括:

[0016] 提供基板;

[0017] 在所述基板的表面上依次层叠设置第一半导体层、蚀刻阻挡层及第二半导体层,在所述蚀刻阻挡层上形成第一贯孔和第二贯孔;

[0018] 在所述第二半导体层上且分别对应所述第二半导体层的两端形成间隔设置的源极和漏极,所述源极和所述漏极分别通过所述第一贯孔和所述第二贯孔与所述第一半导体层相连;

[0019] 形成栅极绝缘层,所述栅极绝缘层层叠设置在所述源极和所述漏极上;

[0020] 形成栅极,所述栅极层叠设置在所述栅极绝缘层上。

[0021] 其中,所述薄膜晶体管的制备方法还包括:

[0022] 形成第一导电部,所述第一导电部包括第一凸出部及第一覆盖部,所述第一凸出部的一端与所述第一覆盖部相连,所述第一凸出部收容于所述第一贯孔内,以使所述第一凸出部的另一端与所述第一半导体层相连,所述第一覆盖部设置于所述蚀刻阻挡层上,覆盖所述第一贯孔,且所述第一覆盖部与所述源极相连。

[0023] 其中,所述薄膜晶体管的制备方法还包括:

[0024] 形成第二导电部,所述第二导电部包括第二凸出部及第二覆盖部,所述第二凸出部的一端与所述第二覆盖部的一端相连,所述第二凸出部收容于所述第二贯孔内以使所述第二凸出部的另一端与所述第一半导体层相连,所述第二覆盖部设置于所述蚀刻阻挡层上,覆盖所述第二贯孔,且所述第二覆盖部与所述漏极相连。

[0025] 其中,所述薄膜晶体管的制备方法还包括:

[0026] 形成第一欧姆接触层,所述第一欧姆接触层设置于所述第一贯孔与所述第一半导体层之间。

[0027] 其中,所述薄膜晶体管的制备方法还包括:

[0028] 形成第二欧姆接触层,所述第二欧姆接触层设置于所述第二贯孔与所述第二半导体层之间。

[0029] 相较于现有技术,本发明的薄膜晶体管及薄膜晶体管的制备方法制备出的薄膜晶体管包括第一半导体层和第二半导体层这两层半导体层,且所述第一半导体层及所述第二半导体层这两层半导体层均与源极及漏极相连,所述第二半导体层充当半导体层的同时也作为所述第一半导体层的栅极。当所述薄膜晶体管工作时,假设所述第一半导体层中的电流为第一电流,所述第二半导体层中的电路为第二电流,则所述薄膜晶体管的开态电流为所述第一电流与所述第二电流的和。本发明的薄膜晶体管能够有效增加所述薄膜晶体管的开态电流,因此,所述薄膜晶体管具有较快的开关速度。

附图说明

[0030] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现

有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0031] 图1为本发明一较佳实施方式的薄膜晶体管的剖面结构示意图。

[0032] 图2为本发明一较佳实施方式的薄膜晶体管的制备方法的流程图。

[0033] 图3至图7为本发明一较佳实施方式的薄膜晶体管的各个制备流程中对应的薄膜晶体管的剖面图。

具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 请参阅图1,图1为本发明一较佳实施方式的薄膜晶体管的剖面结构示意图。所述薄膜晶体管100包括基板110、依次层叠设置在所述基板110的表面上的第一半导体层120、蚀刻阻挡层130及第二半导体层140,所述蚀刻阻挡层130上设有第一贯孔131和第二贯孔132。所述薄膜晶体管100还包括源极150和漏极160,所述源极150和所述漏极160间隔设置在所述第二半导体层140上且分别对应所述第二半导体层140的两端设置,所述源极150和所述漏极160分别通过所述第一贯孔131和所述第二贯孔132与所述第一半导体层120相连。所述薄膜晶体管100还包括栅极绝缘层170和栅极180,所述栅极绝缘层170层叠设置在所述源极150和所述漏极160上,所述栅极180层叠设置在所述栅极绝缘层170上。

[0036] 在本实施方式中,所述薄膜晶体管100为顶栅极(top gate)薄膜晶体管。在本实施方式中,所述基板110为以玻璃基板。可以理解地,在其他实施方式中,所述基板110并不局限于为玻璃基板,所述基板110也可为一塑料基板。所述基板110包括第一表面a及与所述第一表面a相对设置的第二表面b。在本实施方式中,所述第一半导体层120、所述蚀刻阻挡层130和所述第二半导体层140依次层叠设置于所述基板110的所述第一表面a上。可以理解地,在其他实施方式中,所述第一半导体层120、所述蚀刻阻挡层130和所述第二半导体层140依次层叠设置于所述基板110的所述第二表面b上。

[0037] 在一实施方式中,所述薄膜晶体管100还包括缓冲层(图未示)。所述缓冲层设置于所述基板110的所述第一表面a上,所述第一半导体层120、所述蚀刻阻挡层130和所述第二半导体层140通过所述缓冲层设置于所述基板110的所述第一表面a上。所述缓冲层用于缓冲在制备所述薄膜晶体管100的过程中所述基板110受到的应力,以避免所述基板110的损坏或者破裂。所述缓冲层的材质选自氧化硅层,氮化硅层,氮氧化硅层及其组合的其中之一。可以理解地,在其他实施方式中,所述缓冲层也可设置在所述基板110的所述第二表面b上,此时,所述第一半导体层120、所述蚀刻阻挡层130和所述第二半导体层140通过所述缓冲层设置于所述基板110的所述第二表面b上。

[0038] 所述第一半导体层120设置于所述基板110的所述第一表面a的中部。所述第一半导体层120可以通过如下方式形成。在所述基板110的所述第一表面a上形成一整层的半导体层,图案化所述半导体层,以在所述基板110的所述第一表面a的中部形成所述第一半导

体层120。

[0039] 所述蚀刻阻挡层130覆盖在所述第一半导体层120上以及未覆盖所述第一半导体层120的第一表面a上。所述蚀刻阻挡层130用于防止在形成所述薄膜晶体管100的过程中对所述蚀刻阻挡层130覆盖的所述第一半导体层120以及所述基板110的损坏。所述蚀刻阻挡层130上设置有所述第一贯孔131和所述第二贯孔132,所述第一贯孔131和所述第二贯孔132分别对应所述第一半导体层120的两端设置。

[0040] 所述第二半导体层140设置于所述蚀刻阻挡层130的中部。且所述第二半导体层140对应所述第一贯孔131和所述第二贯孔132之间的位置设置。换句话说,所述第二半导体层140设置于所述蚀刻阻挡层130的中部,且所述第二半导体层130未覆盖所述第一贯孔131和所述第二贯孔132。

[0041] 所述源极150和所述漏极160分别设置于所述第二半导体层140的两端,且所述源极150通过所述第一贯孔131与所述第一半导体层120相连,所述漏极160通过所述第二贯孔132与所述第一半导体层120相连。

[0042] 所述薄膜晶体管100还包括第一导电部191,所述第一导电部191用于连接所述源极150与所述第一半导体层120以及连接所述源极150与所述第二半导体层140。所述第一导电部191包括第一凸出部1911及第一覆盖部1912,所述第一凸出部1911的一端与所述第一覆盖部1912相连,所述第一凸出部1911收容于所述第一贯孔131内,以使所述第一凸出部1911的另一端与所述第一半导体层120相连,所述第一覆盖部1912设置于所述蚀刻阻挡层130上,覆盖所述第一贯孔131,且所述第一覆盖部1912与所述源极150及与所述第二半导体层140相连。

[0043] 所述薄膜晶体管100还包括第二导电部192,所述第二导电部192用于连接所述漏极160与所述第一半导体层120以及连接所述漏极160与所述第二半导体层140。所述第二导电部192包括第二凸出部1921及第二覆盖部1922,所述第二凸出部1921的一端与所述第二覆盖部1922的一端相连,所述第二凸出部1921收容于所述第二贯孔132内以使所述第二凸出部1921的另一端与所述第一半导体层120相连,所述第二覆盖部1922设置于所述蚀刻阻挡层130上,覆盖所述第二贯孔132,且所述第二覆盖部1922与所述漏极160及与所述第二半导体层140相连。

[0044] 在一实施方式中,所述薄膜晶体管100还包括第一欧姆接触层(图未示),所述第一欧姆接触层设置于所述第一贯孔131与所述第一半导体层120之间。所述第一欧姆接触层用于减小设置在所述第一贯孔131内的第一凸出部1911与所述第一半导体层120之间的接触电阻。

[0045] 在一实施方式中,所述薄膜晶体管100还包括第二欧姆接触层(图未示),所述第二欧姆接触层设置于所述第二贯孔132与所述第一半导体层120之间。所述第二欧姆接触层用于减少设置在所述第二贯孔132内的第二凸出部1921与所述第一半导体层120之间的接触电阻。

[0046] 在本实施方式的所述薄膜晶体管100中,所述薄膜晶体管100包括第一半导体层120和第二半导体层140这两层半导体层,且所述第一半导体层120及所述第二半导体层140这两层半导体层均与源极150及漏极160相连,所述第二半导体层140充当半导体层的同时也作为所述第一半导体层120的栅极。当所述薄膜晶体管100工作时,假设所述第一半导体

层120中的电流为第一电流 I_{on1} ，所述第二半导体层140中的电路为第二电流 I_{on2} ，则所述薄膜晶体管100的开态电流为所述第一电流 I_{on1} 与所述第二电流 I_{on2} 的和。本发明的薄膜晶体管能够有效增加所述薄膜晶体管的开态电流，因此，所述薄膜晶体管100具有较快的开关速度。

[0047] 下面结合图1对薄膜晶体管100的制备方法进行介绍。请参阅图2，图2为本发明一较佳实施方式的薄膜晶体管的制备方法的流程图。所述薄膜晶体管100的制备方法包括但不限于以下步骤。

[0048] 步骤S101，提供基板110。在本实施方式中，所述基板110为一玻璃基板。可以理解地，在其他实施方式中，所述基板110并不局限于为玻璃基板，所述基板110也可以为一塑料基板。请参阅图3，所述基板110包括第一表面a及与所述第一表面a相对的第二表面b。

[0049] 步骤S102，在所述基板110的表面上依次层叠设置第一半导体层120、蚀刻阻挡层130及第二半导体层140，在所述蚀刻阻挡层130上形成第一贯孔131和第二贯孔132。请一并参阅图4，所述第一半导体层120、所述蚀刻阻挡层130及所述第二半导体层140依次层叠设置于所述基板100的所述第一表面a上。可以理解地，在其他实施方式中，所述第一半导体层120、所述蚀刻阻挡层130及所述第二半导体层140依次层叠设置于所述基板100的所述第二表面b上。

[0050] 具体地，所述第一半导体层120设置于所述基板110的所述第一表面a的中部，所述第一半导体层120可以通过如下方式形成。在所述基板110的所述第一表面a上形成一整层的半导体层，图案化所述半导体层，以在所述基板110的所述第一表面a的中部形成所述第一半导体层120。

[0051] 所述蚀刻阻挡层130覆盖在所述第一半导体层120上以及未覆盖所述第一半导体层120的第一表面a上。所述蚀刻阻挡层130用于防止在形成所述薄膜晶体管100的过程中对所述蚀刻阻挡层130覆盖的所述第一半导体层120以及所述基板110的损坏。所述蚀刻阻挡层130上设置有所述第一贯孔131和所述第二贯孔132，所述第一贯孔131和所述第二贯孔132分别对应所述第一半导体层120的两端设置。

[0052] 所述第二半导体层140设置于所述蚀刻阻挡层130的中部。且所述第二半导体层140对应所述第一贯孔131和所述第二贯孔132之间的位置设置。换句话说，所述第二半导体层140设置于所述蚀刻阻挡层130的中部，且所述第二半导体层130未覆盖所述第一贯孔131和所述第二贯孔132。

[0053] 在一实施方式中，在所述步骤S101及所述步骤S102之间还包括步骤I。

[0054] 步骤I，在所述基板110的表面上形成缓冲层（图未示）。在一实施方式中，所述第一半导体层120、所述蚀刻阻挡层130及所述第二半导体层140通过所述缓冲层依次层叠设置于所述基板100的所述第一表面a上。在另一实施方式中，所述第一半导体层120、所述蚀刻阻挡层130及所述第二半导体层140通过所述缓冲层依次层叠设置于所述基板100的所述第二表面b上。所述缓冲层用于缓冲所述基板110在制备所述薄膜晶体管100的过程中受到的应力，以避免所述基板110的损坏或者破裂。所述缓冲层的材质选自氧化硅层，氮化硅层，氮氧化硅层及其组合的其中之一。

[0055] 步骤S103，在所述第二半导体层140上且分别对应所述第二半导体层140的两端形成间隔设置的源极150和漏极160，所述源极150和所述漏极160分别通过所述第一贯孔131

和所述第二贯孔132与所述第一半导体层120相连。请一并参阅图5。

[0056] 步骤S104,形成栅极绝缘层170,所述栅极绝缘层170层叠设置在所述源极150和所述漏极160上。请一并参阅图6。

[0057] 步骤S105,形成栅极180,所述栅极180层叠设置在所述栅极绝缘层180上。请一并参阅图7。

[0058] 在所述步骤S103和所述步骤S104之间,所述薄膜晶体管100的制备方法还包括步骤S106。

[0059] 步骤S106,形成第一导电部191,所述第一导电部191包括第一凸出部1911及第一覆盖部1912,所述第一凸出部1911的一端与所述第一覆盖部1912相连,所述第一凸出部1911收容于所述第一贯孔131内,以使所述第一凸出部1911的另一端与所述第一半导体层120相连,所述第一覆盖部1912设置于所述蚀刻阻挡层130上,覆盖所述第一贯孔131,且所述第一覆盖部1912与所述源极150相连。请一并参阅图5。

[0060] 在所述步骤S103和所述步骤S104之间,所述薄膜晶体管100的制备方法还包括步骤S107。所述步骤S106及所述步骤S107没有先后顺序,所述步骤S106和所述步骤S107也可在同一步骤中完成。

[0061] 步骤S107,形成第二导电部192,所述第二导电部192包括第二凸出部1921和第二覆盖部1922,所述第二凸出部1921的一端与所述第二覆盖部1922的一端相连,所述第二凸出部1921收容于所述第二贯孔132内以使所述第二凸出部1921的另一端与所述第一半导体层120相连,所述第二覆盖部1922设置于所述蚀刻阻挡层130上,覆盖所述第二贯孔132,且所述第二覆盖部1922与所述漏极160相连。请一并参阅图5。

[0062] 所述薄膜晶体管100的制备方法还包括步骤S108。

[0063] 步骤S108,形成第一欧姆接触层(图未示),所述第一欧姆接触层设置于所述第一贯孔131与所述第一半导体层120之间。所述第一欧姆接触层用于减小设置在所述第一贯孔131内的所述第一凸出部1911与所述第一半导体层120之间的接触电阻。

[0064] 所述薄膜晶体管100的制备方法还包括步骤S109。

[0065] 步骤S109,形成第二欧姆接触层(图未示),所述第二欧姆接触层设置于所述第二贯孔132与所述第二半导体层120之间。所述第二欧姆接触层用于减小设置在所述第二贯孔132内的所述第二凸出部1921与所述第一半导体层120之间的接触电阻。

[0066] 在本发明薄膜晶体管的制备方法制备出来的所述薄膜晶体管100中,所述薄膜晶体管100包括第一半导体层120和第二半导体层140这两层半导体层,且所述第一半导体层120及所述第二半导体层140这两层半导体层均与源极150及漏极160相连,所述第二半导体层140充当半导体层的同时也作为所述第一半导体层120的栅极。当所述薄膜晶体管100工作时,假设所述第一半导体层120中的电流为第一电流 I_{on1} ,所述第二半导体层140中的电路为第二电流 I_{on2} ,则所述薄膜晶体管100的开态电流为所述第一电流 I_{on1} 与所述第二电流 I_{on2} 的和。本发明的薄膜晶体管能够有效增加所述薄膜晶体管的开态电流,因此,所述薄膜晶体管100具有较快的开关速度。

[0067] 以上所揭露的仅为本发明一种较佳实施例而已,当然不能以此来限定本发明之权利范围,本领域普通技术人员可以理解实现上述实施例的全部或部分流程,并依本发明权利要求所作的等同变化,仍属于发明所涵盖的范围。

100

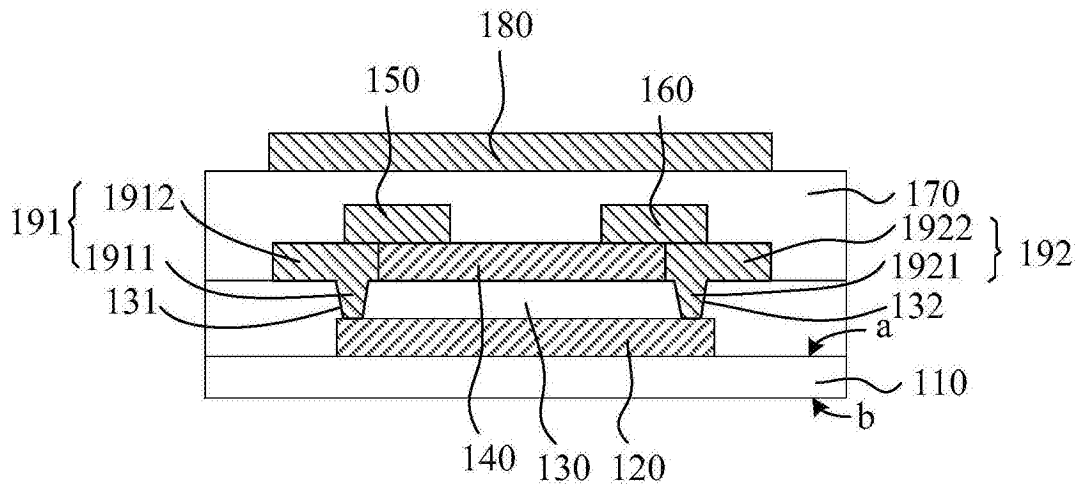


图1

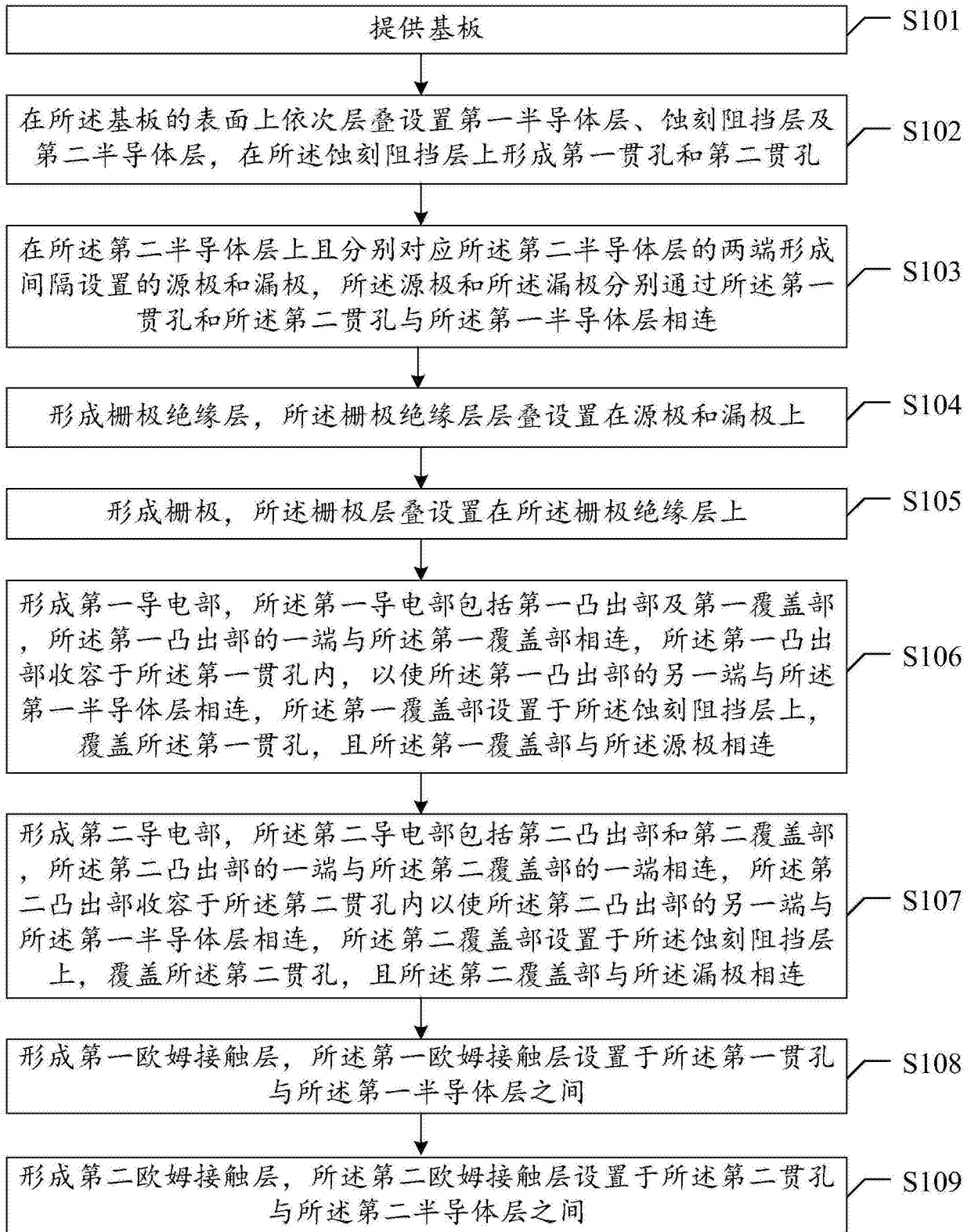


图2

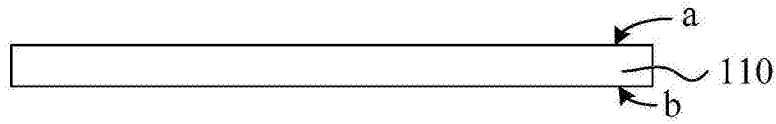


图3

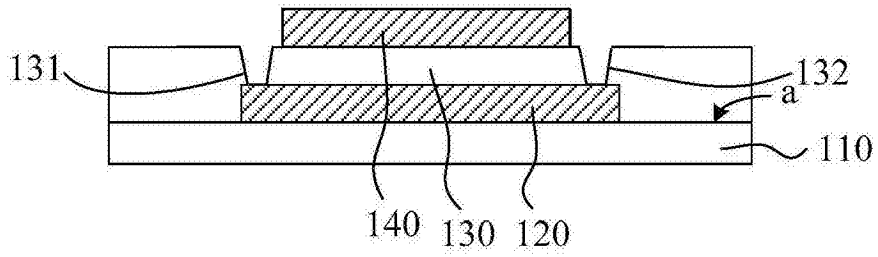


图4

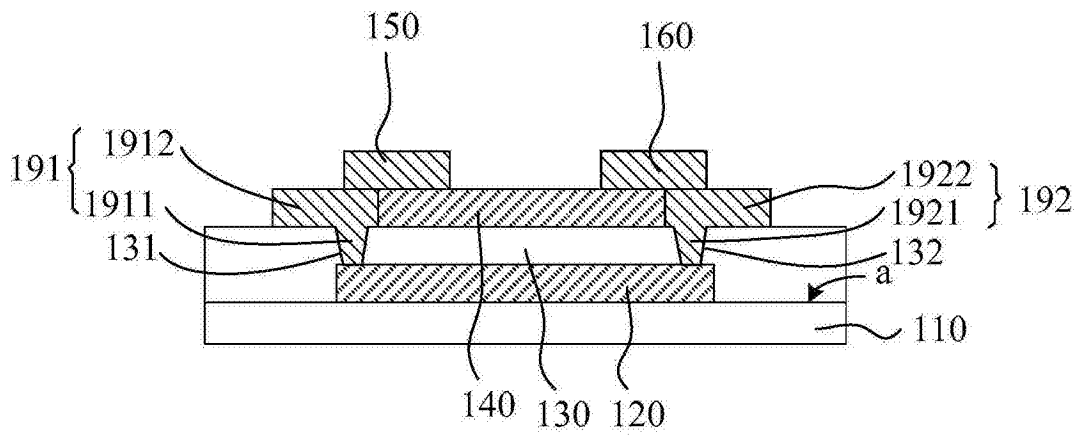


图5

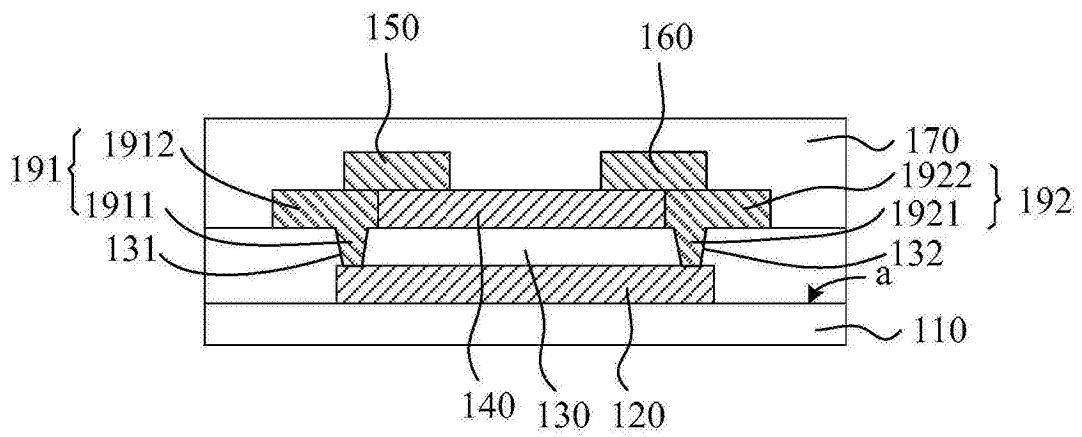


图6

100

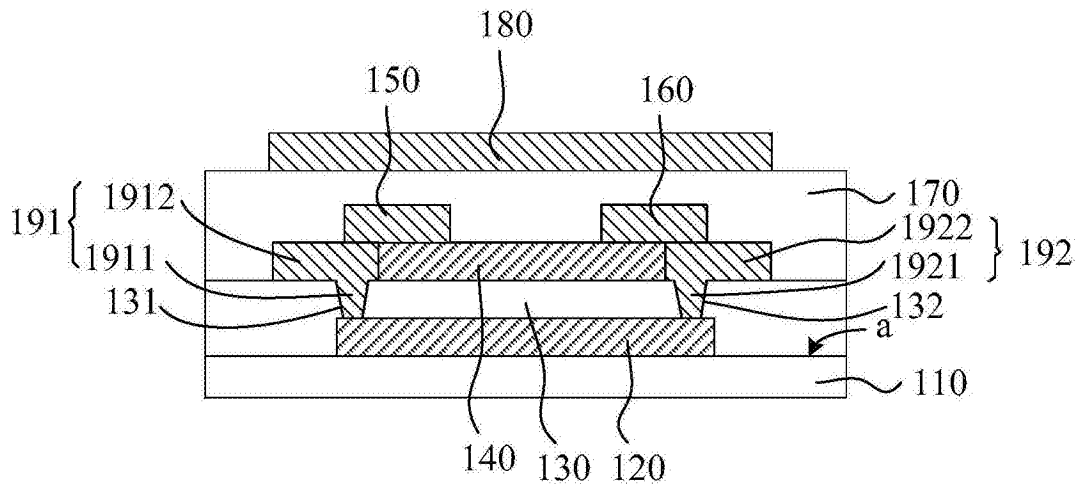


图7