

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-120814

(P2006-120814A)

(43) 公開日 平成18年5月11日(2006.5.11)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F O 3 2
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 3 3 1 A	5 F O 4 8
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F 1 1 0
HO 1 L 21/76 (2006.01)	HO 1 L 27/08 1 O 2 B	
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 L	

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-306367 (P2004-306367)
 (22) 出願日 平成16年10月21日 (2004.10.21)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100089233
 弁理士 吉田 茂明
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 一法師 隆志
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 Fターム(参考) 5F032 AA03 AA13 AA35 AA44 BA01
 BB06 CA17 DA22 DA43 DA77

最終頁に続く

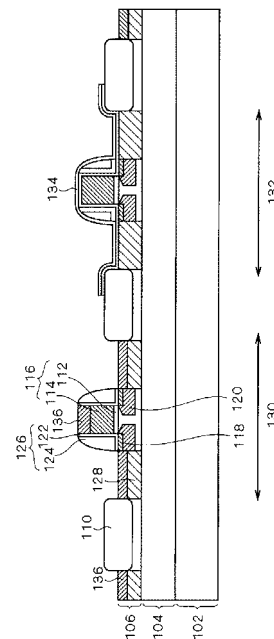
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 分離不良を防止しつつ寄生容量を低減できる半導体装置の製造方法を提供する。

【解決手段】 SOI層106、分離酸化膜110、およびゲート電極116上に酸化膜122を形成する。そして、酸化膜122の上に窒化膜124を形成する。次に、窒化膜124のみに異方性エッチングを行うことにより、ゲート電極116の両側面にサイドウォール126を形成する。すなわち、酸化膜122のエッチングは行われない。次に、N型不純物を酸化膜122ごしに注入することにより、SOI層106上主面内にソースドレイン128を形成する。このとき、不純物が埋め込み酸化膜104に達するように注入エネルギーを調整することにより、埋め込み酸化膜104に接するようにソースドレイン128が形成される。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板上に順に形成された埋め込み酸化膜および S O I 層と、
前記 S O I 層内に底面が位置し前記 S O I 層を部分的に分離するような分離絶縁膜と、
前記 S O I 層上に形成されたゲート電極と
を含む半導体装置の製造方法であって、

- (a) 前記ゲート電極を覆うように第一酸化膜を形成する工程と、
 - (b) 前記第一酸化膜上に窒化膜を形成する工程と、
 - (c) 前記第一酸化膜を残存させつつ前記窒化膜をエッチングすることによりサイドウォールを形成する工程と、
 - (d) 前記第一酸化膜ごしに前記 S O I 層に第一不純物を注入し第一ソースドレイン領域を形成する工程と
- を備えることを特徴とする半導体装置の製造方法。

10

【請求項 2】

基板上に順に形成された埋め込み酸化膜および S O I 層と、
前記 S O I 層内に底面が位置し前記 S O I 層を部分的に分離するような分離絶縁膜と、
前記 S O I 層上に形成されたゲート電極と
を含む半導体装置の製造方法であって、

- (a) 前記ゲート電極を覆うように第一酸化膜を形成する工程と、
 - (b - 1) 前記第一酸化膜上に窒化膜および第二酸化膜を順に形成する工程と、
 - (c - 1) 前記第一酸化膜を残存させつつ前記窒化膜および前記第二酸化膜をエッチングすることによりサイドウォールを形成する工程と、
 - (d) 前記第一酸化膜ごしに前記 S O I 層に第一不純物を注入し第一ソースドレイン領域を形成する工程と
- を備えることを特徴とする半導体装置の製造方法。

20

【請求項 3】

請求項 1 又は請求項 2 に記載の半導体装置の製造方法であって、

- (e) 前記工程 (d) よりも前に前記 S O I 層に前記第一不純物と同一の導電性を有する第二不純物を注入し第二ソースドレイン領域を形成する工程と
- をさらに備えることを特徴とする半導体装置の製造方法。

30

【請求項 4】

請求項 3 に記載の半導体装置の製造方法であって、
前記工程 (e) は、前記工程 (a) に引き続き行われる
ことを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかに記載の半導体装置の製造方法であって、
前記工程 (a) の前に前記ゲート電極の側面にオフセット絶縁膜を形成する工程
をさらに備え、

前記工程 (a) において、前記オフセット絶縁膜は前記ゲート電極と一体に前記第一酸化膜に覆われる
ことを特徴とする半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に、薄膜 S O I (Semiconductor On Insulator) 上に形成された M O S F E T を含む半導体装置の製造方法に関する。

【背景技術】

【0002】

従来半導体装置において、薄膜 S O I 上にパーシャルトレンチ分離構造を有する M O S F E T を形成する手順について説明する。

50

【 0 0 0 3 】

まず、Si 基板上に、埋め込み酸化膜、SOI 層、および下敷き酸化膜をこの順に形成する。次に、分離酸化膜を、下敷き酸化膜を貫通させ SOI 層の途中まで形成する。次に、チャンネルドープとして不純物を注入した後に、下敷き酸化膜を除去する。次に、SOI 層および分離酸化膜上に、ゲート酸化膜およびゲートポリシリコン層を形成し、これらをパターンングすることにより、ゲート電極の両側面にサイドウォールを形成する。次に、SOI 層上に、不純物を注入することによりエクステンションを形成した後に、酸化膜および窒化膜を形成する。次に、酸化膜および窒化膜に異方性エッチングを行うことにより、サイドウォールを形成する。次に、不純物を注入することにより、SOI 層上主面内にソースドレインを形成する。以上によりパーシャルトレンチ分離構造を有する MOSFET が形成される。

【 0 0 0 4 】

特許文献 1 ~ 2 および非特許文献 1 ~ 3 には、従来の MOSFET の製造方法又はパーシャルトレンチ分離構造についての開示がなされている。

【 0 0 0 5 】

【特許文献 1】特開平 5 - 2 1 8 0 7 2 号公報

【特許文献 2】特開 2 0 0 4 - 3 1 4 9 2 号公報

【非特許文献 1】DIGEST OF TECHNICAL PAPERS pp131-132, "Bulk-Layout-Compatible 0.18 μm SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation(PTI)", Y.Hirano, S.Maeda, T.Matsumoto, K.Nii, T.Iwamatsu, Y.Yamaguchi, T.Ipposhi, H.Kawashima, S.Maegawa, M.Inuishi, T.Nishimura, 1999 IEEE International SOI Conference, Oct.1999

【非特許文献 2】DIGEST OF TECHNICAL PAPERS pp154-155, "Impact of 0.18 μm SOI CMOS technology using hybrid trench isolation with high resistivity substrate on embedded RF/analog applications", S.Maeda, Y.Wada, H.Komurasaki, T.Matsumoto, Y.Hirano, T.Iwamatsu, Y.Yamaguchi, T.Ipposhi, K.Ueda, K.Mashiko, S.Maegawa, M.Inuishi, VLSI Technology, 2000 Symposium

【非特許文献 3】"80nm CMOSFET Technology Using Double Offset-Implanted Source/Drain Extension and Low Temperature SiN Process", H.Sasaya, Y.Nishida, H.Oda, J.Tsuchimoto, H.Umeda, A.Teramoto, K.Eikyu, Y.Inoue, M.Inuishi, 2000 IEEE IEDM

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

従来の半導体装置の製造方法においては、ソースドレインを形成するときには、寄生容量を減らすために、不純物が埋め込み酸化膜に達するように注入エネルギーを調整する。しかし、上述したように、サイドウォールを形成するとき酸化膜および窒化膜に異方性エッチングを行うので、オーバーエッチングとなり分離酸化膜の厚さが大きく減少してしまう。そのため、埋め込み酸化膜に達するように不純物を注入した場合には、不純物が分離酸化膜を突き抜けて分離酸化膜下の SOI 層に注入されてしまう。従って、分離不良が発生してしまうという問題点があった。

【 0 0 0 7 】

このような分離不良を防止するためには、不純物の注入エネルギーを小さくすることが考えられるが、その場合には、ソースドレインを形成する不純物が埋め込み酸化膜に達せず寄生容量が大きくなってしまふことがあるという問題点があった。

【 0 0 0 8 】

本発明は、以上の問題点を解決するためになされたものであり、分離不良を防止しつつ寄生容量を低減できる半導体装置の製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明に係る半導体装置の製造方法は、基板上に順に形成された埋め込み酸化膜および

S O I 層と、S O I 層内に底面が位置し S O I 層を部分的に分離するような分離絶縁膜と、S O I 層上に形成されたゲート電極とを含む半導体装置の製造方法であって、(a) ゲート電極を覆うように第一酸化膜を形成する工程と、(b) 第一酸化膜上に窒化膜を形成する工程と、(c) 第一酸化膜を残存させつつ窒化膜をエッチングすることによりサイドウォールを形成する工程と、(d) 第一酸化膜ごしに S O I 層に第一不純物を注入し第一ソースドレイン領域を形成する工程とを備えることを特徴とする。

【発明の効果】

【0010】

本発明に係る半導体装置の製造方法は、基板上に順に形成された埋め込み酸化膜および S O I 層と、S O I 層内に底面が位置し S O I 層を部分的に分離するような分離絶縁膜と、S O I 層上に形成されたゲート電極とを含む半導体装置の製造方法であって、(a) ゲート電極を覆うように第一酸化膜を形成する工程と、(b) 第一酸化膜上に窒化膜を形成する工程と、(c) 第一酸化膜を残存させつつ窒化膜をエッチングすることによりサイドウォールを形成する工程と、(d) 第一酸化膜ごしに S O I 層に第一不純物を注入し第一ソースドレイン領域を形成する工程とを備えることを特徴とする。従って、分離絶縁膜の厚さが大きく減少してしまうことがないので、埋め込み酸化膜に接するような第一ソースドレイン領域を、分離不良を発生させることなく形成することが可能となる。従って、分離不良を防止しつつ寄生容量を低減することができる。また、第一酸化膜を、シリサイドの成膜防止のために用いることにより、成膜時のトランジスタへの機械的ストレスを低減できる。また、シリサイド防止膜を薄くすることができるので、スループットを向上させることができる。

【発明を実施するための最良の形態】

【0011】

<実施の形態 1 >

図 1 ~ 6 は、本発明の実施の形態 1 に係る半導体装置の製造方法を示す断面図である。この半導体装置は、薄膜 S O I (Semiconductor On Insulator) 上に形成されたパーシャルトレンチ分離構造を有する N M O S F E T を含むものとする。

【0012】

まず、図 1 に示すように、S i 基板 102 上に、厚さが約 150 nm の埋め込み酸化膜 104、結晶性を有する単結晶シリコンからなり厚さが約 130 nm の S O I 層 106、および厚さが約 15 nm の下敷き酸化膜 108 をこの順に形成する。次に、非晶質からなり厚さが約 150 nm の分離酸化膜 110 (分離絶縁膜) を、下敷き酸化膜 108 を貫通させ S O I 層 106 の途中まで形成する。すなわち、分離酸化膜 110 は、底面が S O I 層 106 内に位置するように形成され、S O I 層 106 を部分的に分離する (パーシャルトレンチ分離構造) 。このとき、分離酸化膜 110 下方の S O I 層 106 の厚さは約 40 nm とする。次に、S O I 層 106 の上方から、チャネルドープとして P 型不純物のボロン (B) を注入する。不純物濃度は、設定すべき閾値にもよるが、 $1 E 17 \sim 1 E 18 / c m^3$ 程度が望ましい。また、C M O S 構造において N M O S F E T ではなく P M O S F E T を形成する場合には、ボロンに代えて N 型不純物の砒素 (A s) やリン (P) をチャネルドープとして注入する。この場合には、レジストマスクを適宜用いることにより、注入領域が設定される。

【0013】

次に、図 2 に示すように、下敷き酸化膜 108 を除去する。次に、S O I 層 106 および分離酸化膜 110 上に、ゲート酸化膜 112 およびゲートポリシリコン層 114 をこの順に形成する。次に、ゲート酸化膜 112 およびゲートポリシリコン層 114 をパターニングすることにより、ゲート電極 116 を形成する。

【0014】

次に、図 3 に示すように、N 型不純物の砒素を注入することにより、エクステンション 118 を形成する。このときの不純物濃度は、一般的には、 $1 E 19 \sim 1 E 21 / c m^3$ 程度が望ましい。

【0015】

次に、図4に示すように、P型不純物のボロンをポケット注入することにより、ポケット注入層120を形成する。このときの不純物濃度は、一般的には、チャネルドープと同じか濃いぐらいであり、 $5E17 \sim 5E18 / cm^3$ 程度が望ましい。

【0016】

次に、図5に示すように、SOI層106、分離酸化膜110、およびゲート電極116上に、ゲート電極116を覆うように、厚さが約10nmの酸化膜122(第一酸化膜)を形成する。次に、酸化膜122の上に窒化膜124を形成する。次に、窒化膜124のみに異方性エッチングを行うことにより、ゲート電極116の両側面にサイドウォール126を形成する。すなわち、酸化膜122のエッチングはほとんど行われぬ。エッチングレート異なる2種類の膜を用いることにより、酸化膜122をほとんどエッチングすることなく窒化膜124をエッチングすることが可能となる。これにより、酸化膜122の残膜厚が大きくばらつくことによるトランジスタ特性のばらつきを低減することが可能となる。

10

【0017】

次に、砒素またはリンからなるN型不純物(第一不純物)を酸化膜122ごしに注入することにより、SOI層106上主面内にソースドレイン128(第一ソースドレイン領域)を形成する。このとき、不純物が埋め込み酸化膜104に達するように注入エネルギーを調整することにより、埋め込み酸化膜104に接するようにソースドレイン128が形成される。これにより、ソースドレイン128における寄生容量を低減することが可能となる。以上によりパーシャルトレンチ分離構造を有するMOSFETからなるトランジスタ130, 132が形成される。

20

【0018】

上述したように、従来の半導体装置の製造方法においては、サイドウォール126を形成するときに窒化膜124に加えて酸化膜122もエッチングしていたので、オーバーエッチングとなり分離酸化膜110の厚さが大きく減少してしまっていた。本実施の形態においては、窒化膜124のみにエッチングを行うので、分離酸化膜110の厚さが大きく減少してしまうことはない。従って、ソースドレイン128を形成するために埋め込み酸化膜104に達するように不純物を注入した場合においても、不純物が分離酸化膜110を突き抜けてしまうことはない。

30

【0019】

次に、図6に示すように、ソースドレイン128を形成するために注入されたN型不純物をランプアニール等で活性化した後に、酸化膜からなるシリサイド防止膜134を全面的に形成する。そして、シリサイド層136を形成しないI/O用等のトランジスタ132上にはシリサイド防止膜134が残りシリサイド層136を形成するトランジスタ130上にはシリサイド防止膜134が残らないように、シリサイド防止膜134をパターニングする。このとき、同時に酸化膜122がパターニングされる。次に、 $CoSi_2$ や $NiSi$ などからなるシリサイド層136を、SOI層106上主面内およびゲートポリシリコン層114上主面内に選択的に形成する。次に、周知のコンタクト形成技術および多層配線形成技術を用いて、集積回路を作製する(ここでの詳細な説明は省略する)。これにより、薄膜SOI上に形成されたパーシャルトレンチ分離構造を有するMOSFETを含む半導体装置が製造される。なお、本実施の形態では、シリサイド防止膜134を設ける製造フローを例に説明したが、シリサイド防止膜134を用いない製品の製造フローでは、シリサイド層形成前に、酸化膜122を除去してシリコン表面を露出させる工程が実施される。

40

【0020】

このように、本実施の形態に係る半導体装置の製造方法においては、サイドウォール126を形成するときに、窒化膜124のみに異方性エッチングを行う。従って、分離酸化膜110の厚さが大きく減少してしまうことがないので、埋め込み酸化膜104に接するようなソースドレイン128を、分離不良を発生させることなく形成することが可能とな

50

る。従って、分離不良を防止しつつ寄生容量を低減することができる。

【0021】

また、酸化膜122を、シリサイド防止膜134と同時にパターニングすることにより、シリサイドの成膜防止のために用いている。従って、成膜時のトランジスタへの機械的ストレスを低減できる。また、シリサイド防止膜134を薄くすることができるので、スルーピットを向上させることができる。

【0022】

<実施の形態2>

実施の形態1では、図4においてポケット注入を行った後に、図5において砒素またはリンからなるN型不純物を酸化膜122ごしに注入することにより、SOI層106上主面内にソースドレイン128を形成する。しかし、ソースドレイン128を形成する前に、予めN型不純物を注入しておいてもよい。

10

【0023】

図7は、実施の形態2に係る半導体装置の製造方法を示す断面図である。図7に示すように、本実施の形態においては、ゲート電極116を形成した後に、チャンネルドープと同じくらいの濃度でN型不純物(第二不純物)のリンを注入する。

【0024】

実施の形態1で図1において説明したように、SOI層106は、P型不純物であるボロンがチャンネルドープとして注入されるので、P型半導体となっている。従って、図7に示すように、N型不純物のリンを注入することにより、SOI層106を、実効的な不純物濃度の低いP型半導体(もしくは実効的な不純物濃度の低いN型半導体)にする。これにより、後の工程でソースドレイン128が形成される領域の近傍において、P型不純物の実効的な濃度を下げることができる。以下では、この注入をカウンターソースドレイン注入と呼び、カウンターソースドレイン注入により形成されたP型不純物の実効的な濃度の低い領域をカウンターソースドレイン138(第二ソースドレイン領域)とする。

20

【0025】

上記のカウンターソースドレイン注入においては、リンが埋め込み酸化膜104に達するように注入エネルギーを調整することにより、埋め込み酸化膜104とSOI層106との界面近傍のP型不純物濃度を低くすることが可能となる。

【0026】

このとき、SOI層106上面に垂直にリンを注入することで、チャネリング効果により、より低い注入エネルギーで埋め込み酸化膜104に達するまで深くリンを注入することができる。このチャネリング効果は、結晶性を有するSOI層106においては生じるが、非晶質からなる分離酸化膜110においては生じない。従って、分離酸化膜110を突き抜けずに不純物をより深く注入することが可能となる。

30

【0027】

次に、図8に示されるように、N型不純物の砒素を注入することにより、エクステンション118を形成する。

【0028】

以下、実施の形態1と同様の手順により、図8の断面図に示されるような半導体装置が製造される。図8は、図6のソースドレイン128が形成される領域の近傍において、カウンターソースドレイン138を形成したものである。

40

【0029】

このように、本実施の形態に係る半導体装置の製造方法においては、ゲート電極116を形成した後にカウンターソースドレイン注入を行うことにより、後の工程でソースドレイン128が形成される領域の近傍において、P型不純物の実効的な濃度を下げることができる。従って、ソースドレイン128を形成するために注入するN型不純物のエネルギーを下げた場合においても、カウンターソースドレイン138を介してソースドレイン128が埋め込み酸化膜104に接するので、寄生容量を低減することができる。よって、ソースドレイン128を形成するために注入するN型不純物のエネルギーを下げるこ

50

可能となるので、実施の形態 1 に比べて、分離不良を防止する効果をより高めることができる。

【0030】**<実施の形態 3>**

実施の形態 2 では、実施の形態 1 の図 2 においてゲート電極 116 を形成した後にカウンターソースドレイン注入を行う。しかし、このカウンターソースドレイン注入は、ゲート電極 116 を形成した後に限らず、実施の形態 1 の図 5 において酸化膜 122 を形成した後に行われてもよい。

【0031】

図 9 は、実施の形態 3 に係る半導体装置の製造方法を示す断面図である。図 9 に示すように、本実施の形態においては、酸化膜 122 を形成した後に、カウンターソースドレイン注入を行う。酸化膜 122 越しに注入を行うことにより、カウンターソースドレイン 138 を、ゲート電極 116 のより外側（すなわちエクステンション 118 より外側）に形成することができる。従って、カウンターソースドレイン注入に伴うショートチャネル効果を低減することができる。

10

【0032】

次に、図 10 に示されるように、酸化膜 122 の上に窒化膜 124 を形成する。次に、窒化膜 124 のみに異方性エッチングを行うことにより、ゲート電極 116 の両側面にサイドウォール 126 を形成する。

【0033】

以下、実施の形態 1 と同様の手順により、図 10 の断面図に示されるような半導体装置が製造される。図 10 は、図 8 のカウンターソースドレイン 138 を、ゲート電極 116 のより外側に形成したものである。

20

【0034】

このように、本実施の形態に係る半導体装置の製造方法においては、酸化膜 122 を形成した後にカウンターソースドレイン注入を行うことにより、カウンターソースドレイン 138 を、ゲート電極 116 のより外側に形成することができる。従って、実施の形態 2 の効果に加えて、ショートチャネル効果を低減することにより劣化を低減できるという効果を有する。

【0035】**<実施の形態 4>**

実施の形態 1 では、図 5 において酸化膜 122 および窒化膜 124 からなる 2 層構造のサイドウォール 126 を形成する。しかし、このサイドウォール 126 に代えて、3 層構造のサイドウォールを形成してもよい。

30

【0036】

図 11 は、実施の形態 4 に係る半導体装置の製造方法を示す断面図である。図 11 に示すように、ポケット注入層 120 を形成した後に、SOI 層 106、分離酸化膜 110、およびゲート電極 116 上に酸化膜 122 を形成する。次に、酸化膜 122 の上に窒化膜 124 を形成する。次に、窒化膜 124 の上に酸化膜 140（第二酸化膜）を形成する。次に、窒化膜 124 および酸化膜 140 に異方性エッチングを行うことにより、3 層構造のサイドウォール 126a を形成する。このとき、実施の形態 1 と同様に、酸化膜 122 のエッチングは行われない。3 層構造のサイドウォール 126a を形成することにより、成膜時のトランジスタへの機械的ストレスを変化させてより低減することが可能となる。また、窒化膜 124 に比べてシリサイドが成長しにくい酸化膜 140 を形成することにより、サイドウォール 126a 上へのシリサイド層 136 の異常成長を抑制することが可能となる。

40

【0037】

次に、砒素またはリンからなる N 型不純物を酸化膜 122 ごしに注入することにより、SOI 層 106 上主面内にソースドレイン 128 を形成する。

【0038】

50

以下、実施の形態 1 と同様の手順により、図 1 2 の断面図に示されるような半導体装置が製造される。図 1 2 は、図 6 のサイドウォール 1 2 6 に代えて、3 層構造のサイドウォール 1 2 6 a を形成したものである。

【 0 0 3 9 】

このように、本実施の形態に係る半導体装置の製造方法においては、3 層構造のサイドウォール 1 2 6 a を形成することにより、成膜時のトランジスタへの機械的ストレスを変化させてより低減させることが可能となり、また、サイドウォール 1 2 6 a 上へのシリサイド層 1 3 6 の異常成長を抑制することが可能となる。従って、実施の形態 1 の効果に加えて、トランジスタ 1 3 0 , 1 3 2 の特性を向上させたり歩留まりを向上させることができるという効果を有する。

10

【 0 0 4 0 】

また、図 1 3 は、実施の形態 2 の図 8 において、サイドウォール 1 2 6 に代えて、3 層構造のサイドウォール 1 2 6 a を形成したものである。この場合には、実施の形態 2 の効果に加えて、トランジスタ 1 3 0 , 1 3 2 の特性を向上させたり歩留まりを向上させることができるという効果を有する。

【 0 0 4 1 】

< 実施の形態 5 >

実施の形態 3 では、図 1 0 において酸化膜 1 2 2 および窒化膜 1 2 4 からなる 2 層構造のサイドウォール 1 2 6 を形成する。しかし、実施の形態 4 と同様に、このサイドウォール 1 2 6 に代えて、3 層構造のサイドウォール 1 2 6 a を形成してもよい。

20

【 0 0 4 2 】

図 1 4 は、実施の形態 5 に係る半導体装置の製造方法を示す断面図である。図 1 4 に示すように、実施の形態 3 と同様に、酸化膜 1 2 2 を形成した後に、カウンターソースドレイン注入を行う。次に、実施の形態 4 と同様に、酸化膜 1 2 2 の上に窒化膜 1 2 4 を形成する。次に、窒化膜 1 2 4 の上に酸化膜 1 4 0 を形成する。次に、窒化膜 1 2 4 および酸化膜 1 4 0 に異方性エッチングを行うことにより、3 層構造のサイドウォール 1 2 6 a を形成する。

【 0 0 4 3 】

次に、砒素またはリンからなる N 型不純物を酸化膜 1 2 2 ごしに注入することにより、S O I 層 1 0 6 上主面内にソースドレイン 1 2 8 を形成する。

30

【 0 0 4 4 】

以下、実施の形態 1 と同様の手順により、図 1 5 の断面図に示されるような半導体装置が製造される。図 1 5 は、図 1 0 のサイドウォール 1 2 6 に代えて、3 層構造のサイドウォール 1 2 6 a を形成したものである。

【 0 0 4 5 】

このように、本実施の形態に係る半導体装置の製造方法は、実施の形態 3 に係る半導体装置の製造方法において、実施の形態 4 と同様に 3 層構造のサイドウォール 1 2 6 a を形成する。従って、実施の形態 3 および実施の形態 4 の両方の効果を有する。

【 0 0 4 6 】

なお、以上においては、N M O S F E T を例にとり説明を行ったが、上述したように、P M O S F E T においても同様に、分離不良を防止しつつ寄生容量を低減することが可能である。従って、N M O S F E T と P M O S F E T とから構成される C M O S デバイスにおいては、適宜レジスタマスクを形成しながら各注入工程（チャンネルドーピング、エクステンション注入、ポケット注入、カウンターソースドレイン注入、およびソースドレイン注入）を行えばよい。P M O S F E T においてソースドレインを形成するための P 型不純物として注入されるボロンは、N 型不純物に比べて大きい拡散長を有する。従って、注入エネルギーを低減することが可能となる。よって、C M O S デバイスを形成する場合に、カウンターソースドレイン注入を、P M O S F E T を形成するときには行わずに N M O S F E T を形成するときのみに行うことにより、C M O S デバイスの性能を向上させるとともにプロセスを簡略化することが可能となる。

40

50

【0047】

<実施の形態6>

実施の形態1では、オフセットソースドレイン構造を有さない半導体装置について説明している。しかし、これらの半導体装置は、オフセットソースドレイン構造を有してもよい。

【0048】

図16は、実施の形態6に係る半導体装置の製造方法を示す断面図である。図16に示すように、本実施の形態においては、ゲート電極116を形成した後に、ゲート電極116の両側面にオフセット酸化膜142（オフセット絶縁膜）を形成する。

【0049】

次に、実施の形態1と同様に、砒素を注入することにより、エクステンション118を形成する。

【0050】

以下、実施の形態1と同様の手順により、図17の断面図に示されるようなトランジスタ130、132を形成し、半導体装置が製造される。図17は、図5において、ゲート電極116の両側面にオフセット酸化膜142を形成し、ゲート電極116とオフセット酸化膜142とを一体に酸化膜122で覆ったものである。

【0051】

このように、本実施の形態に係る半導体装置の製造方法においては、ゲート電極116を形成した後にゲート電極116の両側面にオフセット酸化膜142を形成する。従って、実施の形態1の効果に加えて、オフセット酸化膜142の厚さを調整することによりチャネル長等の特性を調整できるという効果を有する。

【0052】

なお、以上においては、実施の形態1にオフセットソースドレイン構造を適用する場合について説明したが、実施の形態1に限らず、実施の形態2～5にオフセットソースドレイン構造を適用してもよい。図18は、実施の形態5の図14において、ゲート電極116の両側面にオフセット酸化膜142を形成したものである。この場合には、実施の形態5の効果に加えて、チャネル長等の特性を調整できるという効果を有する。

【0053】

また、以上においては、注入したN型不純物が埋め込み酸化膜104に達することによりソースドレイン128が埋め込み酸化膜104に接するように形成される場合について説明した。しかし、図19で模式的に示されるように、不純物が埋め込み酸化膜104に達さずソースドレイン128が埋め込み酸化膜104に接さない場合であっても、ソースドレイン128に電圧を印可しない状態でソースドレイン128から延びる空乏層144が埋め込み酸化膜104に接していれば、寄生容量を低減することができる。図19は、図6において、ソースドレイン128の下方に空乏層144が形成されたものである。上述したように、不純物が分離酸化膜を突き抜けてしまうことによる分離不良を防止するためには、不純物の注入エネルギーを小さくすることが好ましい。すなわち、図19に示すように、不純物が埋め込み酸化膜104に達さないが空乏層144が埋め込み酸化膜104に接する程度に小さいエネルギーで注入を行うことにより、分離不良を防止する効果をより高めることが可能となる。

【図面の簡単な説明】

【0054】

【図1】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図2】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図3】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図4】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の実施の形態1に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の実施の形態2に係る半導体装置の製造方法を示す断面図である。

10

20

30

40

50

- 【図 8】本発明の実施の形態 2 に係る半導体装置の製造方法を示す断面図である。
- 【図 9】本発明の実施の形態 3 に係る半導体装置の製造方法を示す断面図である。
- 【図 10】本発明の実施の形態 3 に係る半導体装置の製造方法を示す断面図である。
- 【図 11】本発明の実施の形態 4 に係る半導体装置の製造方法を示す断面図である。
- 【図 12】本発明の実施の形態 4 に係る半導体装置の製造方法を示す断面図である。
- 【図 13】本発明の実施の形態 4 に係る半導体装置の製造方法を示す断面図である。
- 【図 14】本発明の実施の形態 5 に係る半導体装置の製造方法を示す断面図である。
- 【図 15】本発明の実施の形態 5 に係る半導体装置の製造方法を示す断面図である。
- 【図 16】本発明の実施の形態 6 に係る半導体装置の製造方法を示す断面図である。
- 【図 17】本発明の実施の形態 6 に係る半導体装置の製造方法を示す断面図である。
- 【図 18】本発明の実施の形態 6 に係る半導体装置の製造方法を示す断面図である。
- 【図 19】本発明の実施の形態 6 に係る半導体装置の製造方法を示す断面図である。

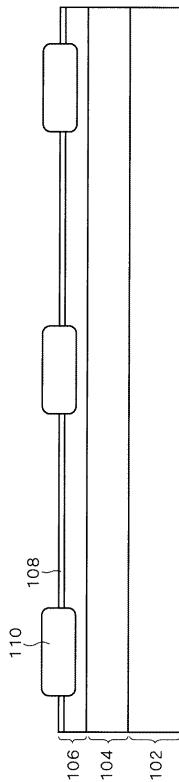
10

【符号の説明】
 【0055】

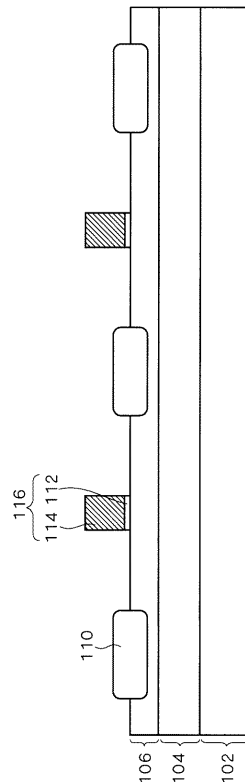
102 Si 基板、104 埋め込み酸化膜、106 SOI 層、108 下敷き酸化膜、110 分離酸化膜、112 ゲート酸化膜、114 ゲートポリシリコン層、116 ゲート電極、118 エクステンション、120 ポケット注入層、122, 140 酸化膜、124 窒化膜、126, 126a サイドウォール、128 ソースドレイン、130, 132 トランジスタ、134 シリサイド防止膜、136 シリサイド層、138 カウンターソースドレイン、142 オフセット酸化膜、144 空乏層。

20

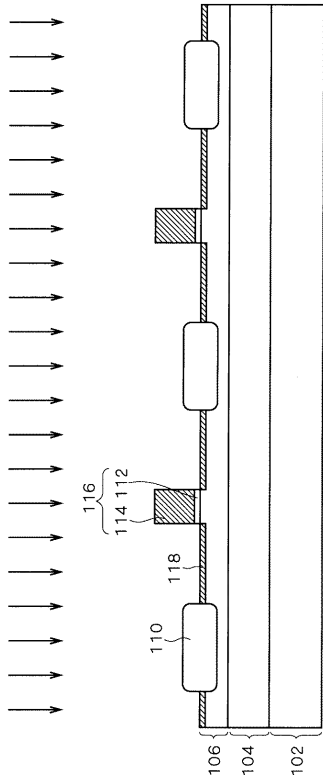
【図 1】



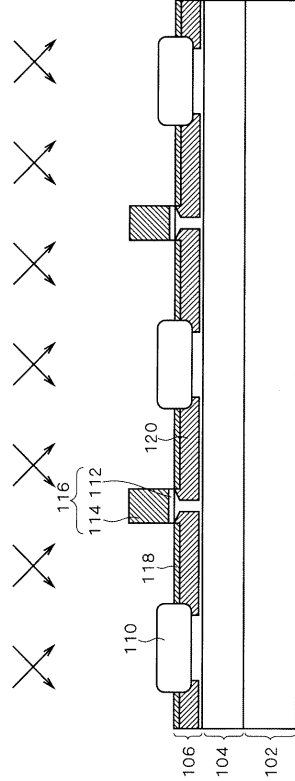
【図 2】



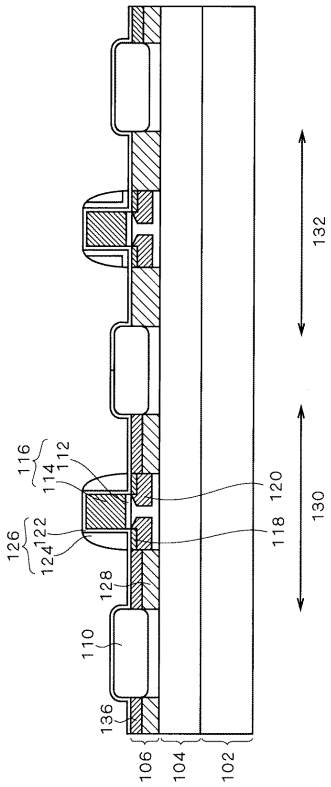
【 図 3 】



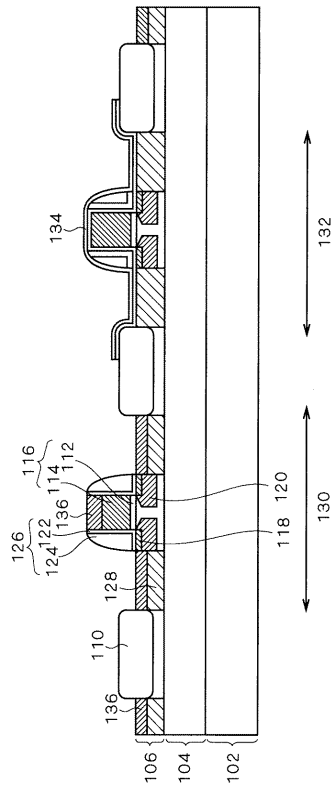
【 図 4 】



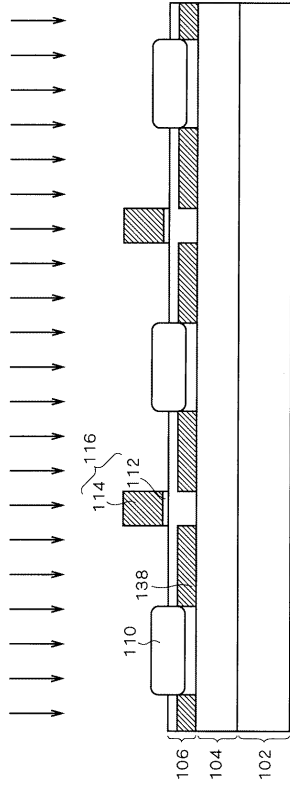
【 図 5 】



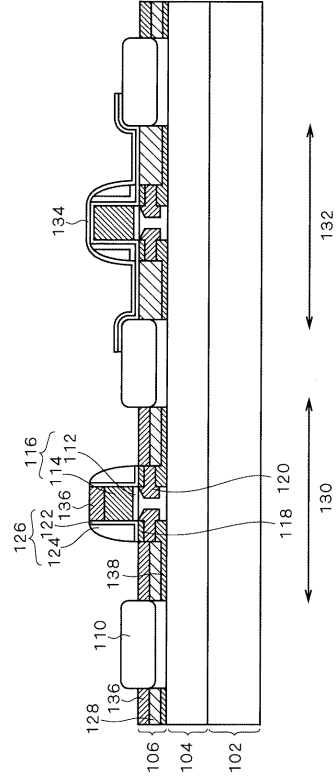
【 図 6 】



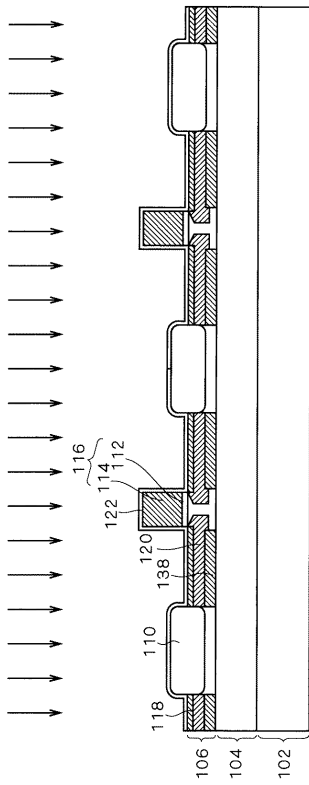
【 図 7 】



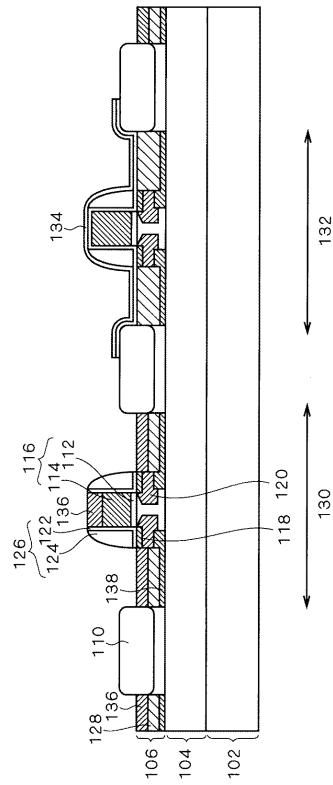
【 図 8 】



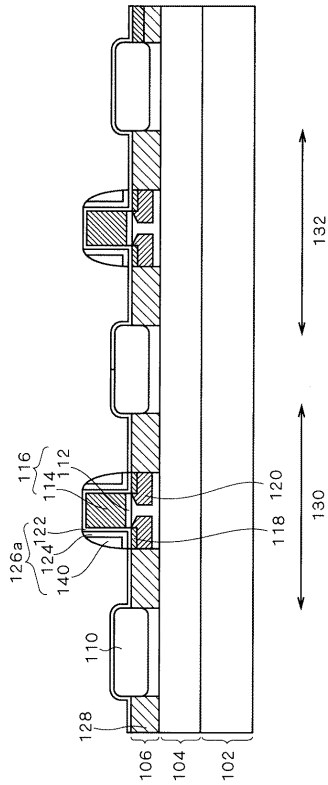
【 図 9 】



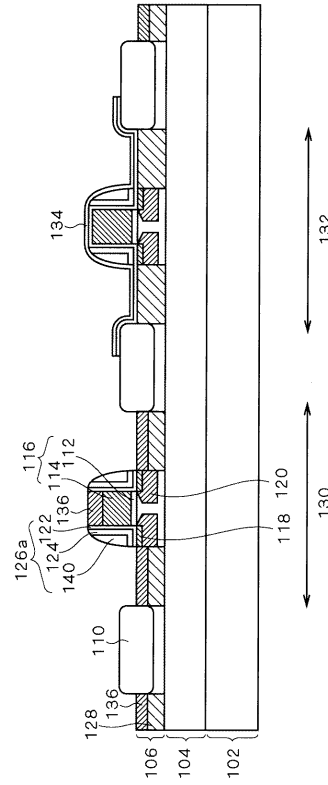
【 図 10 】



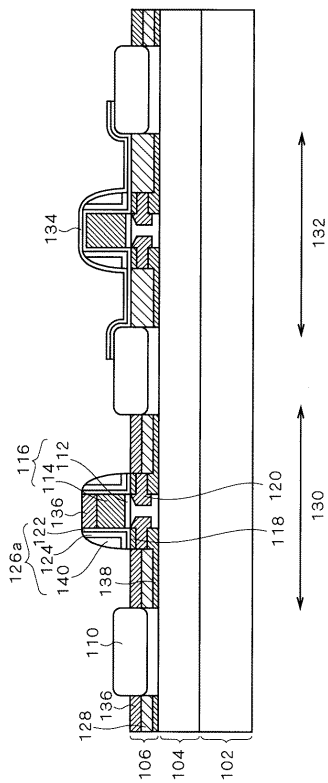
【図 1 1】



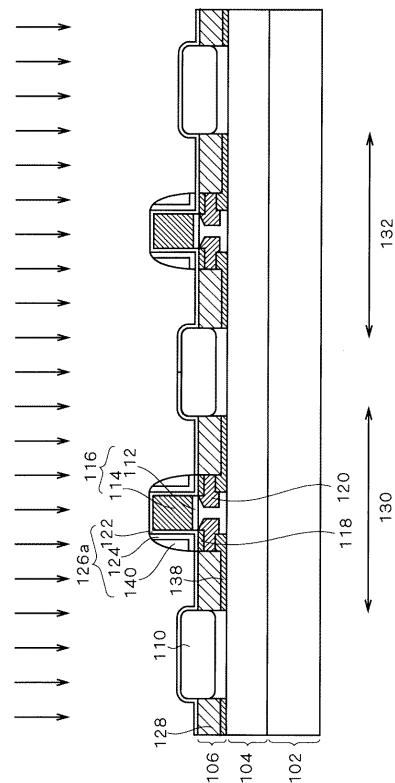
【図 1 2】



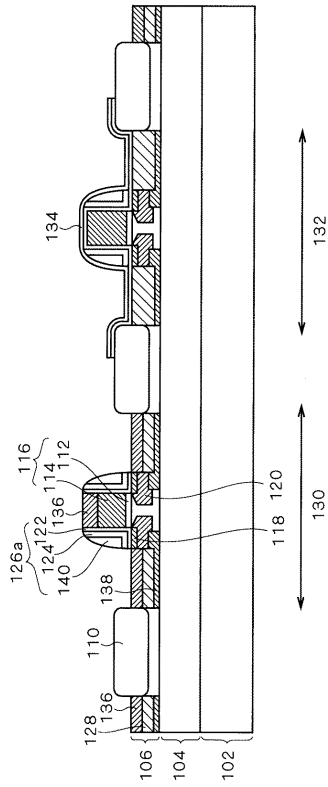
【図 1 3】



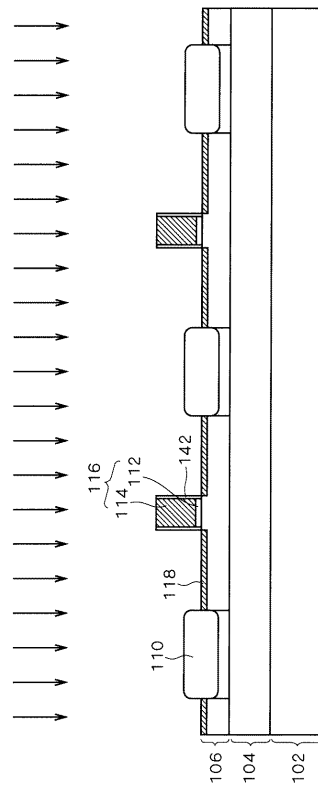
【図 1 4】



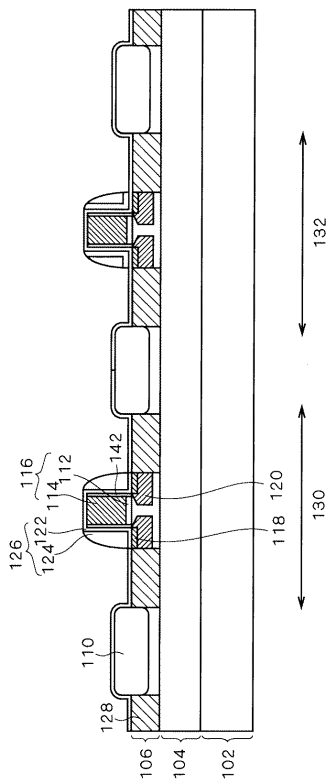
【 図 1 5 】



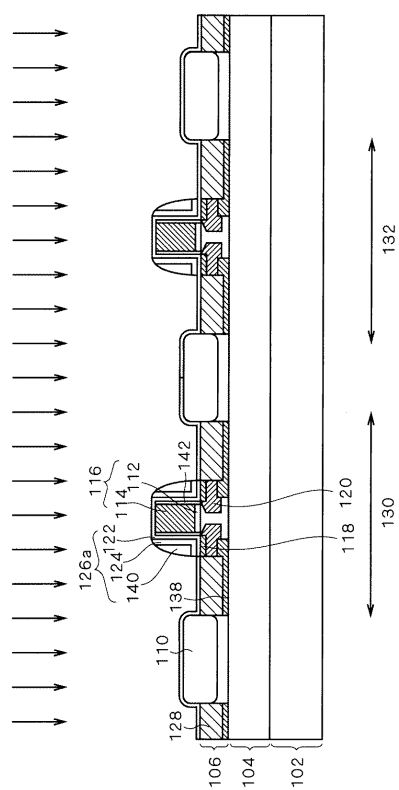
【 図 1 6 】



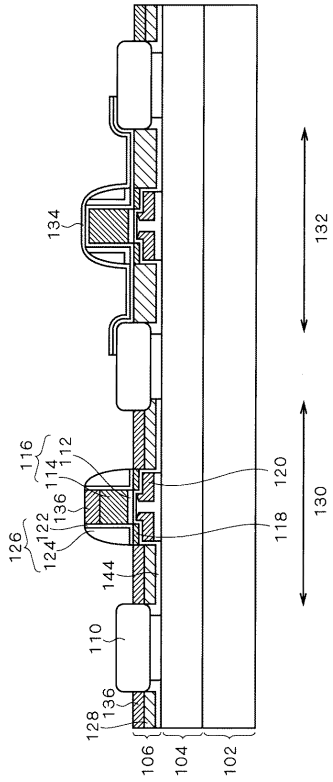
【 図 1 7 】



【 図 1 8 】



【図 19】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/786 (2006.01)	H 0 1 L 21/76	D
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78	6 2 1

H 0 1 L 29/78	6 1 7 J
---------------	---------

H 0 1 L 29/78	6 1 7 A
---------------	---------

H 0 1 L 29/78	6 1 6 L
---------------	---------

F ターム(参考) 5F048 AA04 AA07 AC01 AC03 BA16 BB01 BB05 BB08 BB10 BB12
 BB14 BC01 BC05 BC06 BC11 BD04 BE03 BG05 DA25 DA27
 DA30
 5F110 AA02 AA26 BB04 CC02 DD05 DD13 EE05 EE09 EE14 EE32
 FF02 GG02 GG12 GG24 GG32 GG34 GG52 HJ01 HJ04 HJ06
 HJ13 HJ23 HK05 HM14 HM15 NN62 NN65 QQ11