



(21) 申請案號：111100226

(22) 申請日：中華民國 111 (2022) 年 01 月 04 日

(51) Int. Cl. :

G11C16/26 (2006.01)

G11C16/06 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：曾士家 ZENG, SHIH-JIA (TW)；曹峻瑋 TSAO, CHUN-WEI (TW)；林曉宜 LIN,

HSIAO-YI (TW)；林緯 LIN, WEI (TW)

(74) 代理人：葉璟宗；卓俊傑

申請實體審查：有 申請專利範圍項數：21 項 圖式數：8 共 55 頁

(54) 名稱

讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元

(57) 摘要

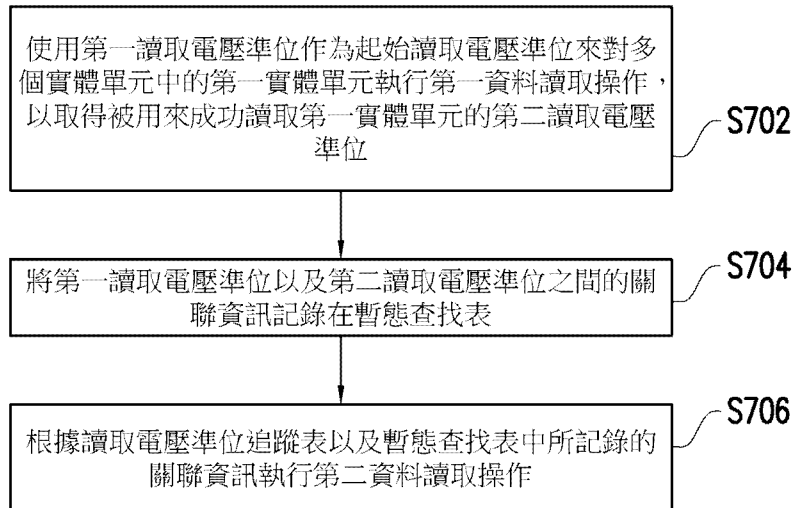
一種讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元。此方法包括：使用第一讀取電壓準位作為起始讀取電壓準位來對多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取第一實體單元的第二讀取電壓準位；將第一讀取電壓準位以及第二讀取電壓準位之間的關聯資訊記錄在暫態查找表；以及根據讀取電壓準位追蹤表以及暫態查找表中所記錄的關聯資訊執行第二資料讀取操作。

A read voltage level correction method, a memory storage device and a memory control circuit unit are provided. The method includes: using a first read voltage level as an initial voltage level to perform a first data read operation on a first physical unit among a plurality of physical unit to obtain a second voltage level used to successfully read the first physical unit; recording association information between the first read voltage level and the second read voltage level in a transient look-up table; and performing a second data reading operation according to a read voltage level tracking table and the association information recorded in the transient look-up table.

指定代表圖：

符號簡單說明：

S702~S706: 步驟



【圖7】

【發明摘要】

【中文發明名稱】

讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

READ VOLTAGE LEVEL CORRECTION METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【中文】一種讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元。此方法包括：使用第一讀取電壓準位作為起始讀取電壓準位來對多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取第一實體單元的第二讀取電壓準位；將第一讀取電壓準位以及第二讀取電壓準位之間的關聯資訊記錄在暫態查找表；以及根據讀取電壓準位追蹤表以及暫態查找表中所記錄的關聯資訊執行第二資料讀取操作。

【英文】 A read voltage level correction method, a memory storage device and a memory control circuit unit are provided. The method includes: using a first read voltage level as an initial voltage level to perform a first data read operation on a first physical unit among a plurality of physical unit to obtain a second voltage level used to successfully read the first physical unit; recording association information between the first read voltage level and the second read voltage level in a transient look-up table; and performing a second

data reading operation according to a read voltage level tracking table and the association information recorded in the transient look-up table.

【指定代表圖】圖7。

【代表圖之符號簡單說明】

S702~S706: 步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

READ VOLTAGE LEVEL CORRECTION METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【技術領域】

【0001】 本發明是有關於一種讀取電壓準位追蹤方法，且特別是有關於一種用於可複寫式非揮發性記憶體模組的讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元。

【先前技術】

【0002】 筆記型電腦和行動電話等可攜式電子裝置在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體（rewritable non-volatile memory）（例如，快閃記憶體）具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，所以非常適合內建於上述所舉例的各種可攜式電子裝置中。固態硬碟就是一種以快閃記憶體模組作為儲存媒體的記憶體儲存裝置。因此，近年快閃記憶體產業成為電子產業中相當熱門的一環。

【0003】 當讀取資料時，記憶體儲存裝置會根據預設的讀取電壓

準位來讀取資料。然而，隨著記憶體儲存裝置中的記憶體模組的操作與環境條件的不同，記憶體模組的臨界電壓也會隨之偏移。在此情況下，使用預設的讀取電壓準位讀取資料可能會存在過多的錯誤位元。一般來說，記憶體儲存裝置會藉由執行最佳讀取電壓準位追蹤操作來找出最佳讀取電壓準位。

【0004】 在最佳讀取電壓準位追蹤操作中，記憶體儲存裝置會持續監測並記錄記憶體模組的最佳讀取電壓準位。然而，記憶體儲存裝置實際讀取資料當下的操作與環境條件（例如，溫度）可能會與前次監測最佳讀取電壓準位時的條件不同。又或者，記憶體儲存裝置可能因為主機系統斷電或進入低耗電模式而無法持續監測最佳讀取電壓準位，而導致實際讀取資料的時間與前次的監測時間的間隔過久。隨著操作與環境條件的不同以及時間的經過，記憶體模組的最佳讀取電壓準位可能會再偏移，以至於先前所找出的最佳讀取電壓準位失準。直接使用之前監測的結果反而可能導致讀取操作的效能變差。

【發明內容】

【0005】 本發明提供一種讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元，能夠減少尋找可成功讀取實體單元讀取電壓準位的時間，從而增加整體資料讀取操作的效能。

【0006】 本發明提供一種讀取電壓準位校正方法，用於可複寫式非揮發性記憶體模組，所述可複寫式非揮發性記憶體模組包括多

個實體單元。所述方法包括：使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取所述第一實體單元的第二讀取電壓準位；將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的關聯資訊記錄在暫態查找表；以及根據讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行第二資料讀取操作。所述讀取電壓準位追蹤表記錄所述多個實體單元的多個最佳讀取電壓準位。

【0007】 在本發明的一實施例中，上述使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作的步驟更包括：從所述讀取電壓準位追蹤表中取得對應於所述第一實體單元的第一最佳讀取電壓準位作為所述第一讀取電壓準位。

【0008】 在本發明的一實施例中，上述使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作的步驟更包括：根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊決定所述第一讀取電壓準位。

【0009】 在本發明的一實施例中，上述方法包括：在使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作時或根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯

資訊執行所述第二資料讀取操作時執行解碼操作。

【0010】 在本發明的一實施例中，上述將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的所述關聯資訊記錄在所述暫態查找表的步驟包括：對所述第一讀取電壓準位以及所述第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值；以及將所述計數值記錄在所述暫態查找表中。

【0011】 在本發明的一實施例中，上述根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作的步驟包括：在所述第二資料讀取操作指示讀取所述多個實體單元中的第二實體單元的資料時，從所述讀取電壓準位追蹤表中取得所述第二實體單元的第二最佳讀取電壓準位；以及根據所述第二最佳讀取電壓準位或所述第二最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個所述計數值大到小的順序依序取得所述計數值所對應的所述第二讀取電壓準位作為執行所述第二資料讀取操作的起始讀取電壓準位。

【0012】 在本發明的一實施例中，上述方法更包括：根據所述暫態查找表中記錄的所述關聯資訊來更新所述讀取電壓準位追蹤表；以及在更新所述讀取電壓準位追蹤表後清除所述暫態查找表。

【0013】 本發明提供一種記憶體儲存裝置，包括連接介面單元、可複寫式非揮發性記憶體模組以及記憶體控制電路單元。所述連接介面單元用以耦接至主機系統。所述可複寫式非揮發性記憶體模組包括多個實體單元。所述記憶體控制電路單元耦接至所述連

接介面單元與所述可複寫式非揮發性記憶體模組。所述記憶體控制電路單元用以使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取所述第一實體單元的第二讀取電壓準位。所述記憶體控制電路單元更用以將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的關聯資訊記錄在暫態查找表。並且，所述記憶體控制電路單元更用以根據讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行第二資料讀取操作。所述讀取電壓準位追蹤表記錄所述多個實體單元的多個最佳讀取電壓準位。

【0014】 在本發明的一實施例中，上述記憶體控制電路單元更用以從所述讀取電壓準位追蹤表中取得對應於所述第一實體單元的第一最佳讀取電壓準位作為所述第一讀取電壓準位。

【0015】 在本發明的一實施例中，上述記憶體控制電路單元更用以根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊決定所述第一讀取電壓準位。

【0016】 在本發明的一實施例中，上述記憶體控制電路單元更用以在使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作時或根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作時執行解碼操作。

【0017】 在本發明的一實施例中，上述將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的所述關聯資訊記錄在所述暫態查找表的操作中，所述記憶體控制電路單元更用以對所述第一讀取電壓準位以及所述第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值。並且，所述記憶體控制電路單元更用以將所述計數值記錄在所述暫態查找表中。

【0018】 在本發明的一實施例中，上述根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作的操作中，所述記憶體控制電路單元更用以在所述第二資料讀取操作指示讀取所述多個實體單元中的第二實體單元的資料時，從所述讀取電壓準位追蹤表中取得所述第二實體單元的第二最佳讀取電壓準位。並且，所述記憶體控制電路單元更用以根據所述第二最佳讀取電壓準位或所述第二最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個所述計數值大到小的順序依序取得所述計數值所對應的所述第二讀取電壓準位作為執行所述第二資料讀取操作的起始讀取電壓準位。

【0019】 在本發明的一實施例中，所述記憶體控制電路單元更用以根據所述暫態查找表中記錄的所述關聯資訊來更新所述讀取電壓準位追蹤表。並且，所述記憶體控制電路單元更用以在更新所述讀取電壓準位追蹤表後清除所述暫態查找表。

【0020】 本發明提供一種記憶體控制電路單元，用於控制包括多個實體單元的可複寫式非揮發性記憶體模組。所述記憶體控制電

路單元包括主機介面、記憶體介面、錯誤檢查與校正電路以及記憶體管理電路。所述主機介面用以耦接至主機系統。所述記憶體介面用以耦接至所述可複寫式非揮發性記憶體模組。所述記憶體管理電路耦接至所述主機介面、所述記憶體介面及所述錯誤檢查與校正電路。所述記憶體管理電路用以使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取所述第一實體單元的第二讀取電壓準位。所述記憶體管理電路更用以將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的關聯資訊記錄在暫態查找表。並且，所述記憶體管理電路更用以根據讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行第二資料讀取操作。所述讀取電壓準位追蹤表記錄所述多個實體單元的多個最佳讀取電壓準位。

【0021】 在本發明的一實施例中，上述記憶體管理電路更用以從所述讀取電壓準位追蹤表中取得對應於所述第一實體單元的第一最佳讀取電壓準位作為所述第一讀取電壓準位。

【0022】 在本發明的一實施例中，上述記憶體管理電路更用以根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊決定所述第一讀取電壓準位。

【0023】 在本發明的一實施例中，上述記憶體管理電路更用以在使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一讀取操作時或

根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作時執行解碼操作。

【0024】 在本發明的一實施例中，上述將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的所述關聯資訊記錄在所述暫態查找表的操作中，所述記憶體管理電路更用以對所述第一讀取電壓準位以及所述第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值。並且，所述記憶體管理電路更用以將所述計數值記錄在所述暫態查找表中。

【0025】 在本發明的一實施例中，上述根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作的操作中，所述記憶體管理電路更用以在所述第二資料讀取操作指示讀取所述多個實體單元中的第二實體單元的資料時，從所述讀取電壓準位追蹤表中取得所述第二實體單元的第二最佳讀取電壓準位。並且，所述記憶體管理電路更用以根據所述第二最佳讀取電壓準位或所述第二最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個所述計數值大到小的順序依序取得所述計數值所對應的所述第二讀取電壓準位作為執行所述第二資料讀取操作的起始讀取電壓準位。

【0026】 在本發明的一實施例中，上述記憶體管理電路更用以根據所述暫態查找表中記錄的所述關聯資訊來更新所述讀取電壓準位追蹤表。並且，所述記憶體管理電路更用以在更新所述讀取電壓準位追蹤表後清除所述暫態查找表。

【0027】 基於上述，本發明實施例提供的讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元，能夠在暫態查找表中記錄關聯資訊，並根據暫態查找表中記錄的關聯資訊來微調之前監測的最佳讀取電壓準位。相對於一般只利用之前監測的最佳讀取電壓準位來執行最佳讀取電壓準位搜尋操作以及解碼操作等操作，本發明能夠減少尋找可成功讀取實體單元讀取電壓準位的時間，從而增加整體資料讀取操作的效能。

【0028】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0029】

圖 1 是根據本發明的一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出 (I/O) 裝置的示意圖。

圖 2 是根據本發明的另一範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

圖 3 是根據本發明的另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

圖 6 是根據本發明的一範例實施例所繪示之管理可複寫式非揮發性記憶體模組的示意圖。

圖 7 是根據本發明的一範例實施例所繪示之讀取電壓準位校正方法的流程圖。

圖 8 是根據本發明的一範例實施例所繪示之更新最佳讀取電壓準位方法的流程圖。

【實施方式】

【0030】 一般而言，記憶體儲存裝置（亦稱，記憶體儲存系統）包括可複寫式非揮發性記憶體模組（rewritable non-volatile memory module）與控制器（亦稱，控制電路）。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0031】 圖 1 是根據本發明的一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出（I/O）裝置的示意圖。圖 2 是根據本發明的另一範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

【0032】 請參照圖 1 與圖 2，主機系統 11 一般包括處理器 111、隨機存取記憶體（random access memory, RAM）112、唯讀記憶體（read only memory, ROM）113 及資料傳輸介面 114。處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 皆耦接至系統匯流排（system bus）110。

【0033】 在本範例實施例中，主機系統 11 是透過資料傳輸介面 114 與記憶體儲存裝置 10 耦接。例如，主機系統 11 可經由資料傳輸介面 114 將資料儲存至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。此外，主機系統 11 是透過系統匯流排 110 與 I/O 裝置 12 耦接。例如，主機系統 11 可經由系統匯流排 110 將輸出訊號傳送至 I/O 裝置 12 或從 I/O 裝置 12 接收輸入訊號。

【0034】 在本範例實施例中，處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 可設置在主機系統 11 的主機板 20 上。資料傳輸介面 114 的數目可以是一或多個。透過資料傳輸介面 114，主機板 20 可以經由有線或無線方式耦接至記憶體儲存裝置 10。記憶體儲存裝置 10 可例如是隨身碟 201、記憶卡 202、固態硬碟（Solid State Drive, SSD）203 或無線記憶體儲存裝置 204。無線記憶體儲存裝置 204 可例如是近距離無線通訊（Near Field Communication, NFC）記憶體儲存裝置、無線傳真（WiFi）記憶體儲存裝置、藍牙（Bluetooth）記憶體儲存裝置或低功耗藍牙記憶體儲存裝置（例如，iBeacon）等以各式無線通訊技術為基礎的記憶體儲存裝置。此外，主機板 20 也可以透過系統匯流排 110 耦接至全球定位系統（Global Positioning System, GPS）模組 205、網路介面卡 206、無線傳輸裝置 207、鍵盤 208、螢幕 209、喇叭 210 等各式 I/O 裝置。例如，在一範例實施例中，主機板 20 可透過無線傳輸裝置 207 存取無線記憶體儲存裝置 204。

【0035】 在一範例實施例中，所提及的主機系統為可實質地與記

憶體儲存裝置配合以儲存資料的任意系統。雖然在上述範例實施例中，主機系統是以電腦系統來作說明，然而，圖 3 是根據本發明的另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。請參照圖 3，在另一範例實施例中，主機系統 31 也可以是數位相機、攝影機、通訊裝置、音訊播放器、視訊播放器或平板電腦等系統，而記憶體儲存裝置 30 可為其所使用的安全數位 (Secure Digital, SD) 卡 32、小型快閃 (Compact Flash, CF) 卡 33 或嵌入式儲存裝置 34 等各式非揮發性記憶體儲存裝置。嵌入式儲存裝置 34 包括嵌入式多媒體卡 (embedded Multi Media Card, eMMC) 341 及/或嵌入式多晶片封裝 (embedded Multi Chip Package, eMCP) 儲存裝置 342 等各類型將記憶體模組直接耦接於主機系統的基板上的嵌入式儲存裝置。

【0036】 圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 402、記憶體控制電路單元 404 與可複寫式非揮發性記憶體模組 406。

【0037】 連接介面單元 402 用以將記憶體儲存裝置 10 耦接至主機系統 11。記憶體儲存裝置 10 可透過連接介面單元 402 與主機系統 11 通訊。在本範例實施例中，連接介面單元 402 是相容於序列先進附件 (Serial Advanced Technology Attachment, SATA) 標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合並列先進附件 (Parallel Advanced Technology Attachment,

PATA) 標準、電氣和電子工程師協會 (Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面 (Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排 (Universal Serial Bus, USB) 標準、SD 介面標準、超高速一代 (Ultra High Speed-I, UHS-I) 介面標準、超高速二代 (Ultra High Speed-II, UHS-II) 介面標準、記憶棒 (Memory Stick, MS) 介面標準、MCP 介面標準、MMC 介面標準、eMMC 介面標準、通用快閃記憶體 (Universal Flash Storage, UFS) 介面標準、eMCP 介面標準、CF 介面標準、整合式驅動電子介面 (Integrated Device Electronics, IDE) 標準或其他適合的標準。連接介面單元 402 可與記憶體控制電路單元 404 封裝在一個晶片中，或者連接介面單元 402 是佈設於一包含記憶體控制電路單元 404 之晶片外。

【0038】 記憶體控制電路單元 404 用以執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 406 中進行資料的寫入、讀取與抹除等運作。

【0039】 可複寫式非揮發性記憶體模組 406 是耦接至記憶體控制電路單元 404 並且用以儲存主機系統 11 所寫入之資料。可複寫式非揮發性記憶體模組 406 可以是單階記憶胞 (Single Level Cell, SLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 1 個位元的快閃記憶體模組)、多階記憶胞 (Multi Level Cell, MLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 2 個位元的快閃記

憶體模組)、三階記憶胞 (Triple Level Cell, TLC) NAND 型快閃記憶體模組 (即, 一個記憶胞中可儲存 3 個位元的快閃記憶體模組)、四階記憶胞 (Quad Level Cell, QLC) NAND 型快閃記憶體模組 (即, 一個記憶胞中可儲存 4 個位元的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0040】 可複寫式非揮發性記憶體模組 406 中的每一個記憶胞是以電壓 (以下亦稱為臨界電壓) 的改變來儲存一或多個位元。具體來說, 每一個記憶胞的控制閘極 (control gate) 與通道之間有一個電荷捕捉層。透過施予一寫入電壓至控制閘極, 可以改變電荷捕捉層的電子量, 進而改變記憶胞的臨界電壓。此改變記憶胞之臨界電壓的操作亦稱為「把資料寫入至記憶胞」或「程式化 (programming) 記憶胞」。隨著臨界電壓的改變, 可複寫式非揮發性記憶體模組 406 中的每一個記憶胞具有多個儲存狀態。透過施予讀取電壓可以判斷一個記憶胞是屬於哪一個儲存狀態, 藉此取得此記憶胞所儲存的一或多個位元。

【0041】 在本範例實施例中, 可複寫式非揮發性記憶體模組 406 的記憶胞可構成多個實體程式化單元, 並且這些實體程式化單元可構成多個實體抹除單元。具體來說, 同一條字元線上的記憶胞可組成一或多個實體程式化單元。若每一個記憶胞可儲存 2 個以上的位元, 則同一條字元線上的實體程式化單元可至少可被分類為下實體程式化單元與上實體程式化單元。例如, 一記憶胞的最低有效位元 (Least Significant Bit, LSB) 是屬於下實體程式化單

元，並且一記憶胞的最高有效位元（Most Significant Bit，MSB）是屬於上實體程式化單元。一般來說，在 MLC NAND 型快閃記憶體中，下實體程式化單元的資料寫入速度會大於上實體程式化單元的資料寫入速度，及/或下實體程式化單元的可靠度是高於上實體程式化單元的可靠度。

【0042】 在本範例實施例中，實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。例如，實體程式化單元可為實體頁面（page）或是實體扇（sector）。若實體程式化單元為實體頁面，則此些實體程式化單元可包括資料位元區與冗餘（redundancy）位元區。資料位元區包含多個實體扇，用以儲存使用者資料，而冗餘位元區用以儲存系統資料（例如，錯誤更正碼等管理資料）。在本範例實施例中，資料位元區包含 32 個實體扇，且一個實體扇的大小為 512 位元組（byte, B）。然而，在其他範例實施例中，資料位元區中也可包含 8 個、16 個或數目更多或更少的實體扇，並且每一個實體扇的大小也可以是更大或更小。另一方面，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。例如，實體抹除單元為實體區塊（block）。

【0043】 圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。請參照圖 5，記憶體控制電路單元 404 包括記憶體管理電路 502、主機介面 504 及記憶體介面 506。

【0044】 記憶體管理電路 502 用以控制記憶體控制電路單元 404

的整體運作。具體來說，記憶體管理電路 502 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。以下說明記憶體管理電路 502 的操作時，等同於說明記憶體控制電路單元 404 的操作。

【0045】 在本範例實施例中，記憶體管理電路 502 的控制指令是以韌體型式來實作。例如，記憶體管理電路 502 具有微處理器單元（未繪示）與唯讀記憶體（未繪示），並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0046】 在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 406 的特定區域（例如，記憶體模組中專用於存放系統資料的系統區）中。此外，記憶體管理電路 502 具有微處理器單元（未繪示）、唯讀記憶體（未繪示）及隨機存取記憶體（未繪示）。特別是，此唯讀記憶體具有開機碼（boot code），並且當記憶體控制電路單元 404 被致能時，微處理器單元會先執行此開機碼來將儲存於可複寫式非揮發性記憶體模組 406 中之控制指令載入至記憶體管理電路 502 的隨機存取記憶體中。之後，微處理器單元會運轉這些控制指令以進行資料的寫入、讀取與抹除等運作。

【0047】 此外，在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 502 包

括微控制器、記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。記憶胞管理電路用以管理可複寫式非揮發性記憶體模組 406 的記憶胞或記憶胞群組。記憶體寫入電路用以對可複寫式非揮發性記憶體模組 406 下達寫入指令序列以將資料寫入至可複寫式非揮發性記憶體模組 406 中。記憶體讀取電路用以對可複寫式非揮發性記憶體模組 406 下達讀取指令序列以從可複寫式非揮發性記憶體模組 406 中讀取資料。記憶體抹除電路用以對可複寫式非揮發性記憶體模組 406 下達抹除指令序列以將資料從可複寫式非揮發性記憶體模組 406 中抹除。資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 406 的資料以及從可複寫式非揮發性記憶體模組 406 中讀取的資料。寫入指令序列、讀取指令序列及抹除指令序列可各別包括一或多個程式碼或指令碼並且用以指示可複寫式非揮發性記憶體模組 406 執行相對應的寫入、讀取及抹除等操作。在一範例實施例中，記憶體管理電路 502 還以下達其他類型的指令序列給可複寫式非揮發性記憶體模組 406 以指示執行相對應的操作。

【0048】 主機介面 504 是耦接至記憶體管理電路 502。記憶體管理電路 502 可透過主機介面 504 與主機系統 11 通訊。主機介面 504 可用以接收與識別主機系統 11 所傳送的指令與資料。例如，主機系統 11 所傳送的指令與資料可透過主機介面 504 來傳送至記憶體

管理電路 502。此外，記憶體管理電路 502 可透過主機介面 504 將資料傳送至主機系統 11。在本範例實施例中，主機介面 504 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 504 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、UHS-I 標準、UHS-II 標準、MS 標準、MMC 標準、eMMC 標準、UFS 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0049】 記憶體介面 506 是耦接至記憶體管理電路 502 並且用以存取可複寫式非揮發性記憶體模組 406。也就是說，欲寫入至可複寫式非揮發性記憶體模組 406 的資料會經由記憶體介面 506 轉換為可複寫式非揮發性記憶體模組 406 所能接受的格式。具體來說，若記憶體管理電路 502 要存取可複寫式非揮發性記憶體模組 406，記憶體介面 506 會傳送對應的指令序列。例如，這些指令序列可包括指示寫入資料的寫入指令序列、指示讀取資料的讀取指令序列、指示抹除資料的抹除指令序列、以及用以指示各種記憶體操作（例如，改變讀取電壓準位或執行垃圾回收操作等等）的相對應的指令序列。這些指令序列例如是由記憶體管理電路 502 產生並且透過記憶體介面 506 傳送至可複寫式非揮發性記憶體模組 406。這些指令序列可包括一或多個訊號，或是在匯流排上的資料。這些訊號或資料可包括指令碼或程式碼。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

【0050】 在一範例實施例中，記憶體控制電路單元 404 還包括錯

誤檢查與校正電路 508、緩衝記憶體 510 與電源管理電路 512。

【0051】 錯誤檢查與校正電路 508 是耦接至記憶體管理電路 502 並且用以執行錯誤檢查與校正操作以確保資料的正確性。具體來說，當記憶體管理電路 502 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 508 會為對應此寫入指令的資料產生對應的錯誤更正碼（error correcting code, ECC）及/或錯誤檢查碼（error detecting code, EDC），並且記憶體管理電路 502 會將對應此寫入指令的資料與對應的錯誤更正碼及/或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 406 中。之後，當記憶體管理電路 502 從可複寫式非揮發性記憶體模組 406 中讀取資料時會同時讀取此資料對應的錯誤更正碼及/或錯誤檢查碼，並且錯誤檢查與校正電路 508 會根據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正操作。

【0052】 緩衝記憶體 510 是耦接至記憶體管理電路 502 並且用以暫存來自於主機系統 11 的資料與指令或來自於可複寫式非揮發性記憶體模組 406 的資料。緩衝記憶體 510 可以是靜態隨機存取記憶體（Static Random Access Memory, SRAM）、或動態隨機存取記憶體（Dynamic Random Access Memory, DRAM）等，本發明並不加以限制。電源管理電路 512 是耦接至記憶體管理電路 502 並且用以控制記憶體儲存裝置 10 的電源。

【0053】 在一範例實施例中，圖 4 的可複寫式非揮發性記憶體模組 406 亦稱為快閃（flash）記憶體模組，且記憶體控制電路單元

404 亦稱為用於控制快閃記憶體模組的快閃記憶體控制器。在一範例實施例中，圖 5 的記憶體管理電路 502 亦稱為快閃記憶體管理電路。

【0054】 圖 6 是根據本發明的一範例實施例所繪示之管理可複寫式非揮發性記憶體模組的示意圖。請參照圖 6，記憶體管理電路 502 可將可複寫式非揮發性記憶體模組 406 的實體單元 610(0)~610(B)邏輯地分組至儲存區 601 與閒置區 602。儲存區 601 中的實體單元 610(0)~610(A)以及閒置區 602 中的實體單元 610(A+1)~610(B)是用以儲存來自於主機系統 11 的資料。具體來說，儲存區 601 的實體單元是被視為已儲存資料的實體單元，而閒置區 602 的實體單元是用以替換儲存區 601 的實體單元。也就是說，當從主機系統 11 接收到寫入指令與欲寫入之資料時，記憶體管理電路 502 會使用從閒置區 602 中提取實體單元來寫入資料，以替換儲存區 601 的實體單元。

【0055】 在本範例實施例中，每一個實體單元是指一個實體抹除單元。然而，在另一範例實施例中，一個實體單元亦可以是指一個實體位址、一個實體程式化單元或由多個連續或不連續的實體位址組成。記憶體管理電路 502 會配置邏輯單元 612(0)~612(C)以映射儲存區 601 中的實體單元 610(0)~610(A)。在本範例實施例中，每一個邏輯單元是指一個邏輯位址。然而，在另一範例實施例中，一個邏輯單元也可以是指一個邏輯程式化單元、一個邏輯抹除單元或者由多個連續或不連續的邏輯位址組成。此外，邏輯

單元 612(0)~612(C)中的每一者可被映射至一或多個實體單元。

【0056】 記憶體管理電路 502 可將邏輯單元與實體單元之間的映射關係（亦稱為邏輯-實體位址映射關係）記錄於至少一邏輯-實體位址映射表。當主機系統 11 欲從記憶體儲存裝置 10 讀取資料或寫入資料至記憶體儲存裝置 10 時，記憶體管理電路 502 可根據此邏輯-實體位址映射表來執行對於記憶體儲存裝置 10 的資料存取操作。

【0057】 在一範例實施例中，記憶體儲存裝置 10 支援錯誤更正，資料會先被編碼後再儲存至可複寫式非揮發性記憶體模組 406。當要讀取實體單元時，記憶體管理電路 502 會先選擇預設的讀取電壓準位來讀取這些實體單元包括的記憶胞，以取得這些記憶胞的驗證位元（位元 0 或 1）。錯誤檢查與校正電路 508 會根據這些記憶胞的驗證位元來執行解碼操作，以產生多個解碼位元。此些解碼位元可以組成一個解碼後的資料（即，碼字）。在一範例實施例中，記憶體管理電路 502 會根據資料所對應的校驗子判斷此資料是否為有效的碼字。若資料非為有效的碼字時，記憶體管理電路 702 會判斷解碼失敗。

【0058】 若解碼失敗，表示這些記憶胞儲存有不可更正的錯誤位元。在本範例實施例中，記憶體管理電路 502 會重新取得前次的讀取電壓準位鄰近位置的另一個讀取電壓準位來讀取這些記憶胞，以重新取得記憶胞的驗證位元。記憶體管理電路 502 會根據重新取得的驗證位元來執行上述的解碼操作以取得由多個解碼位

元組成的另一個資料。如果解碼再次失敗，記憶體管理電路 502 會再重新取得另一個讀取電壓準位來讀取這些記憶胞。在一範例實施例中，記憶體管理電路 502 可重新取得讀取電壓準位來嘗試解碼，直到解碼成功或重新取得讀取電壓準位的次數超過預設次數為止。換句話說，當有不可更正的錯誤位元時，透過重新取得讀取電壓準位，一些記憶胞的驗證位元會被改變，進而有機會改變解碼操作的解碼結果。

【0059】 藉由上述重新讀取的機制，可以找到實體單元的最佳讀取電壓準位，此最佳讀取電壓準位可以用來讀取出實體單元的資料並且成功地解碼。上述找出最佳讀取實體單元的最佳讀取電壓準位的操作可以稱為「最佳讀取電壓準位搜尋（optimal read level search）操作」，其可以是在可複寫式非揮發性記憶體模組 406 閒置時（或稱為在背景模式中）執行、在執行硬位元模式解碼失敗後或在執行硬位元模式解碼過程中（例如，具有最少錯誤位元數的讀取電壓）所獲得。決定出的最佳讀取電壓準位可以用於之後對於可複寫式非揮發性記憶體模組 406 的讀取。

【0060】 需說明的是，當欲根據從主機系統 11 接收到的讀取指令或在背景模式中根據需求來執行資料讀取操作以讀取可複寫式非揮發性記憶體模組 406 中的實體單元時，記憶體管理電路 502 會先使用預設讀取電壓準位來讀取該實體單元包括的記憶胞。並且，記憶體管理電路 502 可使用此預設讀取電壓準位取得的資料執行硬位元模式解碼、軟位元模式解碼或利用多框架編碼產生的

編碼資料進行解碼，本發明不限於此些解碼的方式。而硬位元模式解碼、軟位元模式解碼或者多框架編碼解碼的詳細執行過程可以由習知技術而得知，在此不再贅述。若使用硬位元模式解碼或軟位元模式解碼對資料進行解碼失敗，記憶體管理電路 502 可重新取得預設讀取電壓準位鄰近位置的另一個讀取電壓準位來讀取實體單元包括的記憶胞，以重新取得資料並進行解碼。若解碼成功，表示當前讀取電壓準位可以用來讀取出實體單元的資料並且成功地解碼。

【0061】 換句話說，記憶體管理電路 502 可使用起始讀取電壓準位（例如為第一讀取電壓準位）在執行資料讀取操作時例如執行最佳讀取電壓準位搜尋操作和各種解碼操作（例如，硬位元模式解碼與軟位元模式解碼），並且可根據上述操作的操作結果而取得可以用來讀取出實體單元的資料並且成功地解碼的讀取電壓準位（亦稱為第二讀取電壓準位）。換言之，記憶體管理電路 502 可經由上述操作取得被用來成功讀取實體單元的第二讀取電壓準位。

【0062】 在本範例實施例中，記憶體管理電路 502 可使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行資料讀取操作，以取得被用來成功讀取此第一實體單元的第二讀取電壓準位。例如，記憶體管理電路 502 可在執行讀取操作時執行解碼操作來取得上述第二讀取電壓準位，本發明不在此限制。

【0063】 在本範例實施例中，記憶體管理電路 502 會將第一讀取

電壓準位以及第二讀取電壓準位之間的關聯資訊記錄在暫態查找表。例如，此關聯資訊包括第一讀取電壓準位以及第二讀取電壓準位之間的關聯次數的計數值。具體來說，記憶體管理電路 502 可對第一讀取電壓準位以及第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值，並將計數值記錄在暫態查找表中。例如，下表 1 為一範例實施例中的暫態查找表，其記錄第一讀取電壓準位以及第二讀取電壓準位之間的關聯資訊。

【0064】 表 1

	讀取電壓準位 a1	讀取電壓準位 a2
讀取電壓準位 b1	1	0
讀取電壓準位 b2	0	0

【0065】 表 1 中，讀取電壓準位 a1 與讀取電壓準位 a2 表示第一讀取電壓準位，讀取電壓準位 b1 與讀取電壓準位 b2 表示第二讀取電壓準位。根據表 1，記憶體管理電路 502 使用讀取電壓準位 a1 作為起始讀取電壓準位來對實體單元執行資料讀取操作後，取得被用來成功讀取此實體單元的讀取電壓準位 b1。在本範例實施例中，記憶體管理電路 502 會對讀取電壓準位 a1 以及讀取電壓準位 b2 之間具有關聯性的次數進行計數而產生計數值，如表 1 中讀取電壓準位 a1 與讀取電壓準位 b1 對應的欄位中記錄的計數值為 1。此表示，讀取電壓準位 a1 與讀取電壓準位 b1 之間具有關聯性的次數為一次。然而，表 1 僅為一個範例，其中具體的記錄皆可以依據實務上的需求而調整。

【0066】 在一範例實施例中，假設可複寫式非揮發性記憶體模組 406 為 MLC NAND 型快閃記憶體模組。當 MLC NAND 型快閃記憶體模組包括的實體單元儲存有資料時，每個實體單元會對應三個臨界電壓。具體來說，MLC NAND 型快閃記憶體模組的每個記憶胞可儲存 2 個單元，且同一條字元線上的實體程式化單元可至少可被分類為下實體程式化單元與上實體程式化單元。在本範例實施例中，下實體程式化單元會對應三個臨界電壓中的一個，上實體程式化單元會對應三個臨界電壓中的兩個。因此，當可複寫式非揮發性記憶體模組 406 為 MLC NAND 型快閃記憶體模組時，記憶體管理電路 502 會針對每個實體單元記錄三個讀取電壓準位，此些讀取電壓準位可以稱為「讀取電壓準位組」。換言之，記憶體管理電路 502 讀取的實體程式化單元為上實體程式化單元時，作為起始讀取電壓準位的第一讀取電壓準位可包括多個讀取電壓準位，並且執行資料讀取操作後取得的第二讀取電壓準位可包括多個讀取電壓準位。值得注意的是，第一讀取電壓準位與第二讀取電壓準位包括的讀取電壓準位的數量會依據可複寫式非揮發性記憶體模組 406 的類型而不同，本發明不在此限制。

【0067】 在本範例實施例中，記憶體管理電路 502 可在記錄每個實體單元的讀取電壓準位組（例如，最佳讀取電壓準位組）時，分配索引值（index）給具有相同讀取電壓準位組的實體單元來節省儲存空間。具體來說，記憶體管理電路 502 可建立實體單元索引對照表以及索引查找表，並且可為屬於記憶胞的不同有效位元

的實體程式化單元分別建立索引查找表。例如，下表 2 為一範例實施例中實體單元索引對照表的範例，其用以記錄實體單元與索引值之間的對應關係。下表 3 為一範例實施例中索引查找表的範例，其用以記錄索引值與上實體程式化單元的讀取電壓準位之間的對應關係。下表 4 為一範例實施例中索引查找表的範例，其用以記錄索引值與下實體程式化單元的讀取電壓準位之間的對應關係。

【0068】 表 2

實體單元	索引值
610(0)	RRT1
610(1)	RRT2
610(2)	RRT3
610(3)	RRT4
610(4)	RRT3

【0069】 表 3

索引值	讀取電壓準位 c1	讀取電壓準位 c3
RRT1	14V	23V
RRT2	11V	21V
RRT3	-2V	4V
RRT4	-9V	-6V

【0070】 表 4

索引值	讀取電壓準位 c2
-----	-----------

RRT1	5V
RRT2	10V
RRT3	-6V
RRT4	-9V

【0071】 具體來說，記憶體管理電路 502 可在記錄實體單元 610(0) 的讀取電壓準位組時，分配索引值 RRT1 給實體單元 610(0)。記憶體管理電路 502 會將實體單元 610(0) 對應的索引值 RRT1 記錄在實體單元索引對照表（如表 2 所示的實體單元 610(0) 與對應的索引值 RRT1），將實體單元 610(0) 的上實體程式化單元的讀取電壓準位 c1、c3 記錄在關聯至上實體程式化單元的索引查找表（如表 3 所示的索引值 RRT1 與對應的讀取電壓準位 14V、23V），並將下實體程式化單元的讀取電壓位準 c2 記錄在關聯至下實體程式化單元的索引查找表（如表 4 所示的索引值 RRT1 與對應的讀取電壓準位 5V）。表 2 中其他實體單元與其讀取電壓準位組的紀錄方式可參照上述，於此不再贅述。

【0072】 根據表 2，實體單元 610(0) 對應的索引值為 RRT1。記憶體管理電路 502 會在讀取實體單元 610(0) 的上實體程式化單元時將此索引值 RRT1 輸入至表 3，可得到讀取電壓準位 c1 為 14V，讀取電壓準位 c3 為 23V。並且，記憶體管理電路 502 會在讀取實體單元 610(0) 的下實體程式化單元時將此索引值 RRT1 輸入至表 4，可得到讀取電壓準位 c2 為 5V。其他實體單元的最佳讀取電壓準位可依據上述相同的方式查詢，於此不再贅述。

【0073】 值得注意的是，根據表 2，實體單元 610(4)對應的索引值為 RRT3。此表示實體單元 610(4)與實體單元 610(2)具有相同的讀取電壓準位組，即複數個實體單元可對應相同的索引值。藉由分配索引值給具有相同讀取電壓準位組的實體單元，可節省儲存空間。

【0074】 在一範例實施例中，假設可複寫式非揮發性記憶體模組 406 為 TLC NAND 型快閃記憶體模組。當 TLC NAND 型快閃記憶體模組包括的實體單元儲存有資料時，每個實體單元會對應七個臨界電壓。具體來說，TLC NAND 型快閃記憶體模組的每個記憶胞可儲存 3 個位元，且同一條字元線上的實體程式化單元可至少可被分類為下實體程式化單元、中實體程式化單元與上實體程式化單元。在本範例實施例中，下實體程式化單元會對應七個臨界電壓中的兩個，中實體程式化單元會對應七個臨界電壓中的三個，上實體程式化單元會對應七個臨界電壓中的兩個。因此，當可複寫式非揮發性記憶體模組 406 為 TLC NAND 型快閃記憶體模組時，記憶體管理電路 502 會針對每個實體單元記錄七個讀取電壓準位。

【0075】 例如，下表 5 為一範例實施例中實體單元索引對照表的範例，其用以記錄實體單元與索引值之間的對應關係。下表 6 為一範例實施例中索引查找表的範例，其用以記錄索引值與上實體程式化單元的讀取電壓準位之間的對應關係。下表 7 為一範例實施例中索引查找表的範例，其用以記錄索引值與中實體程式化單

元的讀取電壓準位之間的對應關係。下表 8 為一範例實施例中索引查找表的範例，其用以記錄索引值與下實體程式化單元的讀取電壓準位之間的對應關係。

【0076】 表 5

實體單元	索引值
610(0)	RRT1
610(1)	RRT2
610(2)	RRT3
610(3)	RRT4

【0077】 表 6

索引值	讀取電壓準位 c1	讀取電壓準位 c5
RRT1	6V	12V
RRT2	15V	18V
RRT3	-2V	7V
RRT4	-5V	-4V

【0078】 表 7

索引值	讀取電壓準位 c2	讀取電壓準位 c4	讀取電壓準位 c6
RRT1	9V	11V	13V
RRT2	16V	21V	27V
RRT3	1V	6V	10V
RRT4	-1V	6V	12V

【0079】 表 8

索引值	讀取電壓準位 c3	讀取電壓準位 c7
RRT1	11V	18V
RRT2	10V	16V
RRT3	-4V	-1V
RRT4	-8V	-4V

【0080】 具體來說，記憶體管理電路 502 可在記錄實體單元 610(0) 的讀取電壓準位組時，分配索引值 RRT1 給實體單元 610(0)。記憶體管理電路 502 會將實體單元 610(0) 對應的索引值 RRT1 記錄在實體單元索引對照表（如表 5 所示的實體單元 610(0) 與對應的索引值 RRT1），將實體單元 610(0) 的上實體程式化單元的讀取電壓準位 c1、c5 記錄在關聯至上實體程式化單元的索引查找表（如表 6 所示的索引值 RRT1 與對應的 6V、12V），將中實體程式化單元的讀取電壓準位 c2、c4、c6 記錄在關聯至中實體程式化單元的索引查找表（如表 7 所示的索引值 RRT1 與對應的 9V、11V、13V），並將下實體程式化單元的讀取電壓位準 c3、c7 記錄在關聯至下實體程式化單元的索引查找表（如表 8 所示的索引值 RRT1 與對應的 11V、18V）。表 5 中其他實體單元與其讀取電壓準位組的紀錄方式可參照上述，於此不再贅述。

【0081】 在本範例實施例中，記憶體管理電路 502 可將對應至第一讀取電壓準位的第一索引值以及對應至第二讀取電壓準位的第二索引值之間的關聯資訊記錄在暫態查找表。此關聯資訊包括第一索引值以及第二索引值之間的關聯次數的計數值。具體來說，

記憶體管理電路 502 可對第一索引值以及第二索引值之間具有關聯性的次數進行計數而產生計數值，並將計數值記錄在暫態查找表中。舉例來說，例如，下表 9 為一範例實施例中的暫態查找表，其記錄第一索引值以及第二索引值之間的關聯資訊。

【0082】 表 9

索引值	RRT1	RRT2	RRT3	RRT4
RRT1	0	0	0	0
RRT2	0	0	0	0
RRT3	1	0	0	0
RRT4	0	0	0	0

【0083】 假設記憶體管理電路 502 對表 5 的實體單元 610(0)的上實體程式化單元執行資料讀取操作。根據表 5，記憶體管理電路 502 使用索引值 RRT1 對應的讀取電壓準位 6V 與 12V 作為起始讀取電壓準位來對實體單元 610(0)的上實體程式化單元執行資料讀取讀取操作後，假設取得被用來成功讀取此實體單元 610(0)的讀取電壓準位為與索引值 RRT3 對應的讀取電壓準位 -2V 與 7V。在本範例實施例中，記憶體管理電路 502 會對索引值 RRT1 以及索引值 RRT3 之間具有關聯性的次數進行計數而產生計數值，如表 9 中索引值 RRT1 與索引值 RRT3 對應的欄位中記錄的計數值為 1。此表示，索引值 RRT1 與索引值 RRT3 之間具有關聯性的次數為一次。然而，表 9 僅為一個範例，其中具體的記錄皆可以依據實務上的需求而調整。

【0084】 值得注意的是，倘若被用來成功讀取實體單元的第二讀取電壓準位與任何一個索引值對應的讀取電壓準位都不相同，記憶體管理電路 502 會計算第二讀取電壓準位以及各個索引值對應的讀取電壓準位的距離。並且，記憶體管理電路 502 會將所計算出距離最近的讀取電壓準位（或其所對應的索引值）與第一讀取電壓準位（或其所對應的索引值）之間的關聯資訊記錄在暫態查找表。

【0085】 在一範例實施例中，記憶體管理電路 502 可根據讀取電壓準位追蹤表（read level tracking table）決定執行資料讀取操作時使用的起始讀取電壓準位。此讀取電壓準位追蹤表記錄每個實體單元的最佳讀取電壓準位。具體來說，記憶體管理電路 502 可從讀取電壓準位追蹤表中取得對應第一實體單元的最佳讀取電壓準位（亦稱為第一最佳讀取電壓準位）作為起始讀取電壓準位。例如，讀取電壓準位追蹤表可包括上表 2 至 4 或上表 5 至 8。以上表 2 至 4 為例，記憶體管理電路 502 可在讀取實體單元 610(0)的上實體程式化單元時將索引值 RRT1 輸入至表 3，得到讀取電壓準位 14V 與 23V 作為起始讀取電壓準位。

【0086】 在一範例實施例中，若記憶體儲存裝置 10 中存在記錄有關聯資訊的暫態查找表，記憶體管理電路 502 可根據讀取電壓準位追蹤表以及暫態查找表中所記錄的關聯資訊決定執行資料讀取操作時使用的起始讀取電壓準位。具體來說，記憶體管理電路 502 可根據欲讀取的實體單元從讀取電壓準位追蹤表中取得該實體單

元的最佳讀取電壓準位。例如，記憶體管理電路 502 可根據欲讀取的第一實體單元（在其他實施例中例如為第二實體單元）從讀取電壓準位追蹤表中取得第一實體單元的第一最佳讀取電壓準位。並且，記憶體管理電路 502 會根據第一最佳讀取電壓準位（或其對應的第一索引值）查找暫態查找表，以根據多個計數值大到小的順序依序取得計數值所對應的第二讀取電壓準位（或第二索引值對應的讀取電壓準位）作為起始讀取電壓準位。接著，記憶體管理電路 502 可根據此起始讀取電壓準位執行資料讀取操作。

【0087】 舉例來說，下表 10 為一範例實施例中的暫態查找表，其記錄第一索引值以及第二索引值之間的關聯資訊。在本範例實施例中，記憶體管理電路 502 在暫態查找表中記錄了執行資料讀取操作 1840 次後的操作結果，包括 1840 個關聯資訊。

【0088】 表 10

索引值	RRT1	RRT2	RRT3	RRT4
RRT1	0	0	100	100
RRT2	10	300	200	0
RRT3	1000	500	0	20
RRT4	0	30	0	300

【0089】 表 10 中，計數值為 500 的欄位表示使用對應至索引值 RRT2 的讀取電壓準位（即，第一讀取電壓準位）作為起始讀取電壓準位來對實體單元執行資料讀取操作後，取得被用來成功讀取此實體單元的對應至索引值 RRT3 的讀取電壓準位（即，第二讀取

電壓準位) 的次數為 500 次。其他欄位記錄的內容以此類推。在本範例實施例中，假設執行資料讀取操作時，要對實體單元 610(1) 的上實體程式化單元儲存的資料進行解碼。根據上表 2，實體單元 610(1) 對應的索引值為「RRT2」。記憶體管理電路 502 會根據索引值 RRT2 查找表 10 所示的暫態查找表，以取得與索引值 RRT2 相對應的索引值 RRT1、RRT2、RRT3、RRT4 所對應的多個計數值中，最大計數值（即，500）所對應的索引值 RRT3 對應的讀取電壓準位作為起始讀取電壓準位。例如，記憶體管理電路 502 可根據索引值 RRT3 查找表 3 所示的索引查找表來取得讀取電壓準位 -2V 以及 4V 作為起始讀取電壓準位來執行資料讀取操作。此外，若執行資料讀取操作時解碼失敗，記憶體管理電路 502 可取得與索引值 RRT2 相對應的其他索引值 RRT1、RRT2、RRT4 所對應的多個計數值中，最大計數值（即，300）所對應的索引值 RRT2 對應的讀取電壓準位作為起始讀取電壓準位，以此類推。

【0090】 換言之，記憶體管理電路 502 會在暫態查找表中記錄有關聯資訊時進一步根據暫態查找表來微調之前追蹤的最佳讀取電壓準位。即使記憶體儲存裝置 10 實際讀取資料當下的操作與環境條件與前次監測最佳讀取電壓準位時的條件不同或因為實際讀取資料的時間與前次的監測時間的間隔過久而造成最佳讀取電壓準位產生偏移，記憶體管理電路 502 也可以根據暫態查找表中統計的電壓準位偏移變化來預測讀取當下較接近真正最佳讀取電壓準位的讀取電壓準位來執行後續的資料讀取操作。如此一來，可提

升讀取操作的效能。

【0091】 在一範例實施例中，記憶體管理電路 502 可根據暫態查找表中記錄的關聯資訊來更新讀取電壓準位追蹤表，並在更新讀取電壓準位追蹤表後清除暫態查找表。例如，記憶體管理電路 502 可在暫態查找表中記錄的計數值的總數達到一預設記錄閾值（例如，10000）後，依據暫態查找表更新讀取電壓準位追蹤表所記錄的最佳讀取電壓準位。此外，記憶體管理電路 502 也可在記憶體儲存裝置 10 斷電後重新上電時依據暫態查找表更新讀取電壓準位追蹤表所記錄的最佳讀取電壓準位。本發明不在此限制依據暫態查找表更新讀取電壓準位追蹤表的時機。

【0092】 在本範例實施例中，記憶體管理電路 502 可根據讀取電壓準位追蹤表中的最佳讀取電壓準位（亦稱為第三最佳讀取電壓準位）查找暫態表，並根據與第三最佳讀取電壓準位相對應的第一讀取電壓準位所對應的多個計數值中最大計數值取得此最大計數值所對應的第二讀取電壓準位。並且，將讀取電壓準位追蹤表中的第三最佳讀取電壓準位更新為此第二讀取電壓準位。

【0093】 舉例來說，假設記憶體管理電路 502 根據上表 10 的暫態查找表更新包括表 2 至表 4 的讀取電壓準位追蹤表。根據上表 10，索引值 RRT2 所對應的多個計數值中，最大計數值所對應的索引值為索引值 RRT3。因此，記憶體管理電路 502 可將表 2 中實體單元 610(1)對應的索引值 RRT2 更新為索引值 RRT3。更新結果例如可參照下表 11。

【0094】 表 11

實體單元	索引值
610(0)	RRT1
610(1)	RRT3
610(2)	RRT3
610(3)	RRT4
610(4)	RRT3

【0095】 圖 7 是根據本發明的一範例實施例所繪示之讀取電壓準位校正方法的流程圖。請參照圖 7，在步驟 S702 中，記憶體管理電路 502 使用第一讀取電壓準位作為起始讀取電壓準位來對多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取第一實體單元的第二讀取電壓準位。在步驟 S704 中，記憶體管理電路 502 將第一讀取電壓準位以及第二讀取電壓準位之間的關聯資訊記錄在暫態查找表。在步驟 S706 中，記憶體管理電路 502 根據讀取電壓準位追蹤表以及暫態查找表中所記錄的關聯資訊執行第二資料讀取操作。

【0096】 圖 8 是根據本發明的一範例實施例所繪示之更新最佳讀取電壓準位方法的流程圖。在步驟 S802 中，記憶體管理電路 502 讀取電壓準位追蹤表中取得對應實體單元的最佳讀取電壓準位。在步驟 S804 中，記憶體管理電路 502 判斷是否存在記錄有關聯資訊的暫態查找表。在步驟 S806 中，若判定不存在記錄有關聯資訊的暫態查找表（即，步驟 S804 判斷為「否」），則記憶體管理電路

502 設定最佳讀取電壓準位作為起始讀取電壓準位。在步驟 S808 中，若判定存在記錄有關聯資訊的暫態查找表（即，步驟 S804 判斷為「是」），則記憶體管理電路 502 根據最佳讀取電壓準位或最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個計數值大到小的順序依序取得計數值所對應的第二讀取電壓準位作為起始讀取電壓準位。在步驟 S810，記憶體管理電路 502 根據起始讀取電壓準位執行資料讀取操作。

【0097】 然而，圖 7 及圖 8 中各步驟已詳細說明如上，在此便不再贅述。值得注意的是，圖 7 及圖 8 中各步驟可以實作為多個程式碼或是電路，本發明不加以限制。此外，圖 7 及圖 8 的方法可以搭配以上範例實施例使用，也可以單獨使用，本發明不加以限制。

【0098】 綜上所述，本發明實施例提供的讀取電壓準位校正方法、記憶體儲存裝置及記憶體控制電路單元，能夠在暫態查找表中記錄關聯資訊，並根據暫態查找表中記錄的關聯資訊來微調之前監測的最佳讀取電壓準位。如此一來，即使記憶體儲存裝置實際讀取資料當下的操作與環境條件與前次監測最佳讀取電壓準位時的條件不同或因為實際讀取資料的時間與前次的監測時間的間隔過久而造成最佳讀取電壓準位產生偏移，記憶體管理電路也可以根據暫態查找表中統計的電壓準位偏移變化來預測讀取當下較接近真正最佳讀取電壓準位的讀取電壓準位來執行後續的資料讀取操作。於此，本發明可提升尋找實際的最佳讀取電壓準位的效

率並提升所找出的最佳讀取電壓準位的精準度。相對於一般只利用之前監測的最佳讀取電壓準位來執行最佳讀取電壓準位搜尋操作以及解碼操作等操作，本發明能夠減少尋找可成功讀取實體單元讀取電壓準位的時間，從而增加整體資料讀取操作的效能。

【0099】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0100】

10, 30: 記憶體儲存裝置

11, 31: 主機系統

110: 系統匯流排

111: 處理器

112: 隨機存取記憶體

113: 唯讀記憶體

114: 資料傳輸介面

12: 輸入/輸出(I/O)裝置

20: 主機板

201: 隨身碟

202: 記憶卡

- 203: 固態硬碟
- 204: 無線記憶體儲存裝置
- 205: 全球定位系統模組
- 206: 網路介面卡
- 207: 無線傳輸裝置
- 208: 鍵盤
- 209: 螢幕
- 210: 喇叭
- 32: SD 卡
- 33: CF 卡
- 34: 嵌入式儲存裝置
- 341: 嵌入式多媒體卡
- 342: 嵌入式多晶片封裝儲存裝置
- 402: 連接介面單元
- 404: 記憶體控制電路單元
- 406: 可複寫式非揮發性記憶體模組
- 502: 記憶體管理電路
- 504: 主機介面
- 506: 記憶體介面
- 508: 錯誤檢查與校正電路
- 510: 緩衝記憶體
- 512: 電源管理電路

601: 儲存區

602: 閒置區

610(0)~610(B): 實體單元

612(0)~612(C): 邏輯單元

S702~S706, S802~S810: 步驟

【發明申請專利範圍】

【請求項1】 一種讀取電壓準位校正方法，用於一可複寫式非揮發性記憶體模組，所述可複寫式非揮發性記憶體模組包括多個實體單元，所述方法包括：

使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取所述第一實體單元的第二讀取電壓準位；

將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的關聯資訊記錄在暫態查找表；以及

根據讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行第二資料讀取操作，

其中所述讀取電壓準位追蹤表記錄所述多個實體單元的多個最佳讀取電壓準位。

【請求項2】 如請求項1所述的讀取電壓準位校正方法，其中使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作的步驟更包括：

從所述讀取電壓準位追蹤表中取得對應於所述第一實體單元的第一最佳讀取電壓準位作為所述第一讀取電壓準位。

【請求項3】 如請求項1所述的讀取電壓準位校正方法，其中使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個

實體單元中的所述第一實體單元執行所述第一資料讀取操作的步驟更包括：

根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊決定所述第一讀取電壓準位。

【請求項4】 如請求項1所述的讀取電壓準位校正方法，其中所述方法包括：

在使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作時或根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作時執行解碼操作。

【請求項5】 如請求項1所述的讀取電壓準位校正方法，其中將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的所述關聯資訊記錄在所述暫態查找表的步驟包括：

對所述第一讀取電壓準位以及所述第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值；以及

將所述計數值記錄在所述暫態查找表中。

【請求項6】 如請求項5所述的讀取電壓準位校正方法，其中根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作的步驟包括：

在所述第二資料讀取操作指示讀取所述多個實體單元中的第二實體單元的資料時，從所述讀取電壓準位追蹤表中取得所述第

二實體單元的第二最佳讀取電壓準位；以及

根據所述第二最佳讀取電壓準位或所述第二最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個所述計數值大到小的順序依序取得所述計數值所對應的所述第二讀取電壓準位作為執行所述第二資料讀取操作的起始讀取電壓準位。

【請求項7】 如請求項1所述的讀取電壓準位校正方法，其中所述方法更包括：

根據所述暫態查找表中記錄的所述關聯資訊來更新所述讀取電壓準位追蹤表；以及

在更新所述讀取電壓準位追蹤表後清除所述暫態查找表。

【請求項8】 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，包括多個實體單元；以及

一記憶體控制電路單元，耦接至所述連接介面單元與所述可複寫式非揮發性記憶體模組，

其中所述記憶體控制電路單元用以使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取所述第一實體單元的第二讀取電壓準位，

所述記憶體控制電路單元更用以將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的關聯資訊記錄在暫態查找表，並且

所述記憶體控制電路單元更用以根據讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行第二資料讀取操作，

其中所述讀取電壓準位追蹤表記錄所述多個實體單元的多個最佳讀取電壓準位。

【請求項9】 如請求項8所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以從所述讀取電壓準位追蹤表中取得對應於所述第一實體單元的第一最佳讀取電壓準位作為所述第一讀取電壓準位。

【請求項10】 如請求項8所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊決定所述第一讀取電壓準位。

【請求項11】 如請求項8所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以在使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一資料讀取操作時或根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作時執行解碼操作。

【請求項12】 如請求項8所述的記憶體儲存裝置，其中將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的所述關聯資訊記錄在所述暫態查找表的操作中，

所述記憶體控制電路單元更用以對所述第一讀取電壓準位以及所述第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值，並且

所述記憶體控制電路單元更用以將所述計數值記錄在所述暫態查找表中。

【請求項13】 如請求項12所述的記憶體儲存裝置，其中根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作的操作中，

所述記憶體控制電路單元更用以在所述第二資料讀取操作指示讀取所述多個實體單元中的第二實體單元的資料時，從所述讀取電壓準位追蹤表中取得所述第二實體單元的第二最佳讀取電壓準位，並且

所述記憶體控制電路單元更用以根據所述第二最佳讀取電壓準位或所述第二最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個所述計數值大到小的順序依序取得所述計數值所對應的所述第二讀取電壓準位作為執行所述第二資料讀取操作的起始讀取電壓準位。

【請求項14】 如請求項8所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以根據所述暫態查找表中記錄的所述關聯資訊來更新所述讀取電壓準位追蹤表，並且

所述記憶體控制電路單元更用以在更新所述讀取電壓準位追蹤表後清除所述暫態查找表。

【請求項15】 一種記憶體控制電路單元，用於控制包括多個實體單元的一可複寫式非揮發性記憶體模組，其中所述記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至所述可複寫式非揮發性記憶體模組；

一錯誤檢查與校正電路；以及

一記憶體管理電路，耦接至所述主機介面、所述記憶體介面及所述錯誤檢查與校正電路，

其中所述記憶體管理電路用以使用第一讀取電壓準位作為起始讀取電壓準位來對所述多個實體單元中的第一實體單元執行第一資料讀取操作，以取得被用來成功讀取所述第一實體單元的第二讀取電壓準位，

所述記憶體管理電路更用以將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的關聯資訊記錄在暫態查找表，並且

所述記憶體管理電路更用以根據讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行第二資料讀取操作，

其中所述讀取電壓準位追蹤表記錄所述多個實體單元的多個最佳讀取電壓準位。

【請求項16】 如請求項15所述的記憶體控制電路單元，其中所述記憶體管理電路更用以從所述讀取電壓準位追蹤表中取得對應

於所述第一實體單元的第一最佳讀取電壓準位作為所述第一讀取電壓準位。

【請求項17】 如請求項15所述的記憶體控制電路單元，其中所述記憶體管理電路更用以根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊決定所述第一讀取電壓準位。

【請求項18】 如請求項15所述的記憶體控制電路單元，其中所述記憶體管理電路更用以在使用所述第一讀取電壓準位作為所述起始讀取電壓準位來對所述多個實體單元中的所述第一實體單元執行所述第一讀取操作時或根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作時執行解碼操作。

【請求項19】 如請求項15所述的記憶體控制電路單元，其中將所述第一讀取電壓準位以及所述第二讀取電壓準位之間的所述關聯資訊記錄在所述暫態查找表的操作中，

所述記憶體管理電路更用以對所述第一讀取電壓準位以及所述第二讀取電壓準位之間具有關聯性的次數進行計數而產生計數值，並且

所述記憶體管理電路更用以將所述計數值記錄在所述暫態查找表中。

【請求項20】 如請求項19所述的記憶體控制電路單元，其中根據所述讀取電壓準位追蹤表以及所述暫態查找表中所記錄的所述關聯資訊執行所述第二資料讀取操作的操作中，

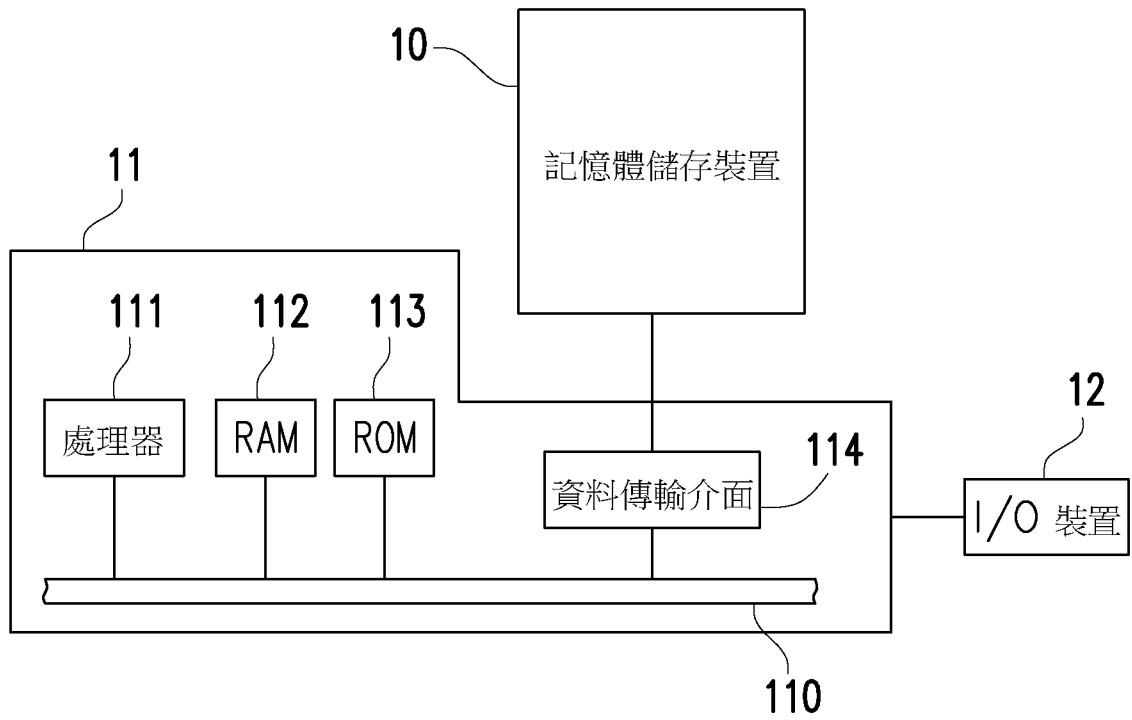
所述記憶體管理電路更用以在所述第二資料讀取操作指示讀取所述多個實體單元中的第二實體單元的資料時，從所述讀取電壓準位追蹤表中取得所述第二實體單元的第二最佳讀取電壓準位，並且

所述記憶體管理電路更用以根據所述第二最佳讀取電壓準位或所述第二最佳讀取電壓準位對應的索引值查找暫態查找表，以根據多個所述計數值大到小的順序依序取得所述計數值所對應的所述第二讀取電壓準位作為執行所述第二資料讀取操作的起始讀取電壓準位。

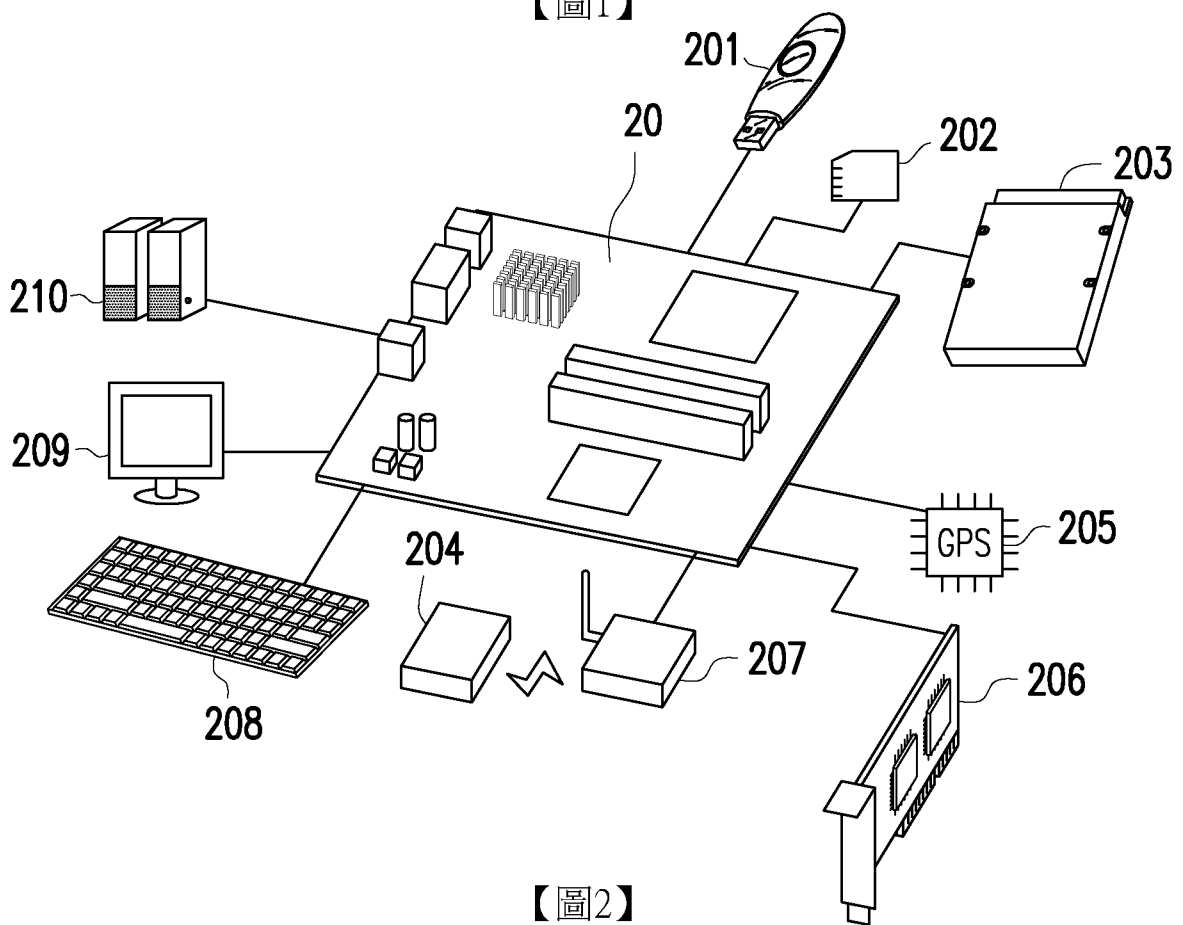
【請求項21】 如請求項15所述的記憶體控制電路單元，其中所述記憶體管理電路更用以根據所述暫態查找表中記錄的所述關聯資訊來更新所述讀取電壓準位追蹤表，並且

所述記憶體管理電路更用以在更新所述讀取電壓準位追蹤表後清除所述暫態查找表。

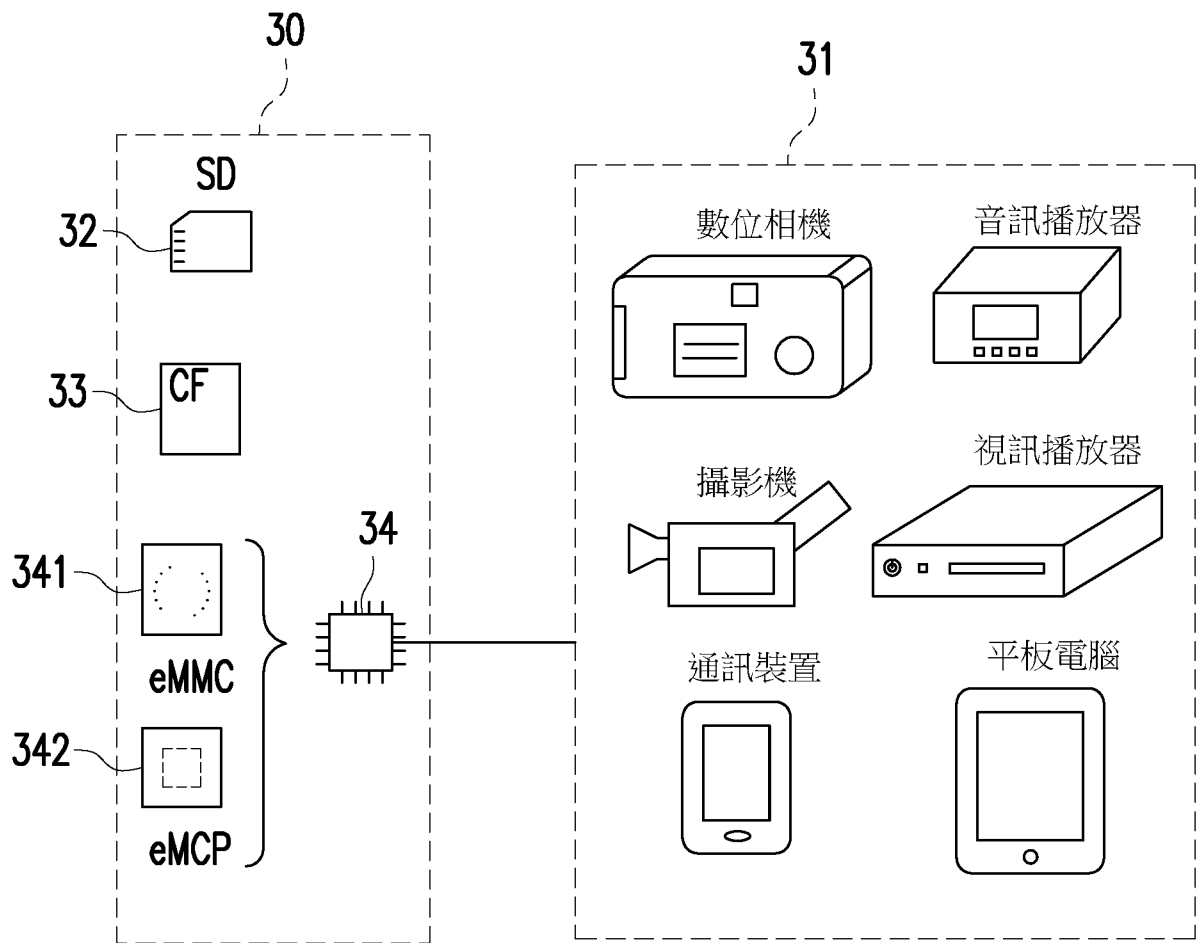
【發明圖式】



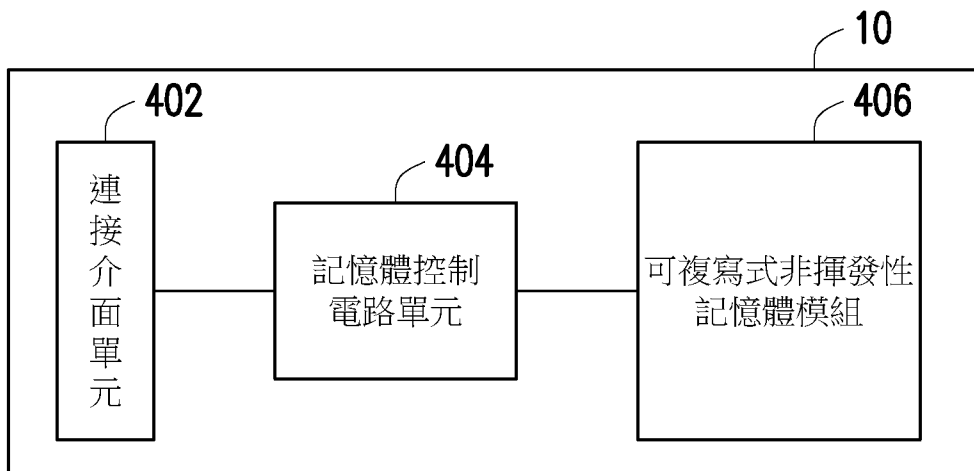
【圖1】



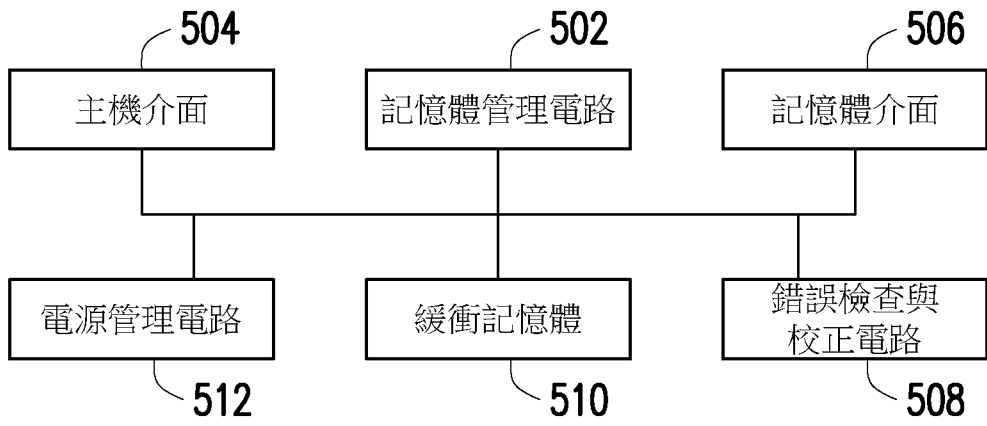
【圖2】



【圖3】

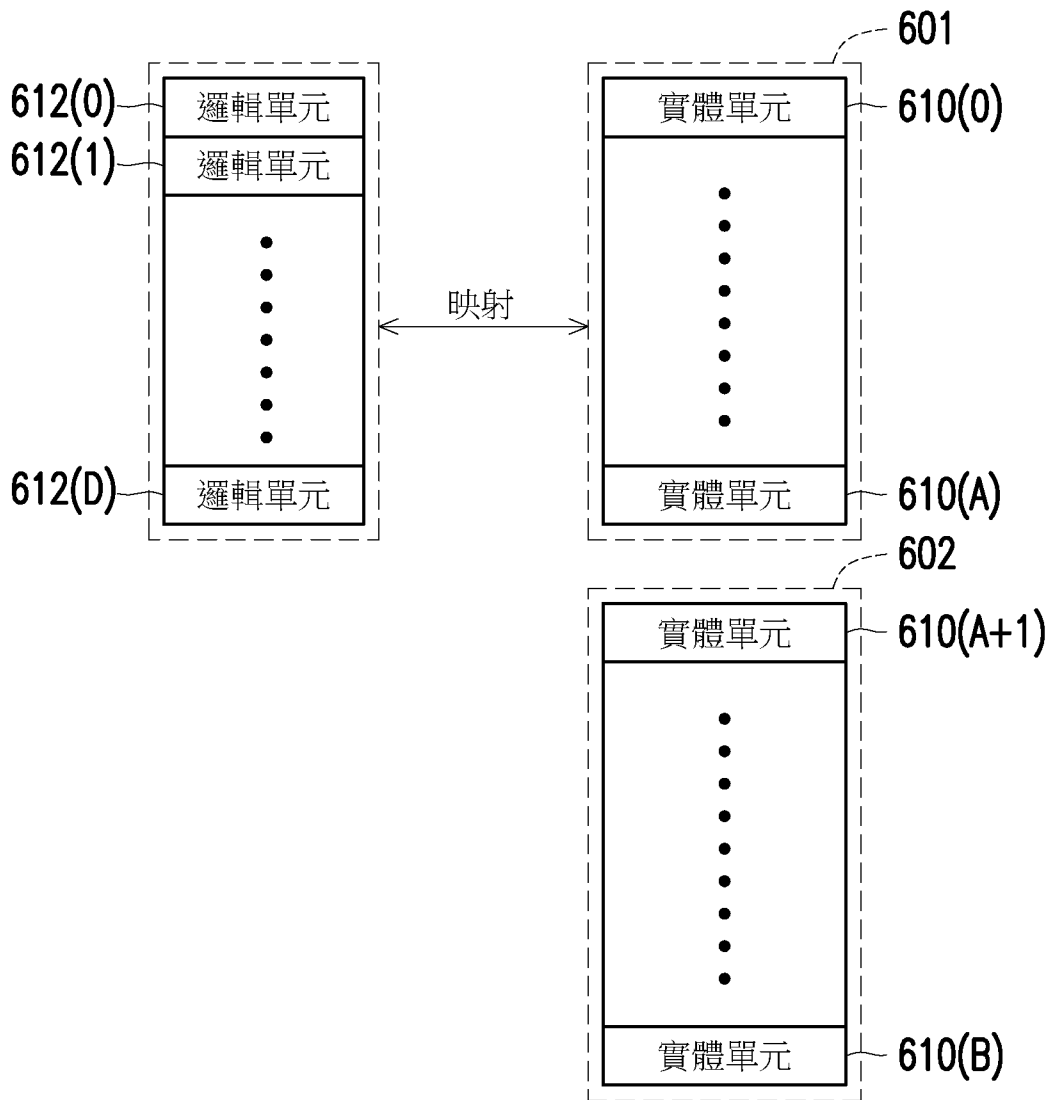


【圖4】

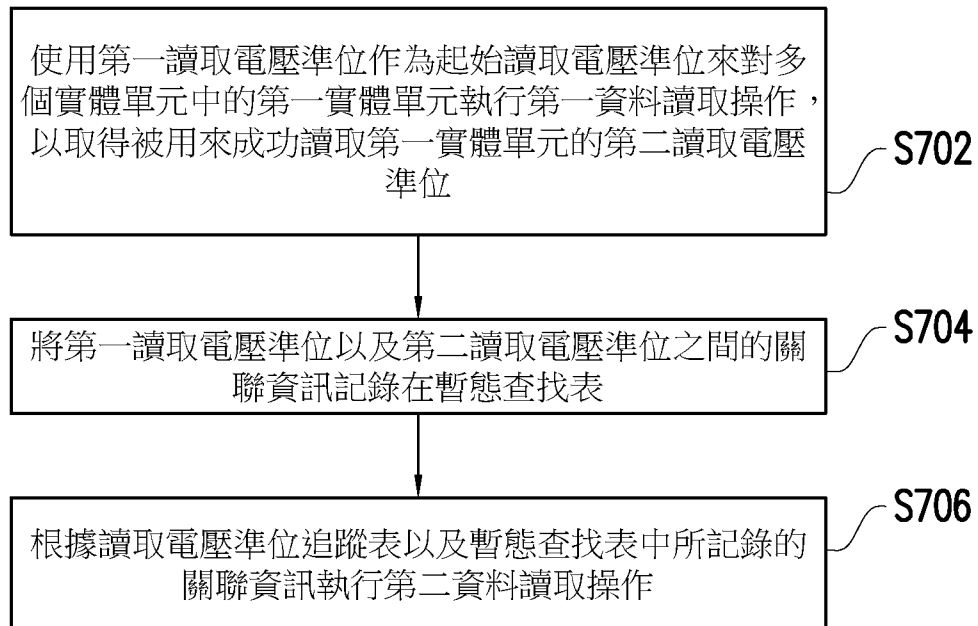


404

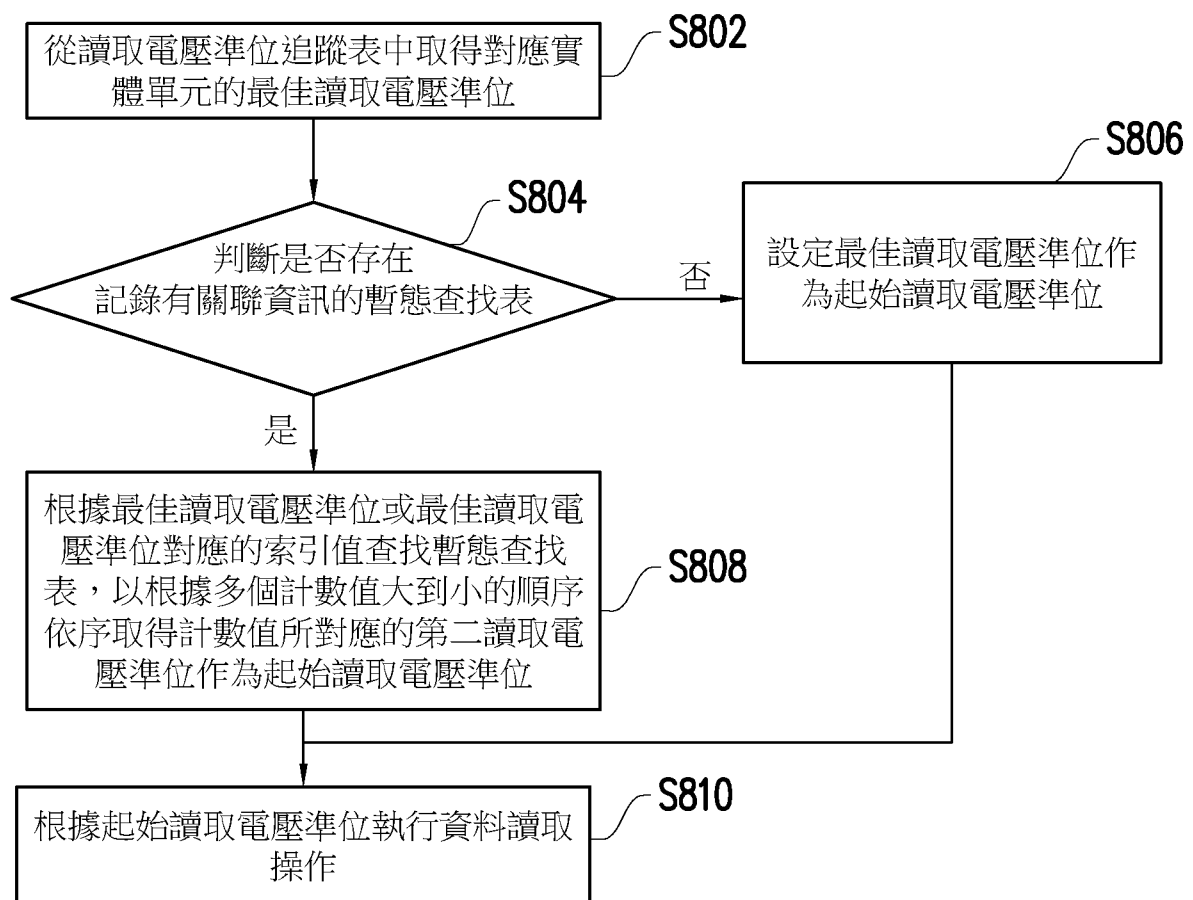
【圖5】



【圖6】



【圖7】



【圖8】