



(12) 发明专利

(10) 授权公告号 CN 115691632 B

(45) 授权公告日 2023.07.07

(21) 申请号 202211280194.6

G06F 9/30 (2006.01)

(22) 申请日 2022.10.19

G11C 29/18 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 115691632 A

(56) 对比文件

CN 207541950 U, 2018.06.26

(43) 申请公布日 2023.02.03

审查员 杨蕊

(73) 专利权人 中科声龙科技发展(北京)有限公司

地址 100083 北京市海淀区北四环西路9号
16层1605

(72) 发明人 石昊明 刘明 杨媛媛 李彦

(74) 专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201

专利代理师 雷玉龙

(51) Int. Cl.

G11C 29/04 (2006.01)

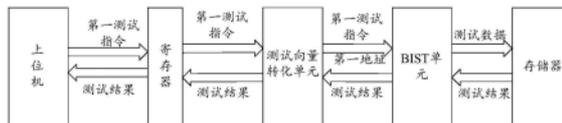
权利要求书2页 说明书16页 附图6页

(54) 发明名称

测试控制系统和方法

(57) 摘要

本发明提供了一种测试控制系统和方法,该系统包括寄存器、与寄存器连接的测试向量转化单元,以及与测试向量转化单元连接的BIST单元。寄存器,用于从上位机获取第一测试模式下的N个第一测试指令;测试向量转化单元,用于从寄存器中拉取N个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;BIST单元,用于在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。本申请能够在任意时刻对存储器进行测试,且对寄存器写入第一测试指令时,不需要考虑时序,提高了存储器的测试效率。



1. 一种测试控制系统,其特征在于,包括寄存器、与所述寄存器连接的测试向量转化单元,以及与所述测试向量转化单元连接的内建自测试BIST单元;

所述寄存器,用于从上位机获取第一测试模式下的N个第一测试指令,所述第一测试模式为预设的M个测试模式中一个测试模式,所述N、M均为正整数;

所述测试向量转化单元,用于从所述寄存器中拉取所述N个第一测试指令,针对所述N个第一个测试指令中的每一个第一测试指令,生成所述第一测试指令对应的第一地址,并按照预设时序将所述第一地址和所述第一测试指令发送给所述BIST单元,其中,所述测试向量转化单元还用于在检测到第一信号时,生成所述第一测试指令对应的第一地址,所述第一信号用于指示所述上位机将所述N个第一测试指令成功写入所述寄存器;

所述BIST单元,用于在检测到所述N个第一测试指令和所述N个第一测试指令分别对应的第一地址后,根据所述N个第一测试指令所指示的动作,对存储器进行测试。

2. 根据权利要求1所述的系统,其特征在于,所述系统还包括结果获取单元;

所述结果获取单元,用于在检测到第二信号时,向所述BIST单元发送第一请求,所述第一请求用于请求所述存储器的测试结果,所述第二信号是在所述M个测试模式下的各测试指令均测试结束后触发的;

所述BIST单元,用于基于所述第一请求,从所述存储器中获取所述测试结果,并将所述测试结果发送给所述结果获取单元。

3. 根据权利要求2所述的系统,其特征在于,

所述BIST单元,用于在接收到所述第一测试模式下的最后一个测试指令后,向所述测试向量转化单元发送第三信号;

所述测试向量转化单元,用于基于所述第三信号向所述寄存器发送第四信号,以使所述上位机基于所述第四信号确定所述第一测试模式为所述M个测试模式中的最后一个测试模式时,向所述结果获取单元发送所述第二信号。

4. 根据权利要求3所述的系统,其特征在于,所述系统还包括超时检测单元;

所述超时检测单元,用于在检测到所述第一信号后,开始计时,并在接收到所述BIST单元发送的第三信号后停止计时,得到所述第一测试模式对应的执行时间,并在所述执行时间大于预设的执行时间时,向所述测试向量转化单元发送第五信号,所述第五信号用于指示停止对所述存储器的测试。

5. 根据权利要求4所述的系统,其特征在于,所述超时检测单元,还用于在所述第一测试模式对应的执行时间大于预设的执行时间时,向所述寄存器发送第六信号,所述第六信号用于指示所述第一测试模式的执行时间超过所述预设的执行时间。

6. 根据权利要求5所述的系统,其特征在于,所述预设的执行时间为所述寄存器发送的所述第一测试模式对应的最大执行时间。

7. 根据权利要求4所述的系统,其特征在于,所述系统还包括刷新控制单元,所述刷新控制单元,用于在检测到所述存储器的下一个刷新周期的起始时间与当前时间的差值小于预设值时,向所述结果获取单元发送第七信号,所述第七信号用于指示停止对所述测试结果的获取。

8. 根据权利要求7所述的系统,其特征在于,所述刷新控制单元,还用于在检测到所述存储器的下一个刷新周期的起始时间与当前时间的差值小于所述预设值时,向所述测试向

量转化单元发送第八信号,所述第八信号用于指示所述测试向量转化单元向所述BIST单元发送刷新指令;

所述BIST单元,用于基于所述刷新指令,对所述存储器进行刷新。

9. 根据权利要求7所述的系统,其特征在于,所述系统还包括存储单元,所述存储单元,用于从所述结果获取单元处获取所述测试结果,并在完成获取所述测试结果后,向所述寄存器发送第九信号,所述第九信号用于指示所述测试结果存储完成。

10. 根据权利要求9所述的系统,其特征在于,所述系统还包括结果处理单元;

所述结果处理单元,用于从所述结果获取单元处获取所述测试结果,并对所述测试结果进行分析,得到所述存储器的问题数据,并将所述问题数据发送给所述寄存器;

其中,所述问题数据包括所述存储器中存在坏点的行数、所述存储器中存在坏点的行中的前P行的行号,以及所述存储器的总坏点个数中的至少一个,所述P为正整数。

11. 根据权利要求10所述的系统,其特征在于,所述存储器中包括P个冗余行,所述系统还包括修复单元,当所述存储器中存在坏点的行数小于或等于P时,所述修复单元用于将所述存储器中存在坏点的行号发送给所述存储器,以使所述存储器使用所述P个冗余行,对所述存储器中存在坏点的行进行修复。

12. 根据权利要求11所述的系统,其特征在于,所述存储器中还包括P个冗余列,当所述存储器中存在坏点的行数大于P时,所述修复单元用于基于所述测试结果中的坏点位置,从所述P个冗余列中确定出用于坏点修复的Q个冗余列的列信息,以及从所述P个冗余行中确定出用于坏点修复的R个冗余行的行信息,并将所述Q个冗余列的列信息和所述R个冗余行的行信息发送给所述存储器,以使所述存储器基于所述Q个冗余列的列信息和所述R个冗余行的行信息,从所述P个冗余列中确定出所述Q个冗余列,从所述P个冗余行中确定出所述R个冗余行,并使用所述Q个冗余列和所述R个冗余行对所述存储器中存在坏点的存储单元进行修复,所述Q、R均为正整数。

13. 一种测试控制方法,其特征在于,应用于测试控制系统,所述系统包括寄存器、与所述寄存器连接的测试向量转化单元,以及与所述测试向量转化单元连接的内建自测试BIST单元;

所述寄存器从上位机获取第一测试模式下的N个第一测试指令,所述第一测试模式为预设的M个测试模式中一个测试模式,所述N、M为正整数;

所述测试向量转化单元从所述寄存器中拉取所述N个第一测试指令,针对所述N个第一个测试指令中的每一个第一测试指令,生成所述第一测试指令对应的第一地址,并按照预设时序将所述第一地址和所述第一测试指令发送给所述BIST单元,所述测试向量转化单元还用于在检测到第一信号时,生成所述第一测试指令对应的第一地址,所述第一信号用于指示所述上位机将所述N个第一测试指令成功写入所述寄存器,其中,所述测试向量转化单元在检测到第一信号时,生成所述第一测试指令对应的第一地址,所述第一信号用于指示所述上位机将所述N个第一测试指令成功写入所述寄存器;

所述BIST单元在检测到所述N个第一测试指令和所述N个第一测试指令分别对应的第一地址后,根据所述N个第一测试指令所指示的动作,对寄存器进行测试。

测试控制系统和方法

技术领域

[0001] 本申请实施例涉及集成电路技术领域,尤其涉及一种测试控制系统和方法。

背景技术

[0002] 随着集成电路的发展,芯片的规模越来越大、集成度越来越高,与此同时,芯片中存储器的故障率也随之提高。存储器中任意比特的缺陷,都会导致芯片在应用到手机、平板等设备中时,造成系统死机、重启应用程序崩溃等不良现象发生。因此,如何对芯片中的存储器进行故障测试,以及如何提高存储器故障测试效率等问题成为集成电路领域研究的重点。

[0003] 现有的存储器测试方法为在芯片中引入BIST(Built in Self Test,内建自测试)单元,由芯片的外部设备向BIST单元发送测试激励信号,BIST单元接收到外部设备发送的测试激励信号后,通过运行内建的自测试软硬件,对芯片中的存储器进行故障测试。

[0004] 然而,一方面,芯片的BIST测试管脚在芯片量产时通常不进行封装,因此,当芯片封装后,需要对芯片中的存储器进行测试时,无法从外部设备引入测试激励信号,因此无法对芯片中的存储器进行故障测试;另一方面,外部设备需要按照严格的时序向BIST单元串行发送测试激励信号的全部信息,信号发送效率低,且易发送错误,降低了测试效率,浪费了测试资源。

发明内容

[0005] 本申请实施例提供一种测试控制系统和方法,可以实现在任意时刻对存储器进行高效地测试。

[0006] 第一方面,本申请实施例提供一种测试控制系统,该系统包括寄存器、与寄存器连接的测试向量转化单元,以及与测试向量转化单元连接的内建自测试BIST单元;

[0007] 寄存器,用于从上位机获取第一测试模式下的N个第一测试指令,该第一测试模式为预设的M个测试模式中一个测试模式,N、M为正整数;

[0008] 测试向量转化单元,用于从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;

[0009] BIST单元,用于在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。

[0010] 第二方面,本申请实施例提供一种测试控制方法,该方法应用于测试控制系统,该系统包括寄存器、与寄存器连接的测试向量转化单元,以及与测试向量转化单元连接的内建自测试BIST单元。

[0011] 寄存器从上位机获取第一测试模式下的N个第一测试指令,第一测试模式为预设的M个测试模式中一个测试模式,N、M为正整数;

[0012] 测试向量转化单元从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中

的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;

[0013] BIST单元在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。

[0014] 综上所述,通过本申请的技术方案,在对存储器进行测试时,首先通过上位机向寄存器中写入第一测试模式下的N个第一测试指令;然后,与该寄存器连接的测试向量转化单元从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;BIST单元在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。相较于现有测试方法中,通过外部设备从BIST单元对应的测试管脚向BIST单元输入测试激励信号,本申请实施例通过寄存器的管脚向寄存器中写入第一测试指令,避免了因在芯片量产时BIST单元对应的测试管脚未被封装,导致无法再对存储器进行测试的问题;同时,现有测试方法中,外部设备需要按照严格的时序向BIST单元发送存储器所要求的测试激励信号的全部信息,信号发送效率低,且易发送错误。本申请实施例只需要在寄存器的对应位置写入第一测试指令,不需要考虑时序,提高了存储器测试的效率,降低了测试人员的操作复杂度。

附图说明

[0015] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0016] 图1为本申请实施例提供的一种现有的存储器测试系统的示意图;

[0017] 图2为本申请实施例提供的一种测试控制系统的示意图;

[0018] 图3为本申请实施例提供的一种控制模块的示意图;

[0019] 图4为本申请实施例提供的另一种控制模块的示意图;

[0020] 图5为本申请实施例提供的另一种控制模块的示意图;

[0021] 图6为本申请实施例提供的另一种控制模块的示意图;

[0022] 图7为本申请实施例提供的另一种控制模块的示意图;

[0023] 图8为本申请实施例提供的另一种测试控制系统的示意图;

[0024] 图9为本申请实施例提供的另一种测试控制系统的示意图;

[0025] 图10为本申请一实施例提供的一种测试控制方法的流程示意图。

具体实施方式

[0026] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0027] 需要说明的是,本发明的说明书和权利要求书及上述附图中的术语“第一”、“第

二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或服务不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0028] 本申请实施例提供的测试控制系统和方法,可以应用于任意需要对存储器进行测试的领域。

[0029] 随着集成电路的发展,集成电路的密度越来越高、速度越来越快,与此同时,集成电路的故障率也随之提高。对于集成电路芯片中的存储器而言,在没有针对存储器进行ECC(Error Correcting Code,错误检查和纠正)的情况下,存储器中任意比特的生产缺陷,都会导致包含该存储器的芯片运用在手机、平板等设备中时,造成系统死机、重启应用程序崩溃等问题发生。

[0030] 目前针对芯片的测试项目主要有:

[0031] CP(Circuit Probing,晶圆测试)测试,在整个芯片制作流程中处于晶圆制造和封装之间,测试对象是针对整片晶圆(wafer)中的每一个Die(芯片未封装前的晶粒),目的是确保整片wafer中的每一个Die都能基本满足器件的特征或者设计规格书,通常包括电压、电流、时序和功能的验证。可以用来检测工厂制造的工艺水平。

[0032] FT(Final Test,最终测试)测试,是芯片在封装完成以后进行的最终功能和性能测试。在CP测试结束后,会对芯片进行封装,FT测试的测试对象是封装好的芯片。可以通过FT测试检测封装厂的工艺水平。

[0033] 目前在CP和FT测试阶段,针对芯片中的存储器进行测试的方法为在芯片中引入BIST单元,由芯片的外部设备向BIST单元发送测试激励信号,BIST单元接收到外部设备发送的测试激励信号后,通过运行内建的自测试软硬件,对芯片中的存储器进行故障测试。

[0034] BIST测试,是将测试电路和测试算法嵌入待测芯片中,外部仅需要引入控制信号就能控制测试电路自动产生测试激励并得到测试响应,测试电路能够自动对比测试响应与预期响应确定所测电路是否存在故障。

[0035] 图1为本申请实施例提供的一种现有的存储器测试系统的示意图。

[0036] 如图1所示,在芯片的设计中加入内建自测试BIST单元。在CP和FT测试阶段,由外部设备(如计算机、上位机等)产生存储器所要求的测试激励信号的全部信息,并通过测试探针或BIST单元引出的测试管脚将存储器所要求的测试激励信号的全部信息串行输入BIST单元,BIST单元根据接收到的测试激励信号,通过运行内建的自测试硬件和软件,向存储器下发测试数据,检查被测电路的缺陷或故障,获取测试结果数据,并通过测试探针或BIST单元引出的测试管脚将该测试结果数据反馈给外部设备;外部设备接收到测试结果数据后,对该测试结果数据进行分析,得到存储器内的坏点情况。

[0037] 如上所述,一方面,现有技术中BIST单元对应的测试管脚在芯片量产时通常不进行封装,因此,当芯片封装后,需要对芯片内部的存储器进行测试时,无法从外部设备引入测试激励信号,因此无法对存储器进行故障测试;另一方面,现有技术未考虑到存储器所要求的测试激励信号中的重复信息,每次向BIST单元输入测试激励信号时,都需要按照严格的时序要求将存储器所要求的测试激励信号的全部信息串行发送给BIST单元,信号发送效率低,且易发送错误,降低了测试效率,浪费了测试资源。

[0038] 为了解决上述技术问题,本申请实施例,提供一种测试控制系统和方法,该系统包括设置于芯片内部的寄存器、与寄存器连接的测试向量转化单元,以及与测试向量转化单元连接的内建自测试BIST单元。在对存储器进行测试时,通过上位机向寄存器中写入第一测试模式下的N个第一测试指令;然后,与该寄存器连接的测试向量转化单元从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;BIST单元在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。相较于现有测试方法中,通过外部设备从BIST单元对应的测试管脚向BIST单元输入存储器所要求的测试激励信号的全部信息,本申请实施例通过寄存器的管脚向寄存器中写入第一测试指令,避免了因在芯片量产时BIST单元对应的测试管脚未被封装,导致无法再对存储器进行测试的问题;同时,现有测试方法中,外部设备需要按照严格的时序向BIST单元发送存储器所要求的测试激励信号的全部信息,信号发送效率低,且易发送错误。本申请实施例只需要在寄存器的对应位置写入第一测试指令,不需要考虑时序,提高了存储器测试的效率,降低了测试人员的操作复杂度。

[0039] 下面通过一些实施例对本申请实施例的技术方案进行详细说明。下面这几个实施例可以相互结合,对于相同或相似的概念或过程可能在某些实施例不再赘述。

[0040] 图2为本申请实施例提供的一种测试控制系统的示意图。

[0041] 如图2所示,一种测试控制系统,该系统包括寄存器、与寄存器连接的测试向量转化单元,以及与测试向量转化单元连接的内建自测试BIST单元;

[0042] 寄存器,用于从上位机获取第一测试模式下的N个第一测试指令,该第一测试模式为预设的M个测试模式中一个测试模式,N、M为正整数;

[0043] 测试向量转化单元,用于从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;

[0044] BIST单元,用于在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。

[0045] 需要说明的是,M个测试模式为BIST单元对存储器进行一次完整的测试所需要的测试模式。

[0046] 需要说明的是,图2中寄存器的个数仅仅是示例性地,本申请对上述寄存器的个数不做具体限制。

[0047] 存储器测试需要使用大量的测试指令,因此,在有限的测试时间的限制下,选择高效的测试方法非常重要。

[0048] 现有测试方法是利用外部设备操作连接在BIST单元串行输入引脚的信号线,通过通断电形成高低电平向BIST单元发送测试激励信号的全部信息。然而,现有的测试方法中连接在BIST单元串行输入引脚的信号线的带宽较小,每一个时钟,只能发送1比特,因此,测试激励信号的发送效率低,且易发送错误。本申请实施例对BIST单元所需要的测试激励信号进行分析,得到测试激励信号中的重复信息,引入测试向量转化单元,由测试向量转化单元生成测试激励信号中的重复信息,由上位机将测试激励信号中不同的信息写入寄存器中,测试向量转化单元按照BIST单元要求的时序和带宽,将生成的测试激励信号中的重复

信息与从寄存器中获取的测试激励信号中不同的信息发送给BIST单元,以使BIST单元基于测试激励信号,对存储器进行测试。测试人员操作上位机向寄存器中写入测试激励信号中不同的信息时,不需要考虑时序,降低了测试操作的复杂度,提高了测试效率。

[0049] 在本申请实施例中,由上位机向寄存器配置第一测试指令,考虑到BIST单元所需要的测试激励信号中的重复信息为地址信息,每一个第一测试模式下的N个第一测试指令对应的地址信息相同,由测试向量转化单元自动生成第一测试指令对应的第一地址;并将该第一测试指令对应的第一地址与该第一测试指令发送给BIST单元。这样在向BIST单元发送指令时,测试人员只需要操作上位机,向寄存器中写入第一测试模式下的N个第一测试指令,不需要考虑时序,且每一个时钟信号下,可以向寄存器中写入多比特第一测试指令,比如,第一测试指令为32比特,可以在一个时钟信号下,向寄存器中写入32比特,加快了测试指令的下发时间;不需要通过操作外部设备不断向BIST单元的串行输入引脚发送高低电平,来发送地址信息,测试向量转化单元可以自动生成每个第一测试指令对应的第一地址,对于测试人员更加高效和简单。

[0050] 本申请实施例对存储器的类型的不做具体限制。

[0051] 在一种示例中,该存储器为DRAM(Dynamic Random Access Memory,动态随机存储器)。

[0052] 在另一种实例中,该存储器为SDRAM(Synchronous Dynamic Random Access Memory,同步动态随机存储器)。

[0053] 本申请实施例对测试向量转化单元向BIST单元发送第一测试指令对应的第一地址和第一测试指令的顺序不做具体限制。

[0054] 在一种示例中,针对N个第一测试指令中每一个第一测试指令,测试向量转化单元生成该第一测试指令对应的第一地址,并先将该第一地址发送给BIST单元,再将该第一测试指令发送给BIST单元。

[0055] 在另一种示例中,针对N个第一测试指令中每一个第一测试指令,测试向量转化单元生成该第一测试指令对应的第一地址,并先将该第一测试指令发送给BIST单元,再将该第一地址发送给BIST单元。

[0056] 在另一种示例中,针对N个第一测试指令中每一个第一测试指令,测试向量转化单元生成该第一测试指令对应的第一地址,并将该第一测试指令与该第一测试指令对应的第一地址,同时发送给BIST单元。

[0057] 本申请实施例对测试向量转化单元向BIST单元发送第一测试指令对应的第一地址和第一测试指令的方式不做具体限制。

[0058] 在一种示例中,测试向量转化单元通过一根地址信号线,向BIST单元发送第一测试指令对应的第一地址;通过32根数据信号线向BIST单元发送第一测试指令。

[0059] 在另一种示例中,测试向量转化单元通过一根信号线先向BIST单元发送第一测试指令对应的第一地址,再向BIST单元发送第一测试指令。

[0060] 在一些实施例中,上述测试向量转化单元,具体用于在检测到第一信号时,生成第一测试指令对应的第一地址,该第一信号用于指示上位机将N个第一测试指令成功写入寄存器。

[0061] 具体地,上位机向上述寄存器中写入第一测试模式下的N个第一测试指令后,上位

机通过寄存器向测试向量转化单元发送第一信号；测试向量转化单元在检测到第一信号时，生成第一测试指令对应的第一地址；针对N个第一测试指令中的每一个第一测试指令，测试向量转化单元将生成的该第一测试指令对应的第一地址和该第一测试指令发送给BIST单元。

[0062] 现有技术中外部设备操作连接在BIST单元串行输入引脚的信号线，通过通断电形成高低电平向BIST单元发送地址信息和指令信息，一旦数据发送错误，不能阻止BIST单元接收，导致BIST单元接收到错误的信息。本申请实施例通过上位机控制测试向量转化单元，当上位机向寄存器中写入第一测试指令时，如果写入错误，可以不向测试向量转化单元发送第一信号，使测试向量转化单元无法向BIST单元发送第一测试指令，阻止了BIST单元接收到错误的信息，对寄存器进行错误的操作。

[0063] 需要说明的是，上述测试向量转化单元可以作为测试控制系统中一个独立存在的功能单元，也可以将该测试向量转化单元与其他功能单元集成在控制模块中，本申请对此不做具体限制。

[0064] 下面实施例以测试向量转化单元集成于控制模块中为例对本申请进行说明。

[0065] 图3为本申请实施例提供的一种控制模块的示意图。

[0066] 如图3所示，该控制模块包括测试向量转化单元和结果获取单元。

[0067] 在一些实施例中，BIST单元，用于在接收到第一测试模式下的最后一个测试指令后，向测试向量转化单元发送第三信号；

[0068] 测试向量转化单元，用于基于第三信号向寄存器发送第四信号，以使上位机基于第四信号确定第一测试模式为M个测试模式中的最后一个测试模式时，向结果获取单元发送第二信号。

[0069] 在上位机将M个测试模式中的最后一个测试模式对应的第一测试指令写入寄存器中，并向测试向量转化单元发送第一信号，该测试向量转化单元在检测到第一信号后，针对最后一个测试模式下的N个第一测试指令中的每个第一测试指令，生成该第一测试指令对应的第一地址，并将该第一测试指令对应的第一地址和该第一测试指令发送给BIST单元；BIST单元接收到N个第一测试指令中的最后一个第一测试指令时，向测试向量转化单元发送第三信号；测试向量转化单元基于第三信号向寄存器发送第四信号，与寄存器连接的上位机检测到第四信号后，确定BIST单元成功接收M个测试模式中的最后一个测试模式对应的第一测试指令，并向结果获取单元发送第二信号。

[0070] 在一些实施例中，结果获取单元，用于在检测到第二信号时，向BIST单元发送第一请求，该第一请求用于请求存储器的测试结果，第二信号是在M个测试模式下的各测试指令均测试结束后触发的；

[0071] BIST单元，用于基于第一请求，从存储器中获取测试结果，并将测试结果发送给结果获取单元。

[0072] 在一些实施例中，结果获取单元，用于在检测到第二信号时，生成结果获取指令和该结果获取指令对应的第二地址，并将该结果获取指令对应的第二地址和该结果获取指令发送给BIST单元；

[0073] BIST单元，用于在接收到结果获取指令和第二地址后，根据结果获取指令从存储器中获取测试结果，并将测试结果发送给结果获取单元。

[0074] 本申请实施例对结果获取单元通过BIST单元每次从存储器中获取测试结果的比特数不做具体限制。

[0075] 在一种示例中,结果获取单元在检测到第二信号时,向BIST单元发送结果获取指令,BIST单元基于该结果获取指令,每次从存储器中获取32比特测试结果数据,并将该测试结果数据发送给结果获取单元。

[0076] 在另一种示例中,结果获取单元在检测到第二信号时,向BIST单元发送结果获取指令,BIST单元基于该结果获取指令,每次从存储器中获取64比特测试结果数据,并将该测试结果数据发送给结果获取单元。

[0077] 图4为本申请实施例提供的另一种控制模块的示意图。

[0078] 如图4所示,该控制模块包括测试向量转化单元、结果获取单元和结果处理单元。

[0079] 在一些实施例中,结果处理单元,用于从结果获取单元处获取测试结果,并对测试结果进行分析,得到存储器的问题数据,并将问题数据发送给寄存器。

[0080] 其中,问题数据包括存储器中存在坏点的行数、存储器中存在坏点的行中的前P行的行号,以及存储器的总坏点个数中的至少一个,P为正整数。

[0081] 在一种示例中,结果处理单元,用于从结果获取单元处获取测试结果,并对测试结果进行分析,得到存储器中存在坏点的行数和存储器中存在坏点的行中的前P行的行号,并将存储器中存在坏点的行数和存储器中存在坏点的行中的前P行的行号发送给寄存器。

[0082] 在另一种示例中,结果处理单元,用于从结果获取单元处获取测试结果,并对测试结果进行分析,得到存储器中存在坏点的行数、存储器中存在坏点的行中的前P行的行号,以及存储器的总坏点个数;并将存储器中存在坏点的行数、存储器中存在坏点的行中的前P行的行号,以及存储器的总坏点个数发送给寄存器。

[0083] 现有技术中,BIST单元反馈给外部设备的仅仅是测试结果,要得到存储器中存在坏点的情况,还需要测试人员再对测试结果进行分析。本申请实施例在芯片内部的控制模块中引入结果处理单元,能够在芯片内部直接对存储器的测试结果进行统计分析,得到存储器中存在坏点的行、存在坏点的行中的前P行的行号,以及存储器中总坏点的个数,并将存储器中存在坏点的行、存在坏点的行中的前P行的行号,以及存储器中总坏点的个数发送给寄存器,测试人员可以通过上位机直接获取到存储器的坏点情况。

[0084] 图5为本申请实施例提供的另一种控制模块的示意图。

[0085] 如图5所示,该控制模块包括测试向量转化单元、结果获取单元、结果处理单元和超时检测单元。

[0086] 当BIST单元存在缺陷或出现异常时,可能导致BIST单元在接收到第一测试模式下的N个第一测试指令中的最后一个第一测试指令时,无法向测试向量转化单元发送第三信号,或者BIST单元延迟发送第三信号;测试向量转化单元无法及时接收到第三信号,并基于第三信号向寄存器发送第四信号,导致控制模块卡死,影响存储器的测试。本申请实施例通过引入超时检测单元,对第一测试模式的执行时间进行计时,当第一测试模式的执行时间超过预设的执行时间时,停止测试,避免控制模块卡死。

[0087] 在一些实施例中,上述超时检测单元,用于在检测到第一信号后,开始计时,并在接收到BIST单元发送的第三信号后停止计时,得到第一测试模式对应的执行时间,并在该第一测试模式的执行时间大于预设的执行时间时,向测试向量转化单元发送第五信号,第

五信号用于指示停止对存储器的测试。

[0088] 在一些实施例中,上述超时检测单元,用于在检测到第一信号后,开始计时,当该超时检测单元的计时时间达到第一测试模式的预设的执行时间时或在接收到BIST单元发送的第三信号后,停止计时,得到第一测试模式对应的执行时间,并在执行时间大于预设的执行时间时,向测试向量转化单元发送第五信号,第五信号用于指示停止对存储器的测试。

[0089] 在一些实施例中,上述测试向量转化单元还用于在检测到第一信号时,向超时检测单元发送第十信号,该第十信号用于指示超时检测单元开始计时;

[0090] 超时检测单元用于在检测到第十信号开始计时,当该超时检测单元的计时时间达到第一测试模式的预设的执行时间时或在接收到BIST单元发送的第三信号后,停止计时,得到第一测试模式对应的执行时间,并在执行时间大于预设的执行时间时,向测试向量转化单元发送第五信号,该第五信号用于指示停止对存储器的测试。

[0091] 在一些实施例中,超时检测单元,还用于在第一测试模式对应的执行时间大于预设的执行时间时,向寄存器发送第六信号,该第六信号用于指示第一测试模式的执行时间超过预设的执行时间。

[0092] 在一些实施例中,上述预设的执行时间为寄存器发送的第一测试模式对应的最大执行时间。

[0093] 在一些实施例中,上述预设的执行时间为寄存器发送的第一测试模式对应的平均执行时间。

[0094] 由于存储器存储单元的结构特点,需要在一定时间内进行刷新以保持所存储的数据信息,这一时间称之为刷新周期。

[0095] 为了避免在获取测试结果的过程中,存储器的刷新周期临近时,没有停止获取测试结果,并对存储器进行刷新,导致存储器中的测试结果丢失,无法再获取测试结果的问题,本申请实施例在控制模块中引入刷新控制单元。

[0096] 图6为本申请实施例提供的另一种控制模块的示意图。

[0097] 如图6所示,该控制模块包括测试向量转化单元、结果获取单元、结果处理单元、超时检测单元和刷新控制单元。

[0098] 上述刷新控制单元,用于在检测到存储器的下一个刷新周期的起始时间与当前时间的差值小于预设值时,向结果获取单元发送第七信号,该第七信号用于指示停止对测试结果的获取。

[0099] 上述刷新控制单元,还用于在检测到存储器的下一个刷新周期的起始时间与当前时间的差值小于预设值时,向测试向量转化单元发送第八信号,该第八信号用于指示测试向量转化单元向BIST单元发送刷新指令;

[0100] BIST单元,用于基于刷新指令,对存储器进行一次刷新。

[0101] 图7为本申请实施例提供的另一种控制模块的示意图。

[0102] 如图7所示,该控制模块包括测试向量转化单元、结果获取单元、结果处理单元、超时检测单元、刷新控制单元和存储单元。

[0103] 结果获取单元,用于在接收到测试结果时,将该测试结果发送给存储单元,存储单元对该测试结果进行存储,当存储单元完成测试结果的存储后,向寄存器发送第九信号,该第九信号用于指示测试结果存储完成。

[0104] 本申请实施例对存储单元的类型不做具体限制。

[0105] 在一种示例中,该存储单元为SRAM(Static Random Access Memory,静态随机存取存储器)。

[0106] 在另一种示例中,该存储单元为Flash(闪存)。

[0107] 现有技术中,外部设备从BIST单元读取测试结果时,需要按照串行的方式每次读取一比特的测试结果,读取效率低。本申请实施例引入存储单元,将BIST单元的测试数据存储在存储单元中,外部设备要读取测试结果时,可以一次从存储单元中读取多比特的测试结果,提高了测试结果的读取效率。

[0108] 当结果处理单元将问题数据发送给寄存器后,该问题数据包括存储器中存在坏点的行数、存储器中存在坏点的行中的前P行的行号,以及存储器的总坏点个数中的至少一个,P为正整数,与寄存器连接的上位机接收到问题数据后,可以将问题数据中指示的存储器中存在坏点的存储单元关掉,也可以对存储器中存在坏点的存储单元进行修复。为了对存储器中存在坏点的存储单元进行修复,本申请实施例在测试控制系统中引入修复单元。

[0109] 图8为本申请实施例提供的另一种测试控制系统的示意图。

[0110] 如图8所示,该测试系统包括修复单元、寄存器、与寄存器连接的控制模块、与控制模块连接的内建自测试BIST单元,该控制模块包括测试向量转化单元、结果获取单元、结果处理单元、超时检测单元、存储单元和刷新控制单元。

[0111] 在一些实施例中,存储器中包括P个冗余行和P个冗余列。

[0112] 当存储器中存在坏点的行数小于或等于P时,修复单元用于将存储器中存在坏点的行号发送给存储器,以使存储器使用P个冗余行对存储器中存在坏点的行进行修复。

[0113] 当存储器中存在坏点的行数大于P时,仅使用行修复功能,无法对存储器中所有存在坏点的存储单元进行修复。在本申请实施例中,当存储器中存在坏点的行数大于P时,使用行列修复功能。

[0114] 当存储器中存在坏点的行数大于P时,修复单元用于基于测试结果中的坏点位置,从P个冗余列中确定出用于坏点修复的Q个冗余列的列信息,以及从P个冗余行中确定出用于坏点修复的R个冗余行的行信息,并将Q个冗余列的列信息和R个冗余行的行信息发送给存储器,以使存储器基于Q个冗余列的列信息和R个冗余行的行信息,从P个冗余列中确定出Q个冗余列,从P个冗余行中确定出R个冗余行,并使用Q个冗余列和R个冗余行对存储器中存在坏点的存储单元进行修复,Q、R均为正整数。

[0115] 综上所述,通过本申请的技术方案,在对存储器进行测试时,首先通过上位机向寄存器中写入第一测试模式下的N个第一测试指令;然后,与该寄存器连接的测试向量转化单元在接收到第一信号时自动生成将该第一测试指令对应的第一地址,并将该第一测试指令对应的第一地址和第一测试指令按预设时序发送给BIST单元;该BIST单元根据N个第一测试指令,对存储器进行测试。相较于现有测试方法中,通过外部设备从BIST单元对应的测试管脚向BIST单元输入存储器所要求的测试激励信号的全部信息,本申请实施例通过寄存器的管脚向寄存器中写入第一测试指令,避免了因在芯片量产时BIST单元对应的测试管脚未被封装,导致无法再对存储器进行测试的问题;同时,现有测试方法中,外部设备需要按照严格的时序向BIST单元发送存储器所要求的测试激励信号的全部信息,本申请实施例只需要在寄存器的对应位置写入第一测试指令,不需要考虑时序,提高了存储器的测试效率,降

低了测试人员的操作复杂度。

[0116] 图9为本申请实施例提供的一种测试控制系统的示意图。

[0117] 以测试控制系统包括修复单元、寄存器、与寄存器连接的控制模块(LTC)、与控制模块连接的内建自测试BIST单元,该控制模块包括测试向量转化单元、结果获取单元、结果处理单元、超时检测单元、存储单元和刷新控制单元为例;以所要测试的存储器为DRAM为例。

[0118] 表1为对一种DRAM进行一次完整的测试,需要的测试模式。

| 模式 | 第一地址 (A) | 第一地址 (B) | 第一地址 (C) | 第一地址 (D) | 第一地址 (E) |
|-----------------|-------------|-------------|-------------|-------------|-------------|
| [0119] 第一测试模式 1 | P1 | P2 | P3 | P4 | P5 |
| 第一测试模式 2 | P6 | P7 | P8 | P9 | P10 |
| 第一测试模式 3 | P11 | P12 | P13 | P14 | P15 |

[0120] 表1

[0121] 如表1所示,M个预设的测试模式包括3个第一测试模式,第一测试模式1、第一测试模式2和第一测试模式3。第一测试模式1包括第一测试指令P1、P2、P3、P4和P5以及与第一测试指令P1、P2、P3、P4和P5对应的第一地址A、B、C、D和E;第一测试模式2包括第一测试指令P6、P7、P8、P9和P10,以及对应的第一地址A、B、C、D和E;第一测试模式3包括第一测试指令P11、P12、P13、P14和P15,以及对应的第一地址A、B、C、D和E。

[0122] 上述P1~P15为32比特数据。

[0123] 对如上DRAM要求的BIST测试指令进行分析可得,三个第一测试模式对应的地址信息均为A、B、C、D和E,因此,上位机只需分次将第一测试模式1对应的5个第一测试指令P1~P5(ltc_cmd={P5、P4、P3、P2、P1})、第一测试模式2对应的5个第一测试指令P6~P10(ltc_cmd={P10、P9、P8、P7、P6})、第一测试模式3对应的5个第一测试指令P11~P15(ltc_cmd={P15、P14、P13、P12、P11})写入寄存器中,由测试向量转化单元生成三个第一测试模式下的第一测试指令对应的第一地址A、B、C、D和E。

[0124] 存储器的测试过程如下:

[0125] 上位机将第一测试模式1对应的预设的执行时间通过寄存器写入超时检测单元中。

[0126] 向寄存器中写入第一测试模式1对应的预设的执行时间后,上位机将第一测试模式1对应的5个第一测试指令P1~P5写入寄存器中(ltc_cmd={P5、P4、P3、P2、P1}),并在写入最后一个第一测试指令后,拉高测试使能信号(拉高后的测试使能信号相当于上述实施例中的第一信号)。

[0127] 测试向量转化单元在检测到测试使能信号被拉高时,生成P1对应的第一地址A并依次将第一地址A与P1发送给BIST单元;生成P2对应的第一地址B并依次将第一地址B与P2发送给BIST单元;生成P3对应的第一地址C并依次将第一地址C与P3发送给BIST单元;生成P4对应的第一地址D并依次将第一地址D与P4发送给BIST单元;生成P5对应的第一地址E并依次将第一地址E与P5发送给BIST单元。

[0128] 当上位机在写入第一测试模式1下的最后一个第一测试指令后,通过寄存器拉高

测试使能信号时,测试向量转化单元基于拉高的测试使能信号,向超时检测单元发送第十信号,该第十信号用于指示超时检测单元开始计时。

[0129] BIST单元接收到5个第一测试指令中的最后一个第一测试指令P5时,将测试繁忙信号拉低(拉低后的测试繁忙信号相当于上述实施例中的第三信号);BIST单元在检测到第一测试模式1下的5个第一测试指令P1~P5和第一测试指令P1~P5分别对应的第一地址时,根据P1、P2、P3、P4和P5所指示的动作,对存储器进行一次对应操作。

[0130] 超时检测单元在检测到拉低后的测试繁忙信号或该超时检测单元的计时时间达到第一测试模式1的预设的执行时间时,停止计时。

[0131] 若超时检测单元在计时时间达到第一测试模式1的预设的执行时间时,还没有检测到拉低的测试繁忙信号,则向测试向量转化单元发送第五信号,该第五信号用于指示停止对存储器的测试;超时检测单元还将第一测试模式1的超时信息(相当于上述实施例中的第六信号)反馈至寄存器。

[0132] 测试向量转化单元检测到测试繁忙信号拉低后,将测试完成信号拉高(拉高后的测试完成信号相当于上述实施例中的第四信号)。

[0133] 与寄存器连接的上位机检测到测试完成信号拉高后,上位机将第一测试模式2对应的预设的执行时间通过寄存器写入超时检测单元中。

[0134] 向寄存器中写入第一测试模式2对应的预设的执行时间后,上位机将第一测试模式2下的5个第一测试指令P6~P10写入寄存器中, ($l_{tc_cmd} = \{P10, P9, P8, P7, P6\}$),并在写入最后一个第一测试指令P10后,拉高测试使能信号(拉高后的测试使能信号相当于上述实施例中的第一信号),测试向量转化单元在检测到测试使能信号被拉高时,生成P6对应的第一地址A并依次将第一地址A与P6发送给BIST单元;生成P7对应的第一地址B并依次将第一地址B与P7发送给BIST单元;生成P8对应的第一地址C并依次将第一地址C与P8发送给BIST单元;生成P9对应的第一地址D并依次将第一地址D与P9发送给BIST单元;生成P10对应的第一地址E并依次将第一地址E与P10发送给BIST单元。

[0135] 当上位机在写入第一测试模式2下的最后一个第一测试指令P10后,通过寄存器拉高测试使能信号时,测试向量转化单元基于拉高的测试使能信号,向超时检测单元发送第十信号,该第十信号用于指示超时检测单元开始计时。

[0136] BIST单元接收到5个第一测试指令中的最后一个第一测试指令P10时,将测试繁忙信号拉低(拉低后的测试繁忙信号相当于上述实施例中的第三信号);BIST单元在检测到第一测试模式1下的5个第一测试指令P6~P10和第一测试指令P6~P10分别对应的第一地址时,根据P6、P7、P8、P9和P10所指示的动作,对存储器进行一次对应操作。

[0137] 超时检测单元在检测到拉低后的测试繁忙信号或该超时检测单元的计时时间达到第一测试模式2的预设的执行时间时,停止计时。

[0138] 若超时检测单元在计时时间达到第一测试模式2的预设的执行时间时,还没有检测到拉低的测试繁忙信号,则向测试向量转化单元发送第五信号,该第五信号用于指示停止对存储器的测试;超时检测单元还将第一测试模式2的超时信息反馈至寄存器。

[0139] 测试向量转化单元检测到测试繁忙信号拉低后,将测试完成信号拉高。

[0140] 与寄存器连接的上位机检测到测试完成信号拉高后,上位机将第一测试模式3对应的预设的执行时间通过寄存器写入超时检测单元中。

[0141] 向寄存器中写入第一测试模式3对应的预设的执行时间后,上位机将第一测试模式3下的5个第一测试指令P11~P15写入寄存器中, (ltc_cmd = {P15、P14、P13、P12、P11}), 并在写入最后一个第一测试指令P15后,拉高测试使能信号(拉高后的测试使能信号相当于上述实施例中的第一信号),测试向量转化单元在检测到测试使能信号被拉高时,生成P11对应的第一地址A并依次将第一地址A与P11发送给BIST单元;生成P12对应的第一地址B并依次将第一地址B与P12发送给BIST单元;生成P13对应的第一地址C并依次将第一地址C与P13发送给BIST单元;生成P14对应的第一地址D并依次将第一地址D与P14发送给BIST单元;生成P15对应的第一地址E并依次将第一地址E与P15发送给BIST单元。

[0142] 当上位机在写入第一测试模式3下的最后一个第一测试指令P15后,通过寄存器拉高测试使能信号时,测试向量转化单元基于拉高的测试使能信号,向超时检测单元发送第十信号,该第十信号用于指示超时检测单元开始计时。

[0143] BIST单元接收到5个第一测试指令中的最后一个第一测试指令P15时,将测试繁忙信号拉低(拉低后的测试繁忙信号相当于上述实施例中的第三信号);BIST单元在检测到第一测试模式3下的5个第一测试指令P11~P15时和第一测试指令P11~P15分别对应的第一地址时,根据P11、P12、P13、P14和P15所指示的动作,对存储器进行一次对应操作。

[0144] 超时检测单元在检测到拉低后的测试繁忙信号或该超时检测单元的计时时间达到第一测试模式3的预设的执行时间时,停止计时。

[0145] 若超时检测单元在计时时间达到第一测试模式3的预设的执行时间时,还没有检测到拉低的测试繁忙信号,则向测试向量转化单元发送第五信号,该第五信号用于指示停止对存储器的测试;超时检测单元还将第一测试模式3的超时信息反馈至寄存器。

[0146] 测试向量转化单元检测到测试繁忙信号拉低后,将测试完成信号拉高。

[0147] 经过将DRAM所要求的三个第一测试模式中每一个第一测试模式下的5个第一测试指令和该第一测试指令对应的第一地址按照BIST单元要求的时序发送给BIST单元,BIST单元分别根据三个第一测试模式对DRAM进行三次操作,完成三次操作后,表示BIST单元对DRAM进行了一次完整的测试。

[0148] 与寄存器连接的上位机检测到测试完成信号拉高后,确认DRAM所要求的三个第一测试模式中的最后一个第一测试模式中的第一测试指令已被BIST单元成功接收,上位机通过寄存器拉高结果获取使能信号(拉高的结果获取使能信号相当于上述实施例中的第二信号),当结果获取单元检测到结果获取使能信号拉高后,生成结果获取指令和该结果获取指令对应的第二地址,并将该第二地址和结果获取指令发送给BIST单元。

| | | | | |
|--------|--------|---------|---------|---------|
| [0149] | 模式 | 第二地址(F) | 第二地址(G) | 第二地址(H) |
| | 结果获取模式 | P16 | P17 | P18 |

[0150] 表2

[0151] 表2为一种DRAM要求的BIST获取测试结果的指令,如表2所示,结果获取单元生成结果获取指令P16对应的第二地址F以及结果获取指令P16,并将第二地址F和结果获取指令P16发送给BIST单元;结果获取单元生成结果获取指令P17对应的第二地址G以及结果获取指令P17,并将第二地址G和结果获取指令P17发送给BIST单元;结果获取单元生成结果获取指令P18对应的第二地址H以及结果获取指令P18,并将第二地址H和结果获取指令P18发送给BIST单元。

[0152] BIST单元在检测到3个结果获取指令P16、P17、P18和P16、P17、P18分别对应的第二地址F、G和H时,根据P16、P17和P18所指示的动作,从存储器中获取测试结果,并将该测试结果发送给结果获取单元。

[0153] 以DRAM包括2048行,每行包括128比特为例。

[0154] BIST单元每次从存储器中获取32比特的测试结果数据,DRAM中的每一行的测试结果按4次返回结果获取单元,其中,测试结果中,0表示DRAM中的对应位置正常,1表示DRAM中的对应位置为坏点。

[0155] 当结果获取单元接收到测试结果时,将该测试结果分别发送给存储单元(SRAM)和结果处理单元。

[0156] 当存储单元完成测试结果的存储后,向寄存器发送结果读取完成信号(相当于上述实施例中的第九信号),该结果读取完成信号用于指示存储单元完成测试结果的存储。

[0157] 外部设备在检测到结果读取完成信号后,可以从存储单元中读取测试结果,且每次可从存储单元中读取多比特的测试结果。

[0158] 刷新控制单元在检测到存储器的下一个刷新周期的起始时间与当前时间的差值小于预设值时,向结果获取单元发送第七信号,该第七信号用于指示停止该测试结果的获取;同时向测试向量转化单元发送第八信号,该第八信号用于指示测试向量转化单元向BIST单元发送刷新指令;BIST单元,用于基于刷新指令,对存储器进行一次刷新。

[0159] 在本申请实施例中,存储器DRAM包括16个冗余行和16个冗余列。

[0160] 结果处理单元对接收到的测试结果进行分析,得到存储器的问题数据,该问题数据包括:DRAM中存在坏点的行数、DRAM中存在坏点的行中的前16行的行号,以及DRAM的总坏点个数;并将该问题数据发送给寄存器。

[0161] 当DRAM中存在坏点的行数小于或等于16时,修复单元向DRAM发送存在坏点的行号,以使DRAM使用16个冗余行对DRAM中存在坏点的行进行修复。

[0162] 当DRAM中存在坏点的行数大于16时,上位机从存储单元处获取测试结果,并将该测试结果发送给修复单元;修复单元基于该测试结果所指示的DRAM中存储单元的坏点位置,从16个冗余列中确定出用于坏点修复的若干个冗余列的列信息,以及从16个冗余行中确定出用于坏点修复的若干个冗余行的行信息,并将该用于坏点修复的冗余列的列信息和用于坏点修复的冗余行的行信息发送给DRAM,以使DRAM基于该用于坏点修复的冗余列的列信息和冗余行的行信息,从16个冗余列中确定出用于坏点修复的冗余列,从16个冗余行中确定出用于坏点修复的冗余行,并使用该用于坏点修复的冗余列和冗余行对DRAM中存在坏点的存储单元进行修复。

[0163] 综上所述,通过本申请的技术方案,在对存储器进行测试时,首先通过上位机向寄存器中写入第一测试模式下的N个第一测试指令,第一测试模式为预设的M个测试模式中一个测试模式;然后,与该寄存器连接的测试向量转化单元从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;BIST单元在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。这样在对存储器进行测试时,不需要按照严格的时序生成存储器所要求的测试激励信号的全部信息,只需将测试激励信号中属于不同部分的第一测试指令由

上位机写入寄存器中,不需要考虑时序,将测试激励信号中属于相同部分的第一地址由测试向量转化单元自动生成;测试向量转化单元将生成的第一地址与第一测试指令按照预设时序发送给BIST单元;BIST单元基于接收到的第一测试指令,对存储器进行测试。提高了存储器的测试效率,降低了测试人员的操作复杂度。相较于现有测试方法中,通过外部设备从BIST单元对应的测试管脚向BIST单元输入测试激励信号,本申请实施例通过寄存器的管脚向寄存器中写入第一测试指令,避免了因在芯片量产时BIST单元对应的测试管脚未被封装,导致无法再对存储器进行测试的问题,本申请实施例可在任意时刻对存储器进行测试。

[0164] 图10为本申请一实施例提供的一种测试控制方法的流程示意图,该方法应用于测试控制系统,系统包括寄存器、与寄存器连接的测试向量转化单元,以及与测试向量转化单元连接的内建自测试BIST单元。如图10所示,该测试控制方法包括如下步骤:

[0165] S101、寄存器从上位机获取第一测试模式下的N个第一测试指令,第一测试模式为预设的M个测试模式中一个测试模式,N、M为正整数;

[0166] S102、测试向量转化单元从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;

[0167] S103、BIST单元在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。

[0168] 在一些实施例中,上位机将N个第一测试指令成功写入寄存器后,向测试向量转化单元发送第一信号;测试向量转化单元在检测到第一信号时,生成第一测试指令对应的第一地址。

[0169] 在一些实施例中,上述测试控制系统还包括结果获取单元。

[0170] BIST单元在接收到第一测试模式下的最后一个测试指令后,向测试向量转化单元发送第三信号;测试向量转化单元基于第三信号向寄存器发送第四信号;上位机在检测到M个测试模式中的最后一个测试模式对应的第四信号时,向结果获取单元发送第二信号;结果获取单元在检测到第二信号时,向BIST单元发送第一请求,BIST单元基于第一请求,从存储器中获取测试结果,并将测试结果发送给结果获取单元。

[0171] 在一些实施例中,上述测试控制系统还包括超时检测单元。

[0172] 超时检测单元的工作方式包括方式1和方式2。

[0173] 方式1:超时检测单元在检测到第一信号后,开始计时,并在接收到BIST单元发送的第三信号后停止计时,得到第一测试模式对应的执行时间,并在执行时间大于预设的执行时间时,向测试向量转化单元发送第五信号;测试向量转化单元在检测到第五信号时,停止对存储器的测试。

[0174] 方式2:超时检测单元在第一测试模式对应的执行时间大于预设的执行时间时,向测试向量转化单元发送第五信号的同时,还向寄存器发送第六信号;寄存器检测到第六信号时,确定第一测试模式的执行时间超过预设的执行时间。

[0175] 在一些实施例中,上述预设的执行时间为寄存器发送给超时检测单元的第一测试模式对应的最大执行时间。

[0176] 在一些实施例中,上述测试控制系统还包括刷新控制单元。

[0177] 刷新控制单元的工作方式包括:方式1和方式2。

[0178] 方式1:刷新控制单元在检测到存储器的下一个刷新周期的起始时间与当前时间的差值小于预设值时,向结果获取单元发送第七信号;结果获取单元在检测到第七信号时,停止获取测试结果。

[0179] 方式2:刷新控制单元在检测到存储器的下一个刷新周期的起始时间与当前时间的差值小于预设值时,向结果获取单元发送第七信号的同时,还向测试向量转化单元发送第八信号;测试向量转化单元在检测到第八信号时,向BIST单元发送刷新指令;BIST单元基于刷新指令,对存储器进行刷新。

[0180] 在一些实施例中,上述测试控制系统还包括存储单元。

[0181] 结果获取单元在接收到测试结果时,将该测试结果发送给存储单元;存储单元在完成接收测试结果后,向寄存器发送第九信号;寄存器在检测到第九信号时,确定该测试结果存储完成。

[0182] 在一些实施例中,上述测试控制系统还包括结果处理单元。

[0183] 结果处理单元从结果获取单元处获取测试结果,并对测试结果进行分析,得到存储器的问题数据,并将该问题数据发送给寄存器;

[0184] 其中,该问题数据包括存储器中存在坏点的行数、存储器中存在坏点的行中的前P行的行号,以及存储器的总坏点个数中的至少一个,P为正整数。

[0185] 在一些实施例中,上述测试控制系统还包括修复单元,存储器中包括P个冗余行和P个冗余列。

[0186] 修复单元对存储器的修复方式包括方式1和方式2。

[0187] 方式1:当存储器中存在坏点的行数小于或等于P时,修复单元将存储器中存在坏点的行号发送给存储器;存储器在接收到存在坏点的行号时,使用P个冗余行,对存储器中存在坏点的行进行修复。

[0188] 方式2:当存储器中存在坏点的行数大于P时,修复单元基于测试结果中的坏点位置,从P个冗余列中确定出用于坏点修复的Q个冗余列的列信息,以及从P个冗余行中确定出用于坏点修复的R个冗余行的行信息,并将Q个冗余列的列信息和R个冗余行的行信息发送给存储器;存储器基于Q个冗余列的列信息和R个冗余行的行信息,从P个冗余列中确定出Q个冗余列,从P个冗余行中确定出R个冗余行,并使用Q个冗余列和R个冗余行对存储器中存在坏点的存储单元进行修复,Q、R均为正整数。

[0189] 通过本申请的技术方案,在对存储器进行测试时,首先通过上位机向寄存器中写入第一测试模式下的N个第一测试指令,第一测试模式为预设的M个测试模式中一个测试模式;然后,与该寄存器连接的测试向量转化单元从寄存器中拉取N个第一测试指令,针对N个第一个测试指令中的每一个第一测试指令,生成第一测试指令对应的第一地址,并按照预设时序将第一地址和第一测试指令发送给BIST单元;BIST单元在检测到N个第一测试指令和N个第一测试指令分别对应的第一地址后,根据N个第一测试指令所指示的动作,对存储器进行测试。这样在对存储器进行测试时,不需要按照严格的时序生成存储器所要求的测试激励信号的全部信息,只需将测试激励信号中属于不同部分的第一测试指令由上位机写入寄存器中,不需要考虑时序,将测试激励信号中属于相同部分的第一地址由测试向量转化单元自动生成;测试向量转化单元将生成的第一地址与第一测试指令按照预设时序发送给BIST单元;BIST单元基于接收到的第一测试指令,对存储器进行测试。提高了存储器的测

试效率,降低了测试人员的操作复杂度。相较于现有测试方法中,通过外部设备从BIST单元对应的测试管脚向BIST单元输入测试激励信号,本申请实施例通过寄存器的管脚向寄存器中写入第一测试指令,避免了因在芯片量产时BIST单元对应的测试管脚未被封装,导致无法再对存储器进行测试的问题,本申请实施例可在任意时刻对存储器进行测试。

[0190] 以上结合附图详细描述了本申请的优选实施方式,但是,本申请并不限于上述实施方式中的具体细节,在本申请的技术构思范围内,可以对本申请的技术方案进行多种简单变型,这些简单变型均属于本申请的保护范围。例如,在上述具体实施方式中所描述的各个具体技术特征,在不矛盾的情况下,可以通过任何合适的方式进行组合,为了避免不必要的重复,本申请对各种可能的组合方式不再另行说明。又例如,本申请的各种不同的实施方式之间也可以进行任意组合,只要其不违背本申请的思想,其同样应当视为本申请所公开的内容。

[0191] 本领域普通技术人员可以意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

[0192] 在本申请所提供的几个实施例中,应该理解到,所揭露的系统,可以通过其它的方式实现。例如,以上所描述的系统实施例仅仅是示意性的,例如,该单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,电路或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0193] 作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。例如,在本申请各个实施例中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。

[0194] 以上内容,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以该权利要求的保护范围为准。

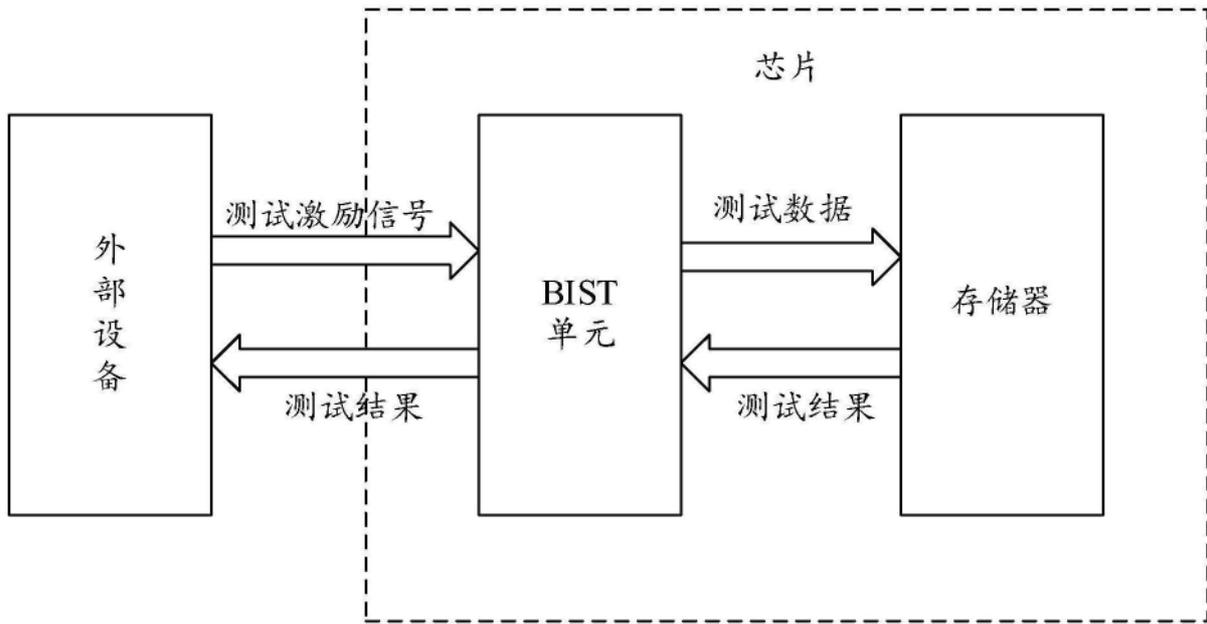


图1

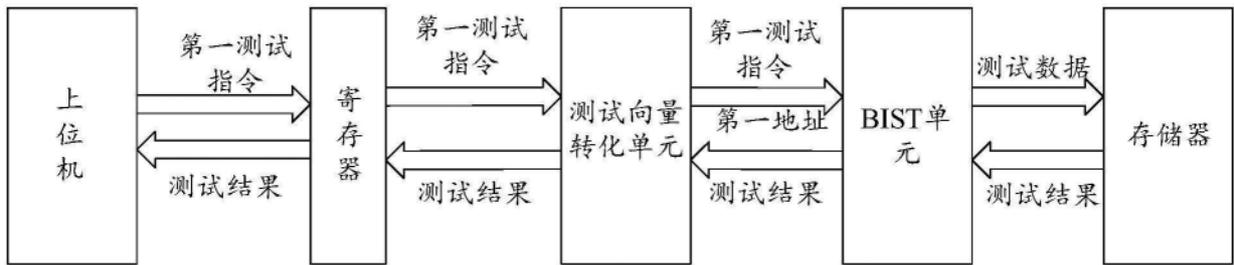


图2

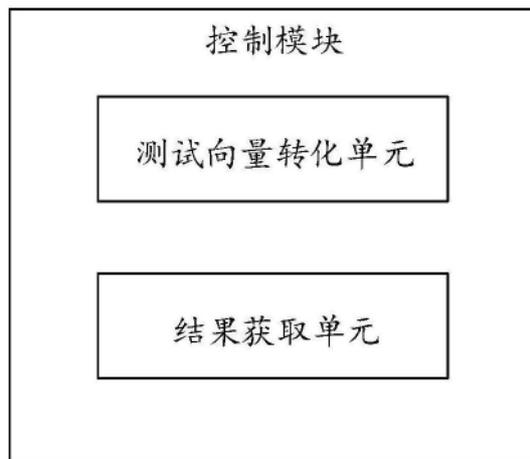


图3

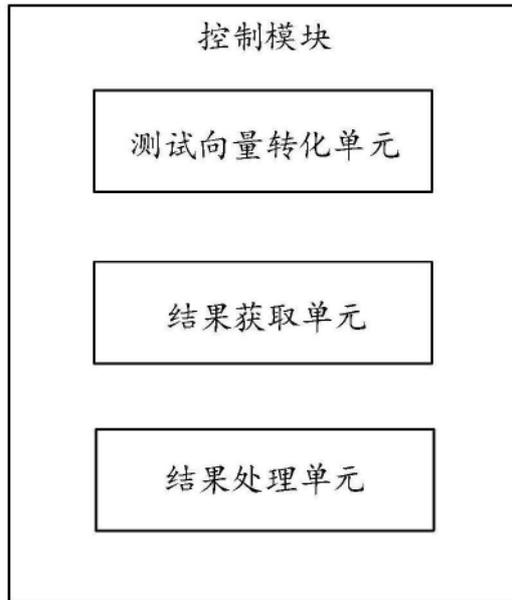


图4

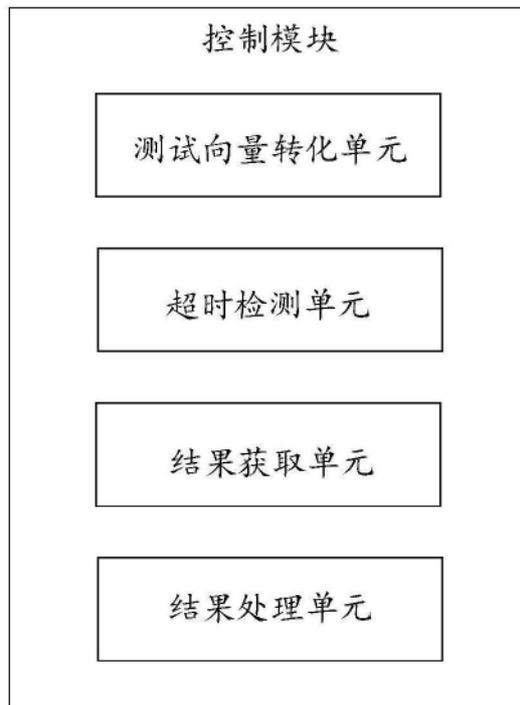


图5

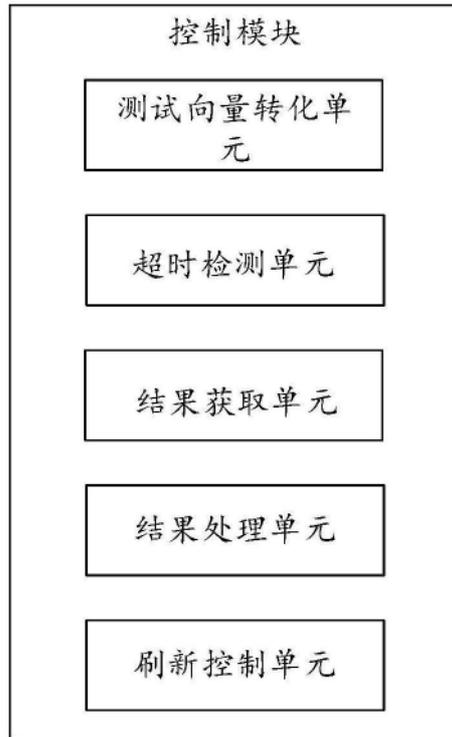


图6

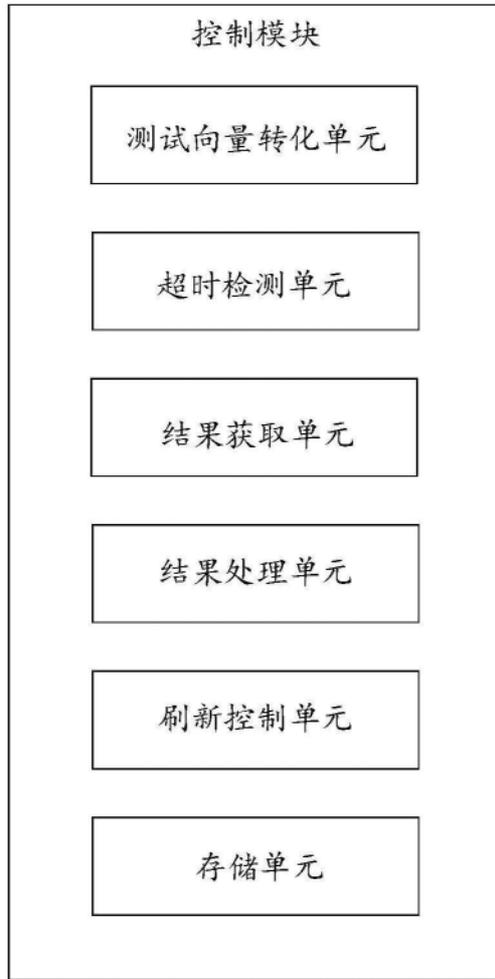


图7

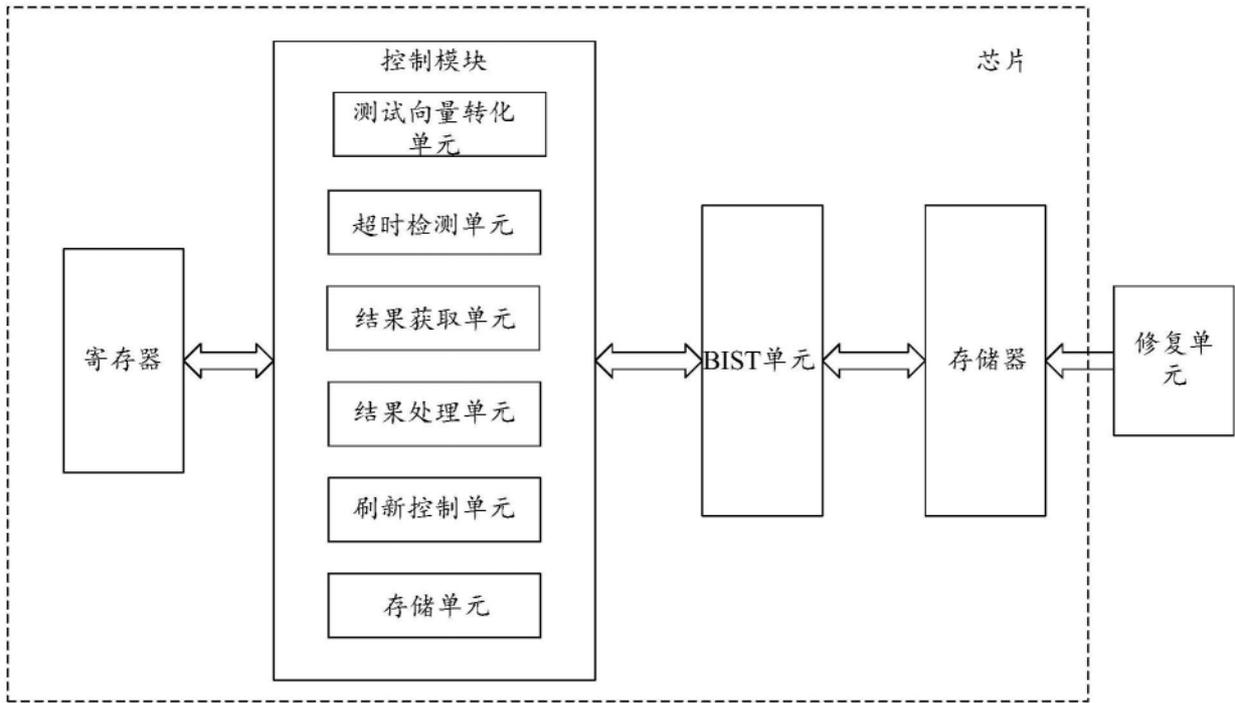


图8

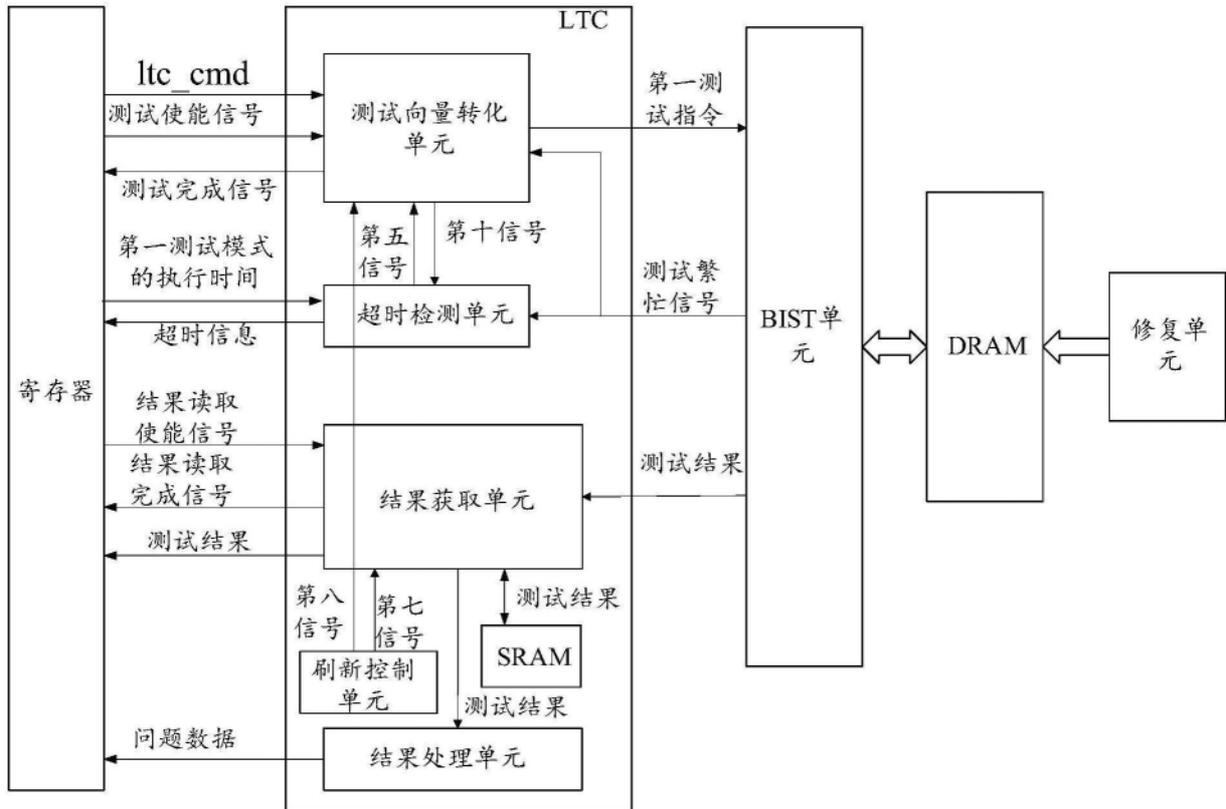


图9

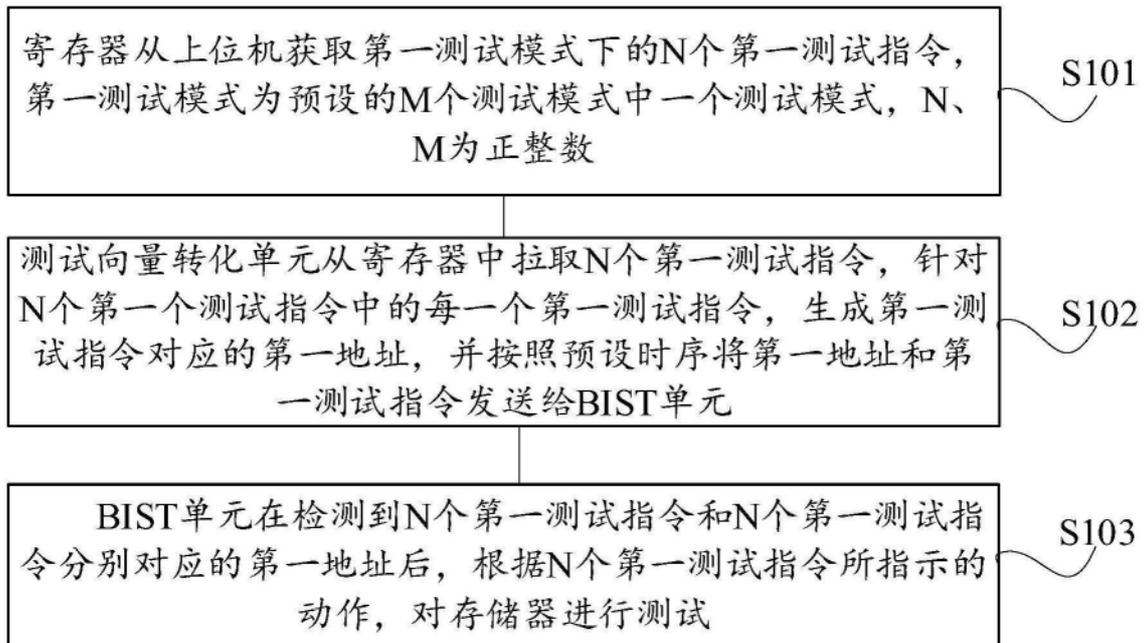


图10