

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ G11C 29/00	(45) 공고일자 1995년05월 15일	(11) 공고번호 특1995-0004872
(21) 출원번호 특1993-0001274	(65) 공개번호 특1993-0017043	(24) 등록일자 1995년05월 15일
(22) 출원일자 1993년01월30일	(43) 공개일자 1993년08월30일	
(30) 우선권주장 92-15708 1992년01월31일 일본(JP)	(71) 출원인 닛본덴기 가부시끼가이샤	세끼모토 타다히로 일본국 도쿄도 미나토구 시바 5쵸메 7-1
(72) 발명자 사루와따리 야스히로	일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내	
(74) 대리인 이상희, 구영창, 주성민		

심사관 : 김희태 (책자공보 제3968호)

(54) 정규 메모리 셀 어레이와 동시에 액세스가능한 용장 메모리 셀 컬럼을 갖고 있는 반도체 메모리 디바이스

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

정규 메모리 셀 어레이와 동시에 액세스가능한 용장 메모리 셀 컬럼을 갖고 있는 반도체 메모리 디바이스

[도면의 간단한 설명]

제1도는 종래 기술의 반도체 메모리 디바이스의 배열을 도시한 블럭도.

제2도는 종래 기술의 반도체 메모리 디바이스의 컬럼 어드레스 디코더 회로의 배열을 도시한 회로도.

제3도는 본 발명에 따른 반도체 메모리 디바이스의 배열을 도시한 블럭도.

제4도는 반도체 메모리 디바이스의 컬럼 어드레스 디코더의 배열을 도시한 회로도.

제5도는 본 발명에 따른 다른 반도체 메모리 디바이스의 배열을 도시한 블럭도.

제6도는 본 발명에 따른 또 다른 반도체 메모리 디바이스의 배열을 도시한 블럭도.

제7도는 또 다른 반도체 메모리 디바이스의 컬럼 어드레스 디코더의 배열을 도시한 회로도.

* 도면의 주요부분에 대한 부호의 설명

11a 내지 11d, 21a 내지 21h : 정규 메모리 셀 어레이

11e 내지 11h, 21i 내지 21p : 용장 메모리 셀 어레이

11 내지 1n, 21 : 메모리 셀 블럭 14a : 정규 어드레스 프리디코더 회로

14b : 어드레스 프리디코더회로 16a : 상태 제어 트랜지스터

16b : 스위칭 회로 16c : 절단가능 소자(퓨즈 소자)

16a, 16e, 16f : n채널 증가형 스위칭 트랜지스터

[발명의 상세한 설명]

본 발명은 반도체 메모리 디바이스에 관한 것으로, 특히 불량 메모리 셀과 교체가능한 용장 메모리 셀을 갖고 있는 반도체 메모리 디바이스에 관한 것이다.

반도체 메모리 디바이스의 전형적인 예가 제1도에 도시되어 있다. 종래 기술의 반도체 메모리 디바이스는

4비트의 데이터 코드 중 한 비트에 각각 할당되는 4개의 정규 메모리 셀 어레이(1a 내지 1d)에 4비트 데이터 코드를 기억한다. 4개의 정규 메모리 셀 어레이(1a 내지 1d)는 각각 4개의 용장 메모리 셀 어레이(2a 내지 2d)에 수반되고 4개의 용장 메모리 셀 어레이(2a 내지 2d)는 메모리 셀 블록(1)을 형성한다. 종래 기술의 반도체 메모리 디바이스는 다수의 메모리 블록을 갖고 있고 블록 선택 신호(BS)는 메모리 셀 블록들 중 한 블록을 선택한다. 다수의 메모리 셀 블록은 배열에서 서로 유사하기 때문에 간단히 메모리 셀(1)을 설명한다.

각각의 정규 메모리 셀 어레이(1a 내지 1d)는 다수의 정규 메모리 셀로 제조된다. 이 경우에 정규 메모리 셀은 32개의 컬럼으로 배열되고 각 컬럼은 선정된 수의 정규 메모리 셀을 포함하고, 정규 메모리 셀의 32개의 컬럼은 8개의 컬럼 그룹으로 분할되어 각 컬럼 그룹이 4개의 컬럼으로 이루어진다. 32개의 디지털 라인은 각각 32개의 컬럼과 관련되고 이 또한 8개의 디지털 라인 그룹(D, D2... 및 D8)로 분할된다. 다른 정규 메모리 셀 어레이도 유사하게 배열되고 각각의 다른 정규 메모리 셀 어레이 또한 8개의 디지털 라인 그룹과 관련된다. 그러므로, 종래 기술의 반도체 메모리 디바이스는 32개의 디지털 라인 그룹(D1 내지 D32)와 각각 결합된 32개의 정규 메모리 셀 컬럼 그룹을 갖고 있다. 32개의 디지털 라인 그룹(D1 내지 D32)는 각각 32개의 정규 컬럼 선택기 회로(S1 내지 S32)에서 중단되고 컬럼 선택기 회로(S1 내지 S32)와 워드 라인(도시되지 않음)에 의해 선택된 정규 메모리 셀 사이에서 데이터 비트를 전달한다.

각각의 용장 메모리 셀 어레이(2a 내지 2d)는 4개의 컬럼 내에 배열된 용장 메모리 셀로 제조되고 선정된 용장 메모리 셀로 구성된다. 용장 메모리 셀의 4개의 컬럼은 4개의 용장 디지털 라인과 각각 결합되고 4개의 용장 디지털 라인은 용장 디지털 라인 그룹과 결합하여 형성한다. 그러므로, 4개의 용장 디지털 라인 그룹(RD1 내지 RD4)는 4개의 용장 메모리 셀 어레이(2a 내지 2d)와 각각 관련된다. 4개의 용장 디지털 라인 그룹(RD1 내지 RD4)는 각각 4개의 용장 컬럼 선택기 회로(RS1 내지 RS4)에서 중단되고 관련 용장 선택기 회로(RS1 내지 RS4)와 정규 메모리 셀 어레이(1a 내지 1d)로 분할되는 워드 라인(도시되지 않음)에 의해 선택된 용장 메모리 셀 사이에서 데이터 비트를 전달한다. 4개의 입력/출력 데이터 라인(101 내지 104)는 용장 메모리 셀 어레이(2a 내지 2d) 뿐만 아니라 용장 메모리 셀 어레이(1a 내지 1d)와 각각 관련된다. 4개의 입력/출력 데이터 라인(101 내지 104)는 4개의 입력/출력 데이터 버퍼 회로(도시하지 않음)와 결합되고 다른 단부는 관련 정규 컬럼 선택기 회로(S1 내지 S8, ... 및 S25 내지 S32) 및 관련 용장 컬럼 선택기 회로(RS1 내지 RS4)와 결합되기 위해 각각 분할된다.

정규 메모리 셀 어레이(1a 내지 1d) 및 용장 메모리 셀 어레이(2a 내지 2d)는 로우 어드레싱 서브유닛 및 컬럼 어드레싱 서브유닛으로 분할되는 어드레싱 유닛에 의해 지원된다. 로우 어드레싱 서브유닛은 액세스가능한 정규 및 용장 메모리 셀을 선택하기 위해 워드 라인(도시되지 않음)을 선택적으로 구동한다. 그러나, 로우 어드레싱 서브유닛은 종래 기술의 반도체 메모리 디바이스 내의 고유의 문제점을 이해하는데 그리 충분하지 않아서 더 이상 설명하지 않겠다. 블록 디코더 회로가 메모리 셀 블록 중 한개의 블록을 어드레싱하기 위해 종래 기술의 반도체 메모리 디바이스에 들어 있다. 그러나, 로우 어드레싱 서브유닛과 같은 이유 때문에 더 이상 설명하지 않겠다.

컬럼 어드레싱 비트(Y0, Y1, Y2, Y3 및 Y4)로 구성되는 컬럼 어드레싱 신호가 컬럼 어드레싱 서브유닛으로 제공되고 컬럼 어드레싱 서브유닛은 어드레스 프리디코드 신호(YA1 및 YA4)를 발생시키기 위해 컬럼 어드레스 비트(Y0 및 Y1)에 응답하는 어드레스 프리디코더 회로(3)를 포함한다. 어드레스 프리디코드 신호(YA1 내지 YA4)는 각각의 용장 비트 라인 그룹의 4개의 용장 비트 라인 중 한개의 라인 뿐만 아니라 각각의 정규 비트 라인 그룹의 4개의 정규 비트 라인 중 한 개의 라인을 표시한다.

컬럼 어드레싱 서브유닛은 정규 컬럼 선택기 회로(S1 내지 S32)와 각각 관련된 32개의 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32) 및 4개의 용장 컬럼 선택기 회로(RS1 내지 RS4)와 각각 관련된 4개의 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)를 더 포함하고, 어드레스 프리디코드 신호(YA1 내지 YA4)는 정규 및 용장 컬럼 어드레스 디코더 회로(DC1 내지 DC32, 및 RDC1 내지 RDC4)에 분배된다.

4개의 정규 컬럼 어드레스 디코더 회로를 선택하기 위해, 컬럼 어드레싱 서브유닛은 정규 어드레스 프리디코더 회로(4)를 갖고 있고 정규 어드레스 프리디코더 회로(4)는 프로그램 회로(6)에 수반되는 용장 어드레스 프리디코더 회로(5)로 인에이블 또는 디스에이블 된다.

용장 어드레스 프리디코더 회로(5)는 디스에이블 신호(RNA) 없이 정규 어드레스 프리디코더 회로(4)를 인에이블하는 반면에 정규 어드레스 프리디코더 회로(4)는 컬럼 어드레스 비트(Y2 내지 Y4)에 응답하고 각각의 정규 메모리 셀 어레이(1a, ... 또는 1d)와 관련된 8개의 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC8, ... 또는 DC25 내지 DC32)중 1개의 디코더 회로를 표시하는 어드레스 프리디코드 신호(OS1 내지 OS8)를 발생시킨다. 4개의 정규 메모리 셀 어레이(1a 내지 1d)가 종래 기술의 반도체 메모리 디바이스에 들어 있기 때문에, 4개의 정규 컬럼 어드레스 디코더 회로는 정규 어드레스 프리디코더 회로(4)에 의해 선택된다. 선택된 4개의 정규 컬럼 어드레스 디코더 회로는 어드레스 프리디코더 신호(YA1 내지 YA4)에 응답하고 정규 컬럼 선택기 회로로 하여금 4개의 정규 비트 라인을 각각 입력/출력 데이터 라인(101 내지 104)에 결합되게 한다.

프로그램 회로(6)은 정규 어드레스 프리디코더 회로(4)로 하여금 응답하도록 할지 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)를 활성화시킬지에 대해 용장 어드레스 프리디코더 회로(5)에 지시한다. 이제, 불량 메모리 셀이 진단 동작시 발견된다면, 제조자는 불량 메모리 셀을 포함하는 정규 메모리 셀의 4개의 컬럼을 관련 용장 메모리 셀 어레이로 대체시킨다. 상술한 바와 같이, 용장 어드레스 프리디코더 회로(5)는 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)를 모두 동시에 활성화시키기 때문에, 제조자는 정규 메모리 셀 어레이 각각의 해당하는 4개의 컬럼들을 관련 용장 메모리 셀 어레이로 대체시킬 필요가 있다.

제2도를 참조하면, 상세한 회로 배열이 도시되어 있으며, 이는 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32) 모두에 공통이다. 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)가 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32)와 배열면에서 유사하기 때문에, 괄호 안의 RA는 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)용의 대응 신호의 표시이다. 제2도에 도시된 정규 컬럼 어드레스 디코더 회로(DC1)는 전원 전압선(Vcc)에 결합된 소오스 노드 및 접지 전압선에 결합된 게이트 전극을 갖는 p채널 증가형 로드

트랜지스터(Qp1 내지 Qp4), p채널 증가형 로드 트랜지스터(Qp1 내지 Qp4)의 드레인 노드와 공통 노드(N1) 사이에 결합된 소오스 대 드레인 경로를 갖는 n채널 증가형 스위칭 트랜지스터(Qn5 내지 Qn8), 공통 노드(N1)과 접지 전압선 사이에 직렬로 결합된 2개의 n채널 증가형 스위칭 트랜지스터(Qn9 및 Qn10), 및 P채널 증가형 로드 트랜지스터(Qp1 내지 Qp4)의 드레인 노드에 결합된 인버터 회로(IV1 내지 IV4)를 포함한다. n채널 증가형 스위칭 트랜지스터(Qn9 및 Qn10)는 컬럼 선택 신호(BS) 및 어드레스 프리디코드 신호(Dsj : 여기서 j는 "i" 내지 "8" 중 하나를 의미함)중의 한 신호에 각각 게이트되어, 정규 컬럼 어드레스 디코더 회로(DCi)가 어드레스 프리디코드 신호(YA1 내지 YA4)에 응답할 수 있게 한다. 그러나, 액세스된 메모리 셀이 메모리 셀 블록(1)내에 있지 않거나 정규 어드레스 프리디코드 회로(4)가 다른 정규 컬럼 어드레스 디코더를 선택하면, n채널 증가형 스위칭 트랜지스터(Qn9 및 Qn10)중의 하나가 턴오프되어 정규 컬럼 어드레스 디코더 회로(DCi)는 어드레스 프리디코드 신호(YA1 내지 YA4)에 결코 응답하지 않는다. 어드레스 프리디코드 신호(YA1 내지 YA4)는 각각 n채널 증가형 스위칭 트랜지스터(Qn5 내지 Qn8)의 게이트 전극에 공급되고 선택적으로 턴 온 및 턴오프된다. p채널 증가형 로드 트랜지스터(Qp1 내지 Qp4)가 항상 턴온되어 있으므로, 인버터 회로(IV1 내지 IV4)의 입력 노드에서의 전압 레벨은 n채널 증가형 스위칭 트랜지스터(Qn5 내지 Qn8)의 상태에 의해 결정되고, 인버터 회로(IV1 내지 IV4) 중의 하나는 어드레스 디코드 신호(YB1 내지 YB4) 중의 하나를 활성 레벨로 스위칭시킨다.

어드레스 프리디코드 신호(YA1, YA2, YA3 또는 YA4) 용의 각 신호선에 결합된 기생 캐패시턴스를 감소시키기 위해, 신호선은 n채널 증가형 스위칭 트랜지스터(Qn5 내지 Qn8) 중의 하나에 결합되고, 관련 p채널 증가형 로드 트랜지스터는 항상 턴온되어 있다. 이 배열에서, 구성 부품 트랜지스터(Qp1 내지 Qp4 및 Qn5 내지 Qn10)의 채널 저항은 설계 값으로 정확하게 조정될 필요가 있고, 트랜지스터의 크기는 다음 부등식을 만족하도록 최적화되어야 한다.

[수학식 1]

$$(r2+r3+r4) \times V_{cc} / (r1+r2+r3+r4) < V1$$

여기에서 r1은 각 로드 트랜지스터(Qp1, ... 또는 Qp4)의 채널 저항이고, r2는 각 스위칭 트랜지스터(Qn5, ... 또는 Qn8)의 채널 저항이며, r3은 스위칭 트랜지스터(Qn9)의 채널 저항이고, r4는 스위칭 트랜지스터(Qn10)의 채널 저항이며, V1은 각 인버터 회로(IV1, ... 또는 IV4)의 임계치이다.

종래 기술의 반도체 메모리 디바이스의 낮은 생산량이 문제이다. 상세히 말하면, 상술한 바와 같이, 1개의 불량 메모리 셀이 정규 메모리 셀의 4개의 컬럼내에 있다하더라도, 각 정규 메모리 셀 어레이의 정규 메모리 셀의 4개의 관련 컬럼은 동시에 관련 용장 메모리 셀로 대체된다. 다시 말하면, 1개의 불량 메모리 셀이 존재한다 할지라도 종래 기술의 반도체 메모리 디바이스를 고치기 위해 제조자는 정규 메모리 셀의 16개의 컬럼을 4개의 용장 메모리 셀 어레이(2a 내지 2d)로 대체하여야 한다. 그러나, 불량 메모리 셀은 정규 메모리 셀 어레이(1a 내지 1d)에서만 발생하는 것이 아니라, 용장 메모리 셀 어레이(2a 내지 2d)에서도 발생한다. 불량 메모리 셀이 양호한 정규 메모리 셀의 12개의 컬럼 용의 다른 3개의 용장 메모리 셀 어레이 내에 있다면, 대체하는 것으로서 반도체 메모리 디바이스를 고칠 수 없으며, 따라서 컬럼 용장 메모리 셀 내에 존재하는 이러한 불량 메모리 셀에 의해 생산성이 저하된다.

그러므로, 본 발명의 중요한 목적은 생산성을 개선하는 반도체 메모리 디바이스를 제공하는 것이다.

이 목적을 달성하기 위해, 본 발명은 불량 메모리 셀과 관련된 정규 컬럼 어드레스 디코더를 영구히 디스에이블시킬 것을 제한하고 있다.

본 발명에 따르면, a) 다수의 정규 메모리 셀 어레이 및 이 다수의 정규 메모리 셀 어레이에 각각 관련된 다수의 용장 메모리 셀 어레이들을 갖고 있는 1개 이상의 메모리 셀 블록, b) 다수의 정규 메모리 셀 어레이의 정규 메모리 셀의 컬럼과 각각 결합되고 정규 컬럼 그룹과 각각 관련된 다수의 정규 전달 경로 그룹으로 분할되는 다수의 정규 데이터 전달 경로, c) 컬럼 어드레스 신호에 응답하고, 각각의 정규 전달 경로 그룹의 정규 전달 경로 서브 그룹들 중 1개의 그룹을 나타내는 제1어드레스 프리디코드 신호 및 각각의 정규 전달 경로 서브 그룹의 정규 데이터 전달 경로 중의 1개의 경로를 나타내는 제2어드레스 프리디코드 신호를 발생시키기 위해 동작하는 어드레스 수단, d) 정규 전달 경로 서브 그룹에 각각 결합되고, 이 정규 전달 경로 그룹에 각각 관련된 다수의 정규 선택기 그룹으로 분할되는 다수의 정규 컬럼 선택기, e) 다수의 정규 컬럼 선택기들과 각각 관련되어 있고, 다수의 정규 선택기 그룹들과 각각 관련된 다수의 정규 디코더 그룹들로 분할되는 다수의 정규 컬럼 어드레스 디코더, f) 용장 메모리 셀들의 컬럼들에 각각 결합되고 다수의 용장 메모리 셀 어레이들에 각각 관련된 다수의 용장 전달 경로 그룹으로 분할되는 다수의 용장 데이터 전달 경로, g) 불량 메모리 셀들에 각각 할당되어 있는 컬럼 어드레스들을 기억하고, 외부의 컬럼 어드레스 신호가 용장 제어 수단에 기억된 컬럼 어드레스들 중 1개의 어드레스를 나타낼 때 인에이블 신호를 발생하기 위해 동작하는 용장 제어 수단, h) 다수의 용장 데이터 전달 경로 그룹들과 각각 결합되어 있고, 상기 용장 데이터 전달 경로를 데이터 버스에 선택적으로 결합시키기 위해 용장 어드레스 디코드 신호에 응답하는 다수의 용장 컬럼 선택기 및 i) 다수의 용장 컬럼 선택기들과 각각 관련되어 있고 절단되지 않은 절단가능한 소자에 의한 회복가능한 디스에이블 상태, 절단되지 않은 절단가능한 소자에 의한 인에이블 상태 및 절단된 절단가능한 소자에 의한 영구 디스에이블 상태로 선택적으로 들어가는 다수의 용장 컬럼 어드레스 디코더를 포함하며, 상기 a)에서 정규 메모리 셀 어레이들 각각이 다수의 정규 컬럼 서브들로 분할되는 정규 컬럼 그룹을 조합으로 형성하는 컬럼으로 배열된 다수의 정규 메모리 셀들로 구현되고, 용장 메모리 셀 어레이들 각각이 조합으로 용장 컬럼 그룹을 형성하는 컬럼으로 배열된 다수의 용장 메모리 셀들로 구현되며, 다수의 정규 메모리 셀 어레이들에 포함되어 있는 불량 메모리 셀들이 다수의 용장 메모리 셀들 중 1개의 메모리 셀로 대체되며, 상기 b)에서, 각각의 정규 전달 경로 그룹의 데이터 전달 경로들이 정규 컬럼 서브 그룹과 각각 관련된 다수의 정규 전달 경로 서브 그룹들로 분할되고, 상기 d)에서, 다수의 정규 컬럼 선택기들이 다수의 정규 데이터 전달 경로들과 데이터 버스를 선택적으로 결합하기 위해 정규 어드레스 디코드 신호에 응답하며, 상기 e)에서, 다수의 정규 컬럼 어드레스 디코더가 선택적으로, 회복가능한 디스에이블 상태, 인에이블 상태 및 영구 디스에이블 상태로 들어가고, 다수의 정규 컬럼 어드레스 디코더가 제2어드레스 프리디코드 신호에 기초하여 발생된 정규 어드레스 디코드 신호를 관련 정규 컬럼 선택기에 공급할 수 있도록 제2어드레스 프리디코드 신호에 응답하게 하기 위해 제1어드레스 프리디코드 신호의 존재시 인에이블 상태로 들어가며, 다수의 정규 컬럼 어드레스

디코더가 제2어드레스 프리디코드 신호에 응답하지 않고 남아 있도록 하기 위해 제1어드레스 프리디코드 신호의 부재시 회복가능한 디스에이블 상태도 들어가고, 각각의 다수의 정규 컬럼 어드레스 디코더가 그 내부에 있는 절단가능한 소자가 관련 정규 컬럼 서브그룹 내에 있는 1개 이상의 불량 메모리 셀의 존재시 절단될 때 영구 디스에이블 상태로 들어가며, 상기 f)에서, 제2어드레스 프리디코드 신호가 또한 각각의 용장 전달 경로 그룹의 용장 데이터 전달 경로들 중의 1개의 경로들 나타내고, 상기 i)에서, 다수의 용장 컬럼 어드레스 디코더가 제2어드레스 프리디코드 신호에 기초하여 용장 어드레스 디코드 신호를 발생하기 위해 제2어드레스 프리디코드 신호에 응답하게 되도록 인에이블 신호로 인에이블되고, 다수의 용장 컬럼 어드레스 디코더가 인에이블 신호의 부재시 회복가능한 디스에이블 상태로 들어가며, 불량 메모리 셀이 관련 용장 셀 어레이로 대체가능한 정규 컬럼 서브 그룹내에 있지 않고 불량 메모리 셀이 관련되지 않은 용장 메모리 셀 어레이로 대체가능한 정규 컬럼 서브 그룹내에 있으면, 다수의 용장 컬럼 어드레스 디코더가 영구 디스에이블 상태로 들어가는 반도체 메모리 디바이스가 제공된다.

[실시예 1]

제3도를 참조하면, 단일 반도체 칩(11) 상에 제조되고, 단수의 메모리 블록(11 내지 1n)을 포함하는 본 발명을 사용한 반도체 메모리 디바이스가 도시되어 있는데, 블록 디코더 회로(12)는 메모리 블록(11 내지 1n) 중 하나를 나타내는 블록 선택 신호(BS)를 발생시키기 위한 블록 어드레스 신호에 응답한다. 메모리 블록(11 내지 1n)은 배열에 있어서 서로 유사하므로 메모리 블록(11) 및 관련 주변 회로에 대해서만 설명하겠다. 그러나, 이 설명은 다른 메모리 블록 및 관련 주변 회로에도 적용할 수 있다.

메모리 블록(11)은 4개의 정규 메모리 셀 어레이(11a 내지 11d)를 갖고 있고, 4개의 정규 메모리 셀 어레이(11a 내지 11d)는 각각 4개의 용장 메모리 셀 어레이(11e 내지 11h)를 갖고 있다. 정규 메모리 셀 어레이(11a 내지 11d) 각각은 다수의 정규 메모리 셀로부터 제조되며, 작은 동그라미가 개별 정규 메모리 셀을 나타낸다. 이 경우, 셀 어레이(11a)의 정규 메모리 셀은 32컬럼으로 배열되고, 각 컬럼은 선정된 수의 정규 메모리 셀을 포함한다. 32컬럼의 정규 메모리 셀은 조합되어 정규 컬럼 그룹을 형성하고, 8개의 정규 컬럼 서브 그룹으로 분할되어 각 정규 컬럼 서브 그룹이 4컬럼의 정규 메모리 셀로 구성되도록 한다. 32개의 디지털 라인은 각각 32컬럼의 셀 어레이(11a)와 결합되어 정규 데이터 전달 경로로서 작용한다. 32개의 디지털 라인은 조합되어 정규 전달 경로 그룹에 대응하는 정규 디지털 라인 그룹을 형성하고, 또한 8개의 디지털 라인 그룹(D1, D2, ... 및 D8)로 분할된다. 8개의 디지털 라인 그룹(D1 내지 D8)은 정규 전달 경로 서브 그룹으로서 작용한다. 메모리 블록(11)의 다른 정규 메모리 셀 어레이는 유사하게 배열되고, 다른 정규 메모리 셀 어레이 각각은 또한 8개의 디지털 라인 서브 그룹과 연관되고 따라서, 메모리 블록은 각각 32개의 디지털 라인 서브 그룹(D1 내지 D32)과 결합된 32개의 정규 컬럼 서브 그룹을 갖는다.

32개의 디지털 라인 서브 그룹(D1 내지 D32)은 각각 32개의 정규 컬럼 선택 회로(S1 내지 S32)에서 중단되고, 정규 컬럼 선택 회로(S1 내지 S32)와 워드 라인(도시되지 않음) 중 1개에 의해 선택된 정규 메모리 셀 사이에서 데이터 비트를 전달한다. 32개의 컬럼 선택 회로(S1 내지 S32)는 4개의 정규 선택 그룹으로 분할되고, 4개의 정규 선택 그룹은 각각 4개의 정규 디지털 라인 그룹과 각각 관련되어 결국 4개의 정규 메모리 셀 어레이(11a 내지 11d)와 관련된다.

각 용장 메모리 셀 어레이(11e 내지 11h)는 4개의 컬럼으로 배열된 용장 메모리 셀로부터 제조되고, 4개의 컬럼 각각은 선정된 용장 메모리 셀을 구성한다. 작은 동그라미들이 또한 개별 메모리 셀을 나타낸다. 4컬럼의 용장 메모리 셀은 조합되어 용장 컬럼 그룹을 형성하고, 각각 4개의 용장 디지털 라인과 결합된다. 4개의 용장 디지털 라인은 조합되어 용장 데이터 전달 경로 그룹에 대응하는 용장 디지털 라인을 형성하고, 4개의 용장 디지털 라인 그룹(RD1 내지 RD4)는 각각 용장 메모리 셀 어레이(11e 내지 11h)와 결합된다. 4개의 용장 디지털 라인 그룹(RD1 내지 RD4)는 각각 4개의 용장 컬럼 선택 회로(RS1 내지 RS4)에서 중단되고, 관련 용장 컬럼 선택 회로(RS1 내지 RS4)와 정규 메모리 셀 어레이(11a 내지 11d)와 공유되는 워드 라인(도시되지 않음)에 의해 선택된 용장 메모리 셀 사이에서 데이터 비트를 전달한다. 4개의 입출력 데이터 라인(I01 내지 I04)는 각각 용장 메모리 셀 어레이(11e 내지 11h) 뿐만 아니라 정규 메모리 셀 어레이(11a 내지 11d)와도 관련된다. 4개의 입출력 데이터 라인(I01 내지 I04)는 입출력 데이터 버퍼 유닛(13)과 결합되고, 다른 단부들은 관련된 정규 컬럼 선택 회로(S1 내지 S8, S25 내지 S32) 및 관련된 용장 컬럼 선택 회로(RS1 내지 RS4)와 결합되도록 각각 분기된다. 4개의 입출력 데이터 라인(I01 내지 I04)는 데이터 버스로서 작용한다.

정규 메모리 셀 어레이(11a 내지 11d) 및 용장 메모리 셀 어레이(11e 내지 11h)는 로우 어드레싱 서브유닛과 컬럼 어드레싱 서브 유닛으로 분리된 어드레싱 유닛에 의해 지원된다. 로우 어드레싱 서브 유닛은 액세스가능한 정규 및 용장 메모리 셀을 선택하기 위해 워드 라인(도시되지 않음)을 선택적으로 구동한다. 그러나, 로우 어드레싱 서브 유닛은 본 발명의 핵심을 이해하는 데는 덜 중요하므로 더 이상 설명하지 않겠다.

컬럼 어드레싱 서브 유닛은 어드레싱 수단을 대응하고, 정규 어드레스 프리디코더 회로(14a) 및 어드레스 프리디코더 회로(14b)를 포함한다. 컬럼 어드레스 비트(Y0, Y1, Y2, Y3 및 Y4)로 구성된 컬럼 어드레싱 신호는 정규 어드레스 프리디코더 회로(14a) 및 어드레스 프리디코더 회로(14b)에 분배된다. 정규 어드레스 프리디코더 회로(14a)는 컬럼 어드레스 비트(Y2 내지 Y4)에 응답하고, 각 정규 디지털 라인 그룹의 8개의 정규 디지털 라인 서브 그룹 하나를 나타내는 제1어드레스 프리디코드 신호(DS1 내지 DS8)를 발생시키며, 제1어드레스 프리디코드 신호(DS1 내지 DS8)는 4개의 정규 메모리 셀 어레이(11a 내지 11d)로부터 각각 4개의 디지털 라인 서브 그룹을 선택할 수 있다. 어드레스 프리디코더 회로(14b)는 제2어드레스 프리디코드 신호(YA1 내지 YA4)를 발생시키기 위해 컬럼 어드레스 비트(Y0 및 Y1)에 응답하고, 프리디코드 신호(YA1 내지 YA4)는 각 용장 디지털 라인 그룹의 용장 디지털 라인 중 1개 뿐만 아니라 각 정규 디지털 라인 서브 그룹의 정규 디지털 라인 중 1개를 나타낸다. 제1어드레스 프리디코드 신호가 제2어드레스 프리디코드 신호와 결합될 때 4개의 정규 메모리 셀 어레이(11a 내지 11d)로부터 4컬럼의 정규 메모리 셀이, 또는 4개의 용장 메모리 셀 어레이(11e 내지 11h)로부터 4컬럼의 용장 메모리 셀이 선택될 수 있다.

32개의 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32)는 각각 32개의 정규 컬럼 선택 회로(S1 내지

S32)와 결합되고, 4개의 정규 디코더 그룹으로 분할된다. 블록 선택 신호(BS), 제1어드레스 프리디코드 신호(DS1 내지 DS8) 및 제2어드레스 프리디코드 신호(YA1 내지 YA4)는 32개의 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32) 각각에 공급된다. 후술하다시피, 정규 컬럼 어드레스 디코더 회로(C1 내지 DC32)는 블록 선택 신호(BS)에 의해 동시에 선택되고, 각 정규 디코더 그룹의 8개의 정규 컬럼 어드레스 디코더 회로 중 1개가 제1어드레스 프리디코드 신호(DS1 내지 DS8)로 인에이블된다. 4개의 정규 컬럼 어드레스 디코더 회로는 제2어드레스 프리디코드 신호(YA1 내지 YA4)에 응답하고, 컬럼 어드레스 디코드 신호(YB)를 발생시킨다.

4개의 용장 컬럼 선택 회로(RS1 내지 RS4)는 각각 4개의 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)와 관련되고, 용장 제어 신호(RA)로 동시에 인에이블된다. 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)가 인에이블되면, 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)는 제2어드레스 프리디코드 신호(YA1 내지 YA4)에 응답하고, 컬럼 어드레스 디코드 신호를 발생시킨다.

본 발명에 따른 반도체 메모리 디바이스 프로그램 회로(15a) 및 용장 프리디코더 회로(15b)를 갖고 있는 용장 제어 유닛을 더 포함한다. 프로그램 회로(15a)는 정규 컬럼 서브 그룹에 지정된 컬럼 어드레스를 기억시키기 위해 예를 들어 레이저 비임에 의해 선택적으로 절단된 퓨즈 어레이(도시되지 않음)를 갖고 있고, 컬럼 어드레스 비트(Y2 내지 Y4)는 퓨즈 어레이에 기억된 컬럼 어드레스와 비교된다. 컬럼 어드레스 비트(Y2 내지 Y4)가 퓨즈 어레이에 기억된 컬럼 어드레스를 나타내면, 프로그램 회로(15a)는 일치 신호(consistent signal ; CN)를 발생시켜 일치 신호(CN)를 용장 프리디코더 회로(15b)에 공급한다. 일치 신호(CN)으로, 용장 프리디코더 회로(15b)는 인에이블 신호(RA)를 발생시키고, 인에이블 신호(RA)는 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)에 공급된다.

제4도를 다시 참조하면, 자세한 회로 배열이 도시되어 있고, 모든 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32)에 공통이다. 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)는 배열에 있어서 정규 컬럼 어드레스 디코더 회로(DC1 내지 DC32)와 유사하므로, 괄호로 둘러싸인 참조 부호는 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)용의 대응 신호를 나타낸다. 정규 컬럼 어드레스 디코더 회로(DCi)는 크게 상태 제어 회로(16a) 및 스위칭 회로(16b)를 포함한다. 상태 제어 회로는 퓨즈 소자(16c) 및 노드(N11)과 접지 전압선 사이에 직렬로 결합된 2개의 n채널 증가형 스위칭 트랜지스터(16d 및 16e)를 포함하고, 블록 선택 신호(BS) 및 제1어드레스 프리디코드 신호(YB)의 비트(DSj)는 각각 n채널 증가형 스위칭 트랜지스터(16d 및 16e)의 게이트 전극에 공급된다. 스위칭 회로(16b)는 전원 전압선(Vcc)와 결합된 소스 노드와 접지 전압선과 결합된 게이트 전극을 갖고 있는 p채널 증가형 로드 트랜지스터(Qp11 내지 Qp14)의 드레인 노드와 노드(N11)사이에 결합된 소스 드레인 경로를 갖고 있는 n채널 증가형 스위칭 트랜지스터(Qn15 내지 Qn18) 및 p채널 증가형 로드 트랜지스터(Qp11 내지 Qp14)의 드레인 노드와 결합된 인버터 회로(IV11 내지 IV14)를 포함한다. p채널 증가형 로드 트랜지스터(Qp11 내지 Qp14)는 항상 턴 온 되어 있고, 제2어드레스 프리디코드 신호(YA1 내지 YA4)의 비트들이 각각 n채널 증가형 스위칭 트랜지스터(Qn15 내지 Qn18)의 게이트 전극에 공급된다.

반도체 메모리 디바이스가 검사받는 동안 모든 메모리 블록의 모든 정규 메모리 셀 어레이는 그 안에 불량 메모리 셀이 있는지 알기 위해 검사된다. 불량 메모리 셀이 발견되지 않으면, 어떤 퓨즈 소자도 절단되지 않고, 어떤 컬럼 어드레스도 프로그램 회로(15a)에 기억되지 않는다. 반면에 정규 컬럼 서브 그룹들 중 1개에서 불량 메모리 셀이 발견되면, 그 정규 컬럼 서브 그룹에 지정된 컬럼 어드레스가 프로그램 회로(15a)에 기억되고, 관련된 정규 컬럼 어드레스 디코더 회로의 퓨즈 소자가 절단된다. 더구나, 제조자는 절단된 퓨즈 소자를 가진 정규 컬럼 어드레스 디코더 회로와 쌍을 이룬 용장 컬럼 어드레스 디코더 회로를 제외한 용장 컬럼 어드레스 디코더의 퓨즈 소자를 절단한다. 예를 들어, 정규 메모리 셀 어레이(11a)의 가장 왼쪽의 정규 컬럼 서브 그룹 내에 불량 메모리 셀이 있으면, 정규 컬럼 어드레스 디코더 회로(DC1)의 퓨즈소자(6c)가 절단되고, 용장 컬럼 어드레스 디코더 회로(RDC1)을 제외한 용장 컬럼 어드레스 디코더 회로들의 퓨즈 소자들(16c)가 절단된다. 그러나, 다른 정규 및 용장 컬럼 어드레스 디코더 회로(DC2 내지 DC32 및 RDC1)은 계속적으로 노드(N1) 및 n채널 증가형 스위칭 트랜지스터(16d)를 온시킨다.

이와같이 배열된 반도체 메모리 디바이스는 다음과 같이 동작한다. 제조공정이 완료되자마자 반도체 메모리 디바이스는 메모리 블록(11 내지 1n)내에 불량 메모리 셀이 들어 있는지의 여부를 알기 위해 검사된다. 메모리 블록(11 내지 1n)내에 불량 메모리 셀이 없는 경우, 용장 프리디코더 회로(15b)의 퓨즈 어레이는 절단되지 않으므로 어느 컬럼 어드레스를 위해서도 인에이블 신호(RA)가 발생되지 않는다. 이 상황에서, 각 정규 메모리 셀 어레이(11a 내지 11d)의 가장 왼쪽 정규 컬럼에 기억된 데이터 코드 역세스된 것으로 가정된다. 관련된 워드라인(도시되지 않음)은 데이터 코드가 D1 및 D25와 같은 가장 왼쪽의 각 정규 디지털 라인 서브 그룹의 가장 왼쪽 정규 디지털 라인으로 판독되어 나오도록 한다. 워드 라인이 비록 용장 메모리 셀로 하여금 관련된 용장 디지털 라인을 결합시키도록 한다하더라도, 용장 컬럼 선택 회로(RS1 내지 RS4)는 인에이블되지 않고, 용장 디지털 라인으로부터 입출력 데이터 라인(I01 내지 I04)를 차단한다.

블록 어드레스 신호는 블록 디코더 회로(12)로 하여금 메모리 블록(11)을 선택하도록 하고, 블록 선택 신호의 대응 비트는 활성 하이 전압 레벨로 상승한다. 역세스된 데이터 비트를 나타내는 컬럼 어드레스 신호(Y0 내지 Y4)는 정규 어드레스 프리디코더 회로(14a) 및 어드레스 프리디코더 회로(14b)에 의해 디코드되고, 정규 어드레스 프리디코더 회로(14a) 및 어드레스 프리디코더 회로(14b)는 제1어드레스 프리디코드 신호의 비트(DS1) 및 제2어드레스 프리디코드 신호의 비트(YA1)이 활성 하이 전압 레벨로 상승하도록 한다. 그러나, 프로그램 회로(15a)는 용장 프리디코더 회로(15b)로 하여금 인에이블 신호(RA)를 활성 하이 전압 레벨로 변경되지 못하게 한다.

블록 선택 신호(BS) 및 비트(DS1)은 DC1 및 DC25와 같은 가장 왼쪽 정규 컬럼 어드레스 디코더 회로의 n채널 증가형 스위칭 트랜지스터(16d 및 16e)를 턴 온시키고, n채널 증가형 스위칭 트랜지스터(Qn15)는 활성 하이 전압 레벨의 비트(YA1)이 있을 경우 턴 온 된다. 따라서, 이들 정규 컬럼 어드레스 디코더회로는 인에이블 상태에서 들어가나, 다른 정규 컬럼 어드레스 회로는 회복가능한 디스에이블 상태로 유지된다. 그러면, p채널 증가형 로드 트랜지스터(Qp11)로부터 접지전압선으로 전류가 흐르고, 로드 트랜지스터(Qp11 내지 Qp14)의 드레인 노드는 관련된 인버터 회로(IV11 내지 IV14)의 임계 레벨 이하로 내려간다. 이로 인

해 각 컬럼 어드레스 디코드 신호(YB)의 가장 왼쪽 비트가 활성 하이 전압 레벨로 상승하고, S1 및 S2와 같은 가장 왼쪽 정규 컬럼 선택 회로는 액세스된 데이터 코드를 임출력 데이터 라인(I01 내지 I04)로 전달한다. 데이터 코드는 일시적으로 데이터 버퍼 유닛(13)에 기억되고, 목적지에 전달된다.

반면에, 불량 메모리 셀이 검사시에 발견되고, 정규 메모리 셀 어레이(11a)의 가장 왼쪽 정규 컬럼 서브 그룹에 들어 있다고 가장하자. 정규 컬럼 어드레스 디코더 회로(DC1)뿐만 아니라 가장 왼쪽 정규 컬럼 서브 그룹에 지정된 컬럼 어드레스도 퓨즈 어레이를 선택적으로 절단함으로써 프로그램 회로(15a)에 기억되고, 제조자는 또한 정규 컬럼 어드레스 회로(DC1)의 퓨즈 소자(16c) 및 디코더 회로(RDC1)의 퓨즈 소자를 제외한 용장 컬럼 어드레스 디코더 회로의 퓨즈 소자들(16c)을 절단한다. 다시말하면, 정규 컬럼 어드레스 디코더 회로(DC1) 및 디코더 회로(RDC1)을 제외한 용장 컬럼 어드레스 디코더 회로는 영구 디스에이블 상태가 된다. 따라서, 어레이(11a)의 가장 왼쪽 정규 컬럼 서브 그룹은 용장 메모리 셀 어레이(11e)로 교체된다.

반도체 메모리 디바이스가 마이크로프로세서와 같은 다른 반도체 디바이스와 함께 전자 회로를 형성한 후, 불량 메모리 셀을 나타내는 어드레스는 액세스된 것으로 가정된다. 관련된 워드 라인(도시되지 않음)은, 일부는 가장 왼쪽 용장컬럼의 용장 메모리 셀에 기억되고 일부는 가장 왼쪽의 각 컬럼의 정규 메모리셀에 기억된 데이터 코드가 관련된 용장 디지털 라인 및 정규 디지털 라인으로 판독되어 나오도록 한다.

블럭 디코더 회로(12)는 메모리 블럭(11)을 선택하여 해당 비트를 활성 하이 전압 레벨로 변경시킨다. 컬럼 어드레스 신호(Y0 내지 Y4)는 정규 어드레스 프리디코더 회로(14a) 및 어드레스 프리디코더 회로(14b)로 하여금 비트(DS1 및 YA1)을 활성 하이 전압 레벨로 변경시키도록 한다. 또한, 프로그램 회로(15a)는 용장 프리디코더 회로(15b)로 하여금 인에이블 신호(RA)를 활성 하이 전압 레벨로 변경시키도록 한다. 정규 어드레스 프리디코더 회로(14a)는 DC1 및 DC25와 같은 가장 왼쪽 정규 컬럼 어드레스 디코더 회로를 비트(DS1)로 인에이블시키고자 시도한다. 그러나, 정규 컬럼 어드레스 디코더 회로(DC1)은 절단된 퓨즈 소자(16c)로 인해 영구적으로 디스에이블되고 있고, RDC1을 제외한 용장 컬럼 어드레스 디코더 회로 또한 절단된 퓨즈 소자(16c)로 인해 영구적으로 디스에이블되어 있기 때문에, DC1을 제외한 3개의 가장 왼쪽의 컬럼 어드레스 디코더 회로는 블럭 선택신호(BS) 및 비트(DS1)로 인에이블 되고, 가장 왼쪽의 정규 컬럼 어드레스 디코더 회로(DC1)은 블럭 선택 신호(BS) 및 비트(DS1)에도 불구하고 디스에이블 상태로 유지된다. 반면에, 인에이블 신호(RA)는 용장 컬럼 어드레스 디코더 회로(RDC1)이 인에이블된 상태가 되게 한다. 그러나, 다른 3개의 용장 컬럼 어드레스 디코더 회로는 절단된 퓨즈 소자(16c)로 인해 제2어드레스 프리디코드 신호(YA1 내지 YA4)에 응답하지 않는 채로 유지된다. 그러므로, 용장 컬럼 어드레스 디코더 회로(RDC1)은 어드레스 디코드 신호(YB)의 가장 왼쪽 비트를 활성 하이 전압 레벨로 변경시키고, 가장 왼쪽의 정규 컬럼 어드레스 디코더 회로(DC1)은 어드레스 프리 디코드 신호(YB)를 비활성 로우 전압 레벨로 유지한다. 그러나, 다른 3개의 가장 왼쪽의 정규 컬럼 어드레스 디코더 회로는 어드레스 디코드 신호(YB)의 각 가장 왼쪽의 비트를 활성 하이 전압 레벨로 변경시킨다. 그러면, 데이터 비트는 그룹(RD1)의 가장 왼쪽 용장 디지털 라인으로부터 임출력 데이터 라인(I01)로 절단되고 3개의 비트는 D25와 같은 가장 왼쪽의 정규 디지털 라인 서브 그룹의 가장 왼쪽 디지털 라인으로부터 연관된 임출력 데이터 라인으로 전달된다. 따라서, 액세스된 데이터 코드의 일부는 용장 메모리 셀 어레이(11e)로부터 판독되어 나오고, 일부는 3개의 정규 메모리 셀 어레이로부터 판독되어 나와서 데이터 버퍼 유닛(13)으로부터 목적지로 전달된다.

데이터 코드를 반도체 메모리 디바이스에 기입하는 동작이 수행되는 경우, 그 동작 절차는 상술한 판독 동작과 유사하므로 간단히 하기 위해 더 이상 설명하지 않겠다.

상술한 설명으로부터 알 수 있듯이, 정규 컬럼 서브 그룹은 관련된 용장 컬럼 그룹 또는 어레이(11e 내지 11h)와 개별적으로 교체될 수 있다. 이는, 양호한 정규 컬럼 서브 그룹으로 교체되지 않은 용장 메모리 셀어레이 내에 불량 메모리 셀이 들어 있다. 하더라도 반도체 메모리 디바이스가 양품으로 판정되어 제조 수율이 확실히 향상됨을 의미한다.

[실시예 2]

제5도를 참조하면, 본 발명에 따른 다른 반도체 집적 회로 디바이스가 8비트 데이터 코드용으로 제공되는 데, 각 메모리 블럭은 각각이 8개의 용장 메모리 셀 어레이(21i 내지 21p)와 관련된 8개의 정규 메모리셀 어레이(21a 내지 21h)로 구현된다. 그러나 회로 배치 및 기능은 제1실시예와 유사하므로 구성 회로는 상세한 설명없이 제1실시예에 사용된 유사한 참조 부호를 병기한다.

데이터 코드의 구성 비트가 증가되면, 본 발명의 이점이 현저해지고 제조 수율이 획기적으로 향상된다.

[실시예 3]

제6도를 참조하면, 본 발명에 따른 또 다른 반도체 메모리 디바이스가 단일 데이터 비트용으로 제공된다. 단일 데이터 비트를 선택하기 위해, 4비트의 컬럼 어드레스 프리디코드 신호(SS1 내지 SS4)가 정규컬럼 어드레스 디코더 회로(DC1 내지 DC32) 및 용장 컬럼 어드레스 디코더 회로(RDC1 내지 RDC4)에 더 공급되고, n채널 증가형 스위칭 트랜지스터(16f)는 n채널 증가형 스위칭 트랜지스터(16e) 및 접지 전압선사이에 더 결합된다. 그러나, 다른 구성 회로들은 제1실시예의 회로들과 유사하고 그 기능도 유사하다. 그러므로, 대응 회로는 동일한 참조 부호로 지정되고 간략히 하기 위해 설명을 생략한다.

본 발명의 특정한 실시예가 도시되고 설명되었지만, 본 분야에 숙련된 기술자라면 본 발명의 정신 및 범위로부터 벗어나지 않고서도 여러가지 변경 및 수정이 가해질 수 있음을 잘 알 수 있을 것이다. 예를 들어, 본 발명에 따른 용장 기술은, 예를 들어 DRAM 디바이스, SRAM 디바이스 또는 EEPROM 디바이스와 같은 어떤 종류의 반도체 메모리 디바이스에도 적용 가능하다. 상술한 실시예에서, 각 반도체 메모리 디바이스는 다수의 메모리 블럭을 갖고 있다. 그러나, 본 발명에 따른 다른 반도체 메모리 디바이스는 1개의 메모리 블럭만을 포함할 수 있고, 정규 및 용장 컬럼 어드레스 디코더 회로에 블럭 선택 신호가 제공되지 않아도 된다.

(57) 청구의 범위**청구항 1**

a) 다수의 정규 메모리 셀 어레이(11a 내지 11d ; 21a 내지 21h) 및 상기 다수의 어레이에 각각 관련된 다수의 용장 메모리 셀 어레이(11e 내지 11h ; 21i 내지 21p)들을 갖고 있는 1개 이상의 메모리 셀 블록(11 내지 1n ; 21), b) 상기 다수의 정규 메모리 셀 어레이의 상기 정규 메모리 셀의 컬럼들과 각각 결합되고 상기 정규 컬럼 그룹과 각각 관련된 다수의 정규 전달 경로 그룹으로 분할되는 다수의 정규 데이터 전달 경로, c) 컬럼 어드레스 신호(Y0 내지 Y4)에 응답하고, 각각의 정규 전달 경로 그룹의 상기 정규 전달 경로 서브그룹들 중 1개의 그룹을 나타내는 제1어드레스 프리디코드 신호(DS1 내지 DS8) 및 각각의 정규 전달 경로 서브그룹의 정규 데이터 전달 경로중 1개의 경로를 나타내는 제2어드레스 프리디코드 신호(YA1 내지 YA4)를 발생시키기 위해 동작하는 어드레싱 수단(14a/14b), d) 정규 전달 경로 서브그룹에 각각 결합되고 상기 정규 전달 경로 그룹에 각각 관련된 다수의 정규 선택기 그룹(S1 내지 S8/S25 내지 S32)로 분할되는 다수의 정규 컬럼 선택기(S1 내지 S32, S1 내지 S64), e) 상기 다수의 정규 컬럼 선택기들과 각각 관련되어 있고, 상기 다수의 정규 선택기 그룹들과 각각 관련된 다수의 정규 디코더 그룹(DC1 내지 DC8/DC25 내지 DC32)들로 분할되는 다수의 정규 컬럼 어드레스 디코더(DC1 내지 DC32 ; DC1 내지 DC64), f) 상기 용장 메모리 셀들의 컬럼들에 각각 결합되고 상기 다수의 용장 메모리 셀 어레이들에 각각 관련된 다수의 용장 전달 경로 그룹(RD1 내지 RD4)로 분할되는 다수의 용장 데이터 전달 경로, g) 불량 메모리 셀들에 각각 할당되어 있는, 컬럼 어드레스들을 기억하고 외부의 컬럼 어드레스 신호가 용장 제어 수단(14a/14b)에 기억된 상기 컬럼 어드레스들 중 1개의 어드레스를 나타낼 때 인에이블 신호(RA)를 발생하기 위해 동작하는 용장 제어 수단(14a/14b), h) 상기 다수의 용장 데이터 전달 경로 그룹들과 각각 결합되어 있고, 상기 용장 데이터 전달 경로를 상기 데이터 버스에 선택적으로 결합시키기 위해 용장 어드레스 디코더 신호(YB)에 응답하는 다수의 용장 컬럼 선택기(RS1 내지 RS4) 및 i) 상기 다수의 용장 컬럼 선택기들과 각각 관련되어 있고, 상기 제2어드레스 프리디코드 신호를 기초로 하여 상기 용장 어드레스 디코더 신호를 발생시키기 위해 상기 제2어드레스 프리디코드 신호에 응답하기 위해 상기 인에이블 신호에 의해 인에이블되는 다수의 용장 컬럼 어드레스 디코더(RDC1 내지 RDC4)를 포함하며, 상기 a)에서, 상기 정규 메모리 셀 어레이들 각각이 다수의 정규 컬럼 서브 그룹들로 분할되는 정규 컬럼 그룹을 조합으로 형성하는 컬럼으로 배열된 다수의 정규 메모리 셀들로 구현되고, 상기 용장 메모리 셀 어레이들 각각은 조합으로 용장 컬럼 그룹을 형성하는 컬럼으로 배열된 다수의 용장 메모리 셀들로 구현되고, 상기 다수의 정규 메모리 셀 어레이들에 포함되어 있는 불량 메모리 셀들이 상기 다수의 용장 메모리 셀들 중 1개의 메모리셀로 대체되며, 상기 b)에서, 각각의 정규 전달 경로 그룹의 데이터 전달 경로들이 상기 정규 컬럼 서브그룹들과 각각 관련된 다수의 정규 전달 경로 서브 그룹(D1 내지 D8/D25 내지 D32 ; D1 내지 D8/D57 내지 D64)들로 분할되고, 상기 d)에서, 상기 다수의 정규 컬럼 선택기들이 상기 다수의 정규 데이터 전달 통로들과 데이터 버스(101 내지 104/101 내지 108 ; 10)를 선택적으로 결합하기 위해 정규 어드레스 디코더 신호(YB)에 응답하며, 상기 f)에서, 상기 제2어드레스 프리디코드 신호가 또한 각각의 용장 전달 경로 그룹의 상기 용장 데이터 전달 경로들 중 1개의 경로를 나타내는 반도체 메모리 장치에 있어서, 상기 다수의 정규 컬럼 어드레스 디코더들이 선택적으로, 상기 제1어드레스 프리디코드 신호(DS1 내지 DS8)의 부재시 상기 제2어드레스 프리디코드 신호에 응답하지 않기 위한 회복가능한 디스에이블 상태, 상기 제1어드레스 프리디코드 신호(DS1 내지 DS8)의 존재시 상기 제2어드레스 프리디코드 신호에 응답하게 하기 위한 인에이블 상태, 및 관련된 정규 컬럼 서브 그룹에 포함된 1개 이상의 불량 메모리 셀의 존재시 절단 가능한 소자(16c)가 절단될 때 영구 디스에이블 상태로 들어가고, 상기 다수의 용장 컬럼 어드레스 디코더들이 선택적으로, 상기 인에이블 신호의 존재시 절단되지 않은 절단가능한 소자(16c)로 인한 인에이블 상태, 상기 인에이블 신호의 부재시 절단되지 않은 절단가능한 소자(16c)로 인한 회복가능한 디스에이블 상태 및 불량 메모리 셀이 관련된 용장 메모리 셀 어레이들로 대체가능한 정규 컬럼 서브 그룹에 있지 않고 관련없는 용장 메모리 셀 어레이들로 대체가능한 정규 컬럼 서브 그룹 내에 있을 때 절단된 절단가능한 소자로 인한 영구 디스에이블 상태로 들어가는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 정규 및 용장 컬럼 어드레스 디코더들 각각이 상기 제2어드레스 프리디코드 신호에 응답하는 스위칭부(16b) 및 상기 제1어드레스 프리디코드 신호 또는 상기 인에이블 신호에 응답하는 상기 절단가능한 소자를 갖고 있는 상기 제어부(16a)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 상기 스위칭부가, 서로 병렬로 전원 라인(Vcc)에 결합된 다수의 통상-온형 로드 트랜지스터(Qp11 내지 Qp14), 상기 다수의 통상-온형 로드 트랜지스터와 공통 노드(N11) 사이에서 서로 병렬로 결합되어 있고 상기 제2어드레스 프리디코드 신호(YA1 내지 YA4)의 성분 비트가 공급되는 각각의 게이트 전극을 갖고 있는 다수의 제1스위칭 트랜지스터(Qn15 내지 Qn18) 및 상기 통상-온형 로드 트랜지스터의 드레인 노드에 각각 결합된 다수의 인버터 회로(IV11 내지 IV14)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 상태 제어부가 상기 공통 노드와 정전압 선 사이에 병렬로 결합된 상기 절단가능한 소자(16c)와 제2스위칭 트랜지스터(16e)를 포함하고, 상기 제1어드레스 프리디코드 신호의 성분 비트들 중 1개의 비트가 상기 제2스위칭 트랜지스터의 게이트 전극에 공급되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기 상태 제어부가 상기 절단가능한 소자와 상기 제2스위칭 트랜지스터 사이에 결합된 제3스위칭 트랜지스터(166)를 더 포함하고, 블록 선택 신호(BS)가 상기 제3스위칭 트랜지스터의 게이트

전극에 공급되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

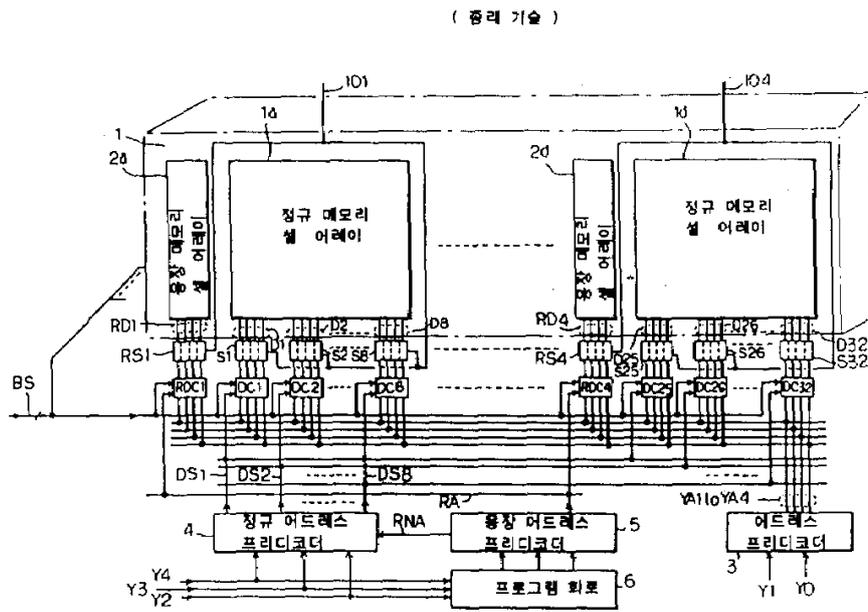
제5항에 있어서, 상기 상태 제어부가 상기 제2스위칭 트랜지스터와 상기 정전압 선 사이에 결합된 제4스위칭 트랜지스터(16f)를 더 포함하고, 제3어드레스 프리디코드 신호(SS1 내지 SS4)의 성분 비트가 1개의 정규 컬럼 어드레스 디코더 또는 1개의 용장 컬럼 어드레스 디코더가 상기 인에이블 상태로 되도록 상기 제3스위칭 트랜지스터의 게이트 전극에 인가되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 절단가능한 소자가 제조자로부터 전달되기 전에 상기 불량 메모리 셀이 상기 1개의 이상의 메모리 블록 내에 있는지의 여부를 알 수 있도록 검사시 절단가능한 퓨즈 소자로 구현되는 것을 특징으로 하는 반도체 메모리 장치.

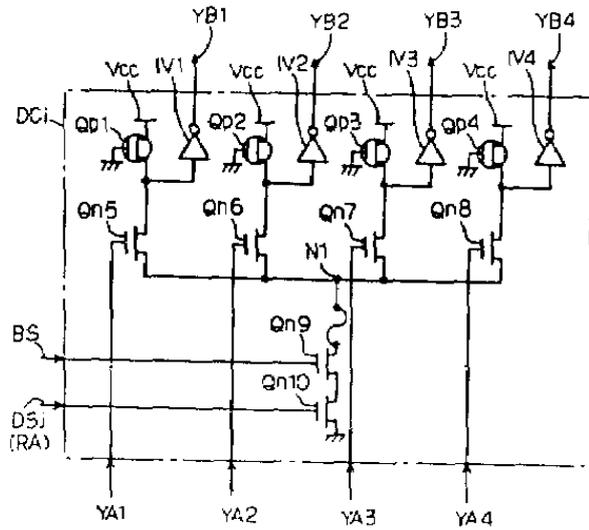
도면

도면1

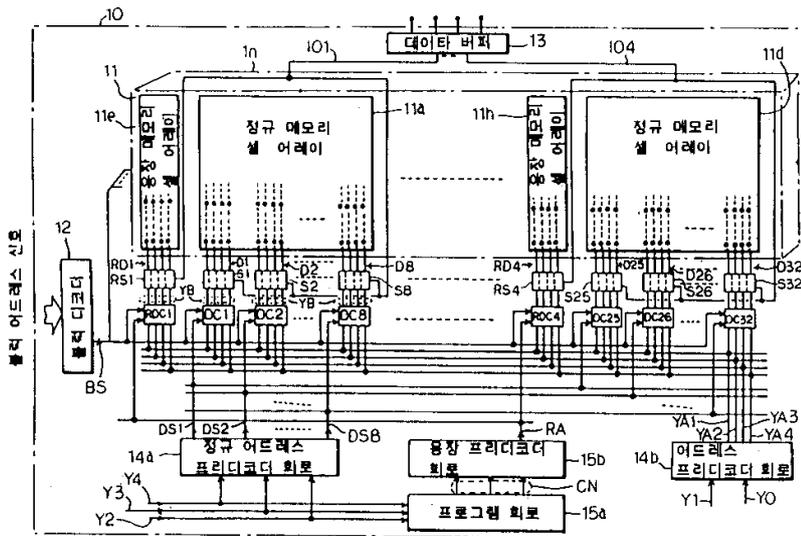


도면2

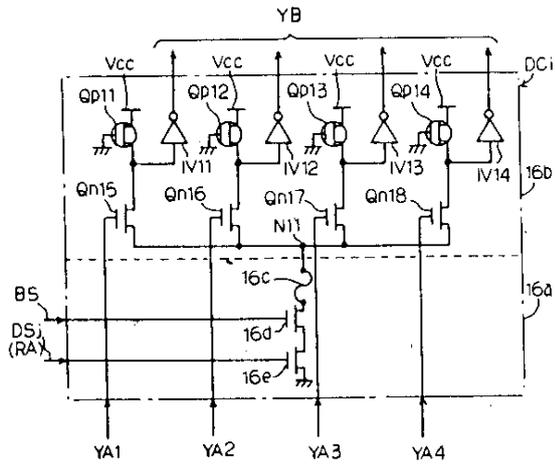
(종려 기술)



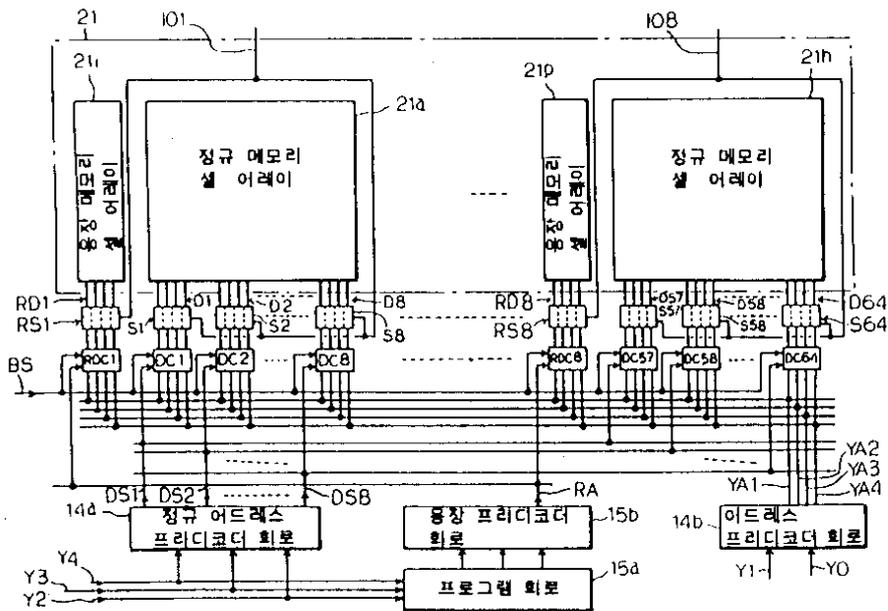
도면3



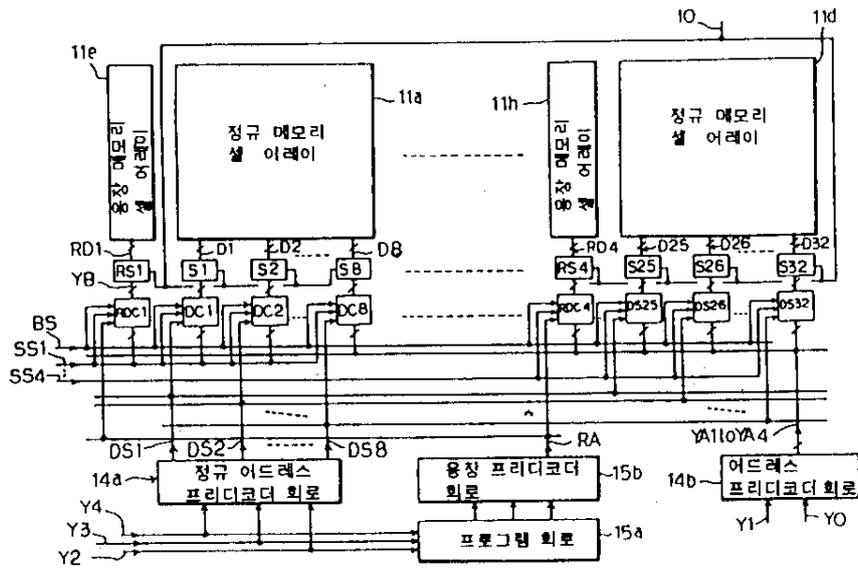
도면4



도면5



도면6



도면7

