

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-27808
(P2010-27808A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 8 E 5 F 1 1 0
 HO 1 L 29/78 6 1 8 B

審査請求 未請求 請求項の数 15 O L (全 28 頁)

(21) 出願番号 特願2008-186469 (P2008-186469)
 (22) 出願日 平成20年7月17日 (2008.7.17)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 安部 由希子
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 (72) 発明者 近藤 浩
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 (72) 発明者 中村 有希
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内

最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ及びその製造方法

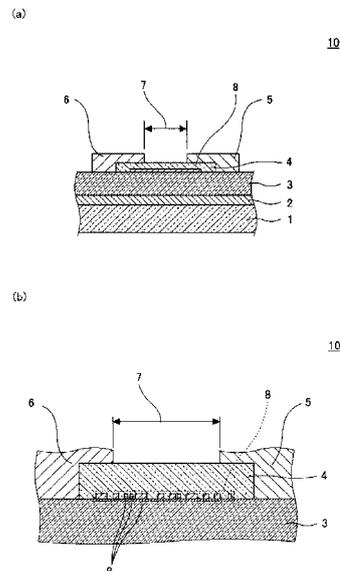
(57) 【要約】

【課題】 実効的な移動度を高め、半導体層とソース・ドレイン電極との間の電気的な接触を良好にすることができる電界効果型トランジスタの構成とその製造方法を提供する。

【解決手段】 酸化物半導体よりなる半導体層4と、ゲート電極2と、ゲート絶縁膜3と、離間して設けられる一対のソース電極5及びドレイン電極6と、ソース電極5とドレイン電極6との間のチャネル領域7であって半導体層4とゲート絶縁膜3との間に設けられる不連続膜8とを有する電界効果型トランジスタ10であって、不連続膜8の抵抗率は、半導体層4の抵抗率より小さいことを特徴とする電界効果型トランジスタ10。

【選択図】 図1

本発明の第1の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図



【特許請求の範囲】**【請求項 1】**

酸化物半導体よりなる半導体層と、
ゲート電極と、ゲート絶縁膜と、
離間して設けられる一対のソース電極及びドレイン電極と、
前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記半導体層と前記ゲート絶縁膜との間に設けられる不連続膜と
を有する電界効果型トランジスタであって、
前記不連続膜の抵抗率は、前記半導体層の抵抗率より小さいことを特徴とする電界効果型トランジスタ。

10

【請求項 2】

更に、前記半導体層と前記ソース電極との間、及び前記半導体層と前記ドレイン電極との間に、不連続膜が設けられることを特徴とする請求項 1 記載の電界効果型トランジスタ。

【請求項 3】

前記ソース電極及び前記ドレイン電極は、前記ゲート絶縁膜上に設けられ、
前記不連続膜は、前記チャンネル領域であって前記ゲート絶縁膜上、前記ソース電極上、及び前記ドレイン電極上に設けられ、
前記半導体層は、前記不連続膜上に設けられることを特徴とする請求項 1 又は 2 記載の電界効果型トランジスタ。

20

【請求項 4】

前記不連続膜は、前記半導体層上に設けられ、
前記ソース電極及び前記ドレイン電極は、前記不連続膜上に設けられ、
前記ゲート絶縁膜は、前記チャンネル領域であって前記不連続膜上に設けられることを特徴とする請求項 1 又は 2 記載の電界効果型トランジスタ。

【請求項 5】

前記半導体層及び前記不連続膜は、同一の元素よりなる n 型の酸化物半導体であり、
前記不連続膜の酸素の含有量は、前記半導体層の酸素の含有量より少ないことを特徴とする請求項 1 乃至 4 何れか一項に記載の電界効果型トランジスタ。

【請求項 6】

前記半導体層及び前記不連続膜は、同一の元素よりなる p 型の酸化物半導体であり、
前記不連続膜の酸素の含有量は、前記半導体層の酸素の含有量より多いことを特徴とする請求項 1 乃至 4 何れか一項に記載の電界効果型トランジスタ。

30

【請求項 7】

前記半導体層又は前記不連続膜がアモルファス金属酸化物であることを特徴とする請求項 1 乃至 6 何れか一項に記載の電界効果型トランジスタ。

【請求項 8】

基材上にゲート電極を形成する工程と、
前記ゲート電極上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にソース電極及びドレイン電極を形成する工程と、
前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記ゲート絶縁膜上に、n 型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、
前記不連続膜上に、該不連続膜と同一の元素よりなり、該不連続膜より酸素の含有量が多い n 型の酸化物半導体よりなる半導体層を形成する半導体層形成工程と
を含む電界効果型トランジスタの製造方法。

40

【請求項 9】

基材上に n 型の酸化物半導体よりなる半導体層を形成する半導体層形成工程と、
前記半導体層上に、該半導体層と同一の元素よりなり、該半導体層より酸素の含有量が少ない n 型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、
前記不連続膜上にソース電極及びドレイン電極を形成する工程と、

50

前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記不連続膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と
を含む電界効果型トランジスタの製造方法。

【請求項 10】

前記半導体層形成工程と前記不連続膜形成工程とを連続して行うことを特徴とする請求項 8 又は 9 に記載の電界効果型トランジスタの製造方法。

【請求項 11】

前記半導体層形成工程及び前記不連続膜形成工程は、物理蒸着法を用いて前記半導体層及び前記不連続膜を夫々形成する工程であり、

10

前記不連続膜形成工程において前記不連続膜を形成する際の雰囲気中の酸素量は、前記半導体層形成工程において前記半導体層を形成する際の雰囲気中の酸素量よりも少ないことを特徴とする請求項 10 に記載の電界効果型トランジスタの製造方法。

【請求項 12】

基材上にゲート電極を形成する工程と、

前記ゲート電極上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にソース電極及びドレイン電極を形成する工程と、

前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記ゲート絶縁膜上に、p 型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、

前記不連続膜上に、該不連続膜と同一の元素よりなり、該不連続膜より酸素の含有量が少ない p 型の酸化物半導体よりなる半導体層を形成する半導体層形成工程と
を含む電界効果型トランジスタの製造方法。

20

【請求項 13】

基材上に p 型の酸化物半導体よりなる半導体層を形成する半導体層形成工程と、

前記半導体層上に、該半導体層と同一の元素よりなり、該半導体層より酸素の含有量が多い p 型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、

前記不連続膜上にソース電極及びドレイン電極を形成する工程と、

前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記不連続膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と

30

を含む電界効果型トランジスタの製造方法。

【請求項 14】

前記半導体層形成工程と前記不連続膜形成工程とを連続して行うことを特徴とする請求項 12 又は 13 に記載の電界効果型トランジスタの製造方法。

【請求項 15】

前記半導体層形成工程及び前記不連続膜形成工程は、物理蒸着法を用いて前記半導体層及び前記不連続膜を夫々形成する工程であり、

前記不連続膜形成工程において前記不連続膜を形成する際の雰囲気中の酸素量は、前記半導体層形成工程において前記半導体層を形成する際の雰囲気中の酸素量よりも多いことを特徴とする請求項 14 に記載の電界効果型トランジスタの製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果型トランジスタ及びその製造方法に係り、特に、移動度を向上させることが容易に可能な電界効果型トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

液晶ディスプレイ、有機 EL (エレクトロルミネセンス) ディスプレイ、電子ペーパー等の FPD (フラットパネルディスプレイ) における画素駆動用のトランジスタとして、アモルファスシリコン TFT (薄膜トランジスタ) や低温多結晶シリコン TFT と並び、

50

酸化物半導体を用いた酸化物半導体 T F T が近年注目を集めている。ここで、T F T すなわち薄膜トランジスタは、電界効果型トランジスタを薄膜の半導体層を用いて構成したものである。

【 0 0 0 3 】

酸化物半導体 T F T は、低温多結晶シリコン T F T に匹敵する或いはこれを凌駕する高いキャリア移動度が得られるポテンシャルを有する。また、材料によっては、特性のばらつきをアモルファスシリコン T F T 並みに小さくでき、歩留まりの向上など量産性に優れるという利点もある。

【 0 0 0 4 】

シリコンを用いた T F T にはない特徴として、酸化物半導体が比較的低温での形成が可能であることと、多くの材料において可視光に対する透明性が得られることが挙げられる。

10

【 0 0 0 5 】

軽量、フレキシブル、高い耐衝撃性、低コストといった特徴を持つディスプレイの実現に向け、プラスチック等のフレキシブル基板を用いる検討が多く進められているが、基板の耐熱性の問題からシリコンを用いることはできない。酸化物半導体 T F T であれば、プラスチック基板の利用も可能になる。更に、可視光に対して透明であることを活かせば、T F T が形成された基板側に光を取り出す構成が可能になるため、製造が容易で開口率の高いディスプレイが得られる。

【 0 0 0 6 】

このような酸化物半導体を用いた T F T、すなわち酸化物半導体の薄膜を半導体層に用いた電界効果型トランジスタには、いくつか公知になっている例がある。

20

【 0 0 0 7 】

例えば特許文献 1 では、基板上において、ゲート電極層上にゲート絶縁膜が形成され、ゲート絶縁膜上であってゲート電極上の領域であるチャンネル領域の両側にソース電極及びドレイン電極が形成され、チャンネル領域、ソース電極及びドレイン電極上に半導体層が設けられた電界効果型トランジスタの例が開示されている。また、特許文献 2 では、ガラス基板上に形成され、Z n O (酸化亜鉛) を半導体層とする透明な電界効果型トランジスタの例が開示されている。

【 0 0 0 8 】

このような電界効果型トランジスタにおいては、半導体層とソース電極及びドレイン電極との間の電氣的な接触が悪化する問題がある。この半導体層とソース電極及びドレイン電極との間の電氣的な接触を良好にすることができる電界効果型トランジスタとして、いくつか公知になっている例がある。

30

【 0 0 0 9 】

まず、特許文献 3 では、基材上に設けられたゲート電極と、該ゲート電極上にゲート絶縁層、酸化物半導体からなるチャンネル層、およびチャンネル領域を有するソース電極とドレイン電極を順次備えた半導体装置において、チャンネル層とソース電極の間、チャンネル層とドレイン電極の間に、チャンネル層より導電率が高い介在層が設けられた構造が開示されている。また、特許文献 4 では、酸化物半導体層と貴金属電極との間に、それらの間の密着性を向上させるための密着性向上層が分散して配置され、酸化物半導体層と貴金属電極が接触する部分を有する電界効果型トランジスタが開示されている。更に、特許文献 4 では、密着性向上層は、島状又はストライプ状に分散し、10 nm 以下の厚さを有し、T i、N i、C r、V、H f、Z r、N b、T a、M o 又は W の少なくとも 1 つを含むこと、及び貴金属電極の材料は、A u、P t 又は P d の少なくとも 1 つを含むことが開示されている。

40

【 0 0 1 0 】

このような酸化物半導体を用いた電界効果型トランジスタにおける酸化物半導体の材料としては、例えば、特許文献 2 では、多結晶である Z n O が半導体層として用いられることが開示されている。また、非特許文献 1 では、非晶質である I n - G a - Z n - O が半

50

導体層として用いられることが開示されている。

【特許文献1】特開2008-060522号公報

【特許文献2】特許3276930号公報

【特許文献3】特開2007-150158号公報

【特許文献4】特開2007-073702号公報

【非特許文献1】Nature、432、488(2004)

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところが、酸化物半導体を半導体層に用いた電界効果型トランジスタにおいては、以下の
ような問題があった。

10

【0012】

特許文献3及び特許文献4に開示される電界効果型トランジスタにおいては、半導体層とソース・ドレイン電極との間に導電率の高い層を介在させることによって、半導体層とソース・ドレイン電極との間の接触を良好にすることができるが、電界効果型トランジスタの移動度が向上しないため、半導体層とソース・ドレイン電極との間に導電率の高い層を介在させない場合と比べ、トランジスタ特性があまり向上しないという問題があった。

【0013】

また、特許文献3に開示される電界効果型トランジスタにおいては、ソース・ドレイン電極が、半導体層の上に形成されるトップコンタクト型のTFETの構成であって、半導体層とソース・ドレイン電極との間に導電率の高い介在層が設けられる構成が開示されているが、この構成は、簡易な製造プロセスによってトップコンタクト型とボトムコンタクト型の両方に適応させることができることができないという問題があった。

20

【0014】

本発明は上記の点に鑑みてなされたものであり、酸化物半導体を半導体層に用いた電界効果型トランジスタにおいて、製造工程数をほとんど増加させることなく実効的な移動度を高め、半導体層とソース・ドレイン電極との間の電氣的な接触を良好にすることができる電界効果型トランジスタ及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

第1の発明に係る電界効果型トランジスタは、酸化物半導体よりなる半導体層と、ゲート電極と、ゲート絶縁膜と、離間して設けられる一対のソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間のチャネル領域であって前記半導体層と前記ゲート絶縁膜との間に設けられる不連続膜とを有する電界効果型トランジスタであって、前記不連続膜の抵抗率は、前記半導体層の抵抗率より小さいことを特徴とする。

30

【0016】

なお、不連続膜とは、互いに離間し、点在する複数の島が集まった集合体を意味し、その結果、連続した膜としては構成されず、不連続な膜として構成されるものをいう。

【0017】

第2の発明は、第1の発明に係る電界効果型トランジスタにおいて、更に、前記半導体層と前記ソース電極との間、及び前記半導体層と前記ドレイン電極との間に、不連続膜が設けられることを特徴とする。

40

【0018】

第3の発明は、第1又は第2の発明に係る電界効果型トランジスタにおいて、前記ソース電極及び前記ドレイン電極は、前記ゲート絶縁膜上に設けられ、前記不連続膜は、前記チャネル領域であって前記ゲート絶縁膜上、前記ソース電極上、及び前記ドレイン電極上に設けられ、前記半導体層は、前記不連続膜上に設けられることを特徴とする。

【0019】

第4の発明は、第1又は第2の発明に係る電界効果型トランジスタにおいて、前記不連続膜は、前記半導体層上に設けられ、前記ソース電極及び前記ドレイン電極は、前記不連

50

続膜上に設けられ、前記ゲート絶縁膜は、前記チャンネル領域であって前記不連続膜上に設けられることを特徴とする。

【0020】

第5の発明は、第1乃至第4の何れか一つの発明に係る電界効果型トランジスタにおいて、前記半導体層及び前記不連続膜は、同一の元素よりなるn型の酸化物半導体であり、前記不連続膜の酸素の含有量は、前記半導体層の酸素の含有量より少ないことを特徴とする。

【0021】

第6の発明は、第1乃至第4の何れか一つの発明に係る電界効果型トランジスタにおいて、前記半導体層及び前記不連続膜は、同一の元素よりなるp型の酸化物半導体であり、前記不連続膜の酸素の含有量は、前記半導体層の酸素の含有量より多いことを特徴とする。

10

【0022】

第7の発明は、第1乃至第6の何れか一つの発明に係る電界効果型トランジスタにおいて、前記半導体層又は前記不連続膜がアモルファス金属酸化物であることを特徴とする。

【0023】

第8の発明に係る電界効果型トランジスタの製造方法は、基材上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にソース電極及びドレイン電極を形成する工程と、前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記ゲート絶縁膜上に、n型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、前記不連続膜上に、該不連続膜と同一の元素よりなり、該不連続膜より酸素の含有量が多いn型の酸化物半導体よりなる半導体層を形成する半導体層形成工程とを含むことを特徴とする。

20

【0024】

なお、本発明における基材とは、基板を意味する。

【0025】

第9の発明に係る電界効果型トランジスタの製造方法は、基材上にn型の酸化物半導体よりなる半導体層を形成する半導体層形成工程と、前記半導体層上に、該半導体層と同一の元素よりなり、該半導体層より酸素の含有量が少ないn型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、前記不連続膜上にソース電極及びドレイン電極を形成する工程と、前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記不連続膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを含む電界効果型トランジスタの製造方法。

30

【0026】

第10の発明は、第8又は第9の発明に係る電界効果型トランジスタの製造方法において、前記半導体層形成工程と前記不連続膜形成工程とを連続して行うことを特徴とする。

【0027】

第11の発明は、第10の発明に係る電界効果型トランジスタの製造方法において、前記半導体層形成工程及び前記不連続膜形成工程は、物理蒸着法を用いて前記半導体層及び前記不連続膜を夫々形成する工程であり、前記不連続膜形成工程において前記不連続膜を形成する際の雰囲気中の酸素量は、前記半導体層形成工程において前記半導体層を形成する際の雰囲気中の酸素量よりも少ないことを特徴とする。

40

【0028】

第12の発明に係る電界効果型トランジスタの製造方法は、基材上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にソース電極及びドレイン電極を形成する工程と、前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記ゲート絶縁膜上に、p型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、前記不連続膜上に、該不連続膜と同一の元素よりなり、該不連続膜より酸素の含有量が少ないp型の酸化物半導体よりなる半導体層を形成する半導体層形成工程とを含むことを特徴とする。

50

【0029】

第13の発明に係る電界効果型トランジスタの製造方法は、基材上にp型の酸化物半導体よりなる半導体層を形成する半導体層形成工程と、前記半導体層上に、該半導体層と同一の元素よりなり、該半導体層より酸素の含有量が多いp型の酸化物半導体よりなる不連続膜を形成する不連続膜形成工程と、前記不連続膜上にソース電極及びドレイン電極を形成する工程と、前記ソース電極と前記ドレイン電極との間のチャンネル領域であって前記不連続膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを含む電界効果型トランジスタの製造方法。

【0030】

第14の発明は、第12又は第13の発明に係る電界効果型トランジスタの製造方法において、前記半導体層形成工程と前記不連続膜形成工程とを連続して行うことを特徴とする。

10

【0031】

第15の発明は、第14の発明に係る電界効果型トランジスタの製造方法において、前記半導体層形成工程及び前記不連続膜形成工程は、物理蒸着法を用いて前記半導体層及び前記不連続膜を夫々形成する工程であり、前記不連続膜形成工程において前記不連続膜を形成する際の雰囲気中の酸素量は、前記半導体層形成工程において前記半導体層を形成する際の雰囲気中の酸素量よりも多いことを特徴とする。

【発明の効果】

【0032】

本発明によれば、製造工程数をほとんど増加させることなく、実効的な移動度を高め、半導体層とソース・ドレイン電極との間の電氣的な接触を良好にすることができる電界効果型トランジスタを提供することができる。

20

【発明を実施するための最良の形態】

【0033】

次に、本発明を実施するための最良の形態について図面と共に説明する。

(第1の実施の形態)

図1乃至図3を参照し、本発明の第1の実施の形態に係る電界効果型トランジスタ及びその製造方法を説明する。

【0034】

始めに、図1を参照し、本実施の形態に係る電界効果型トランジスタの構成を説明する。

30

【0035】

図1(a)及び図1(b)は、本実施の形態に係る電界効果型トランジスタ10の構成を模式的に示す断面図である。図1(b)は、図1(a)の断面図に示される半導体層及び不連続膜の構成を拡大して示す断面図である。ただし、図1は、本実施の形態に係る電界効果型トランジスタの一例を示すものであり、本実施の形態に係る電界効果型トランジスタは、図1の構成に限定されない(以下の実施の形態、変形例においても同様)。

【0036】

図1(a)に示されるように、本実施の形態に係る電界効果型トランジスタ10は、基板1、ゲート電極2、ゲート絶縁膜3、半導体層4、ソース電極5及びドレイン電極6を有する。電界効果型トランジスタ10は、ボトムゲート型(又はトップコンタクト型)の構造を有する。

40

【0037】

基板1上に、下から順にゲート電極2、ゲート絶縁膜3が積層される。ゲート絶縁膜3上に、酸化物半導体よりなる半導体層4が形成される。半導体層4上に、ソース電極5及びドレイン電極6が、所定の間隔で離間して設けられる。ソース電極5及びドレイン電極6との間の部分は、チャンネル領域7となる部分である。なお、図1(a)に示されるように、ソース電極5及びドレイン電極6の一部は、絶縁層3上であって半導体層4が形成されない部分上に形成されることもできる。

50

【0038】

本実施の形態に係る電界効果型トランジスタ10には、チャンネル領域7において、半導体層4とゲート絶縁膜3との間に不連続膜8が設けられる。図1(b)にチャンネル領域7における半導体層4と不連続膜8の構成が拡大して示されるように、不連続膜8は、複数の島9の集合体である。複数の島9は、互いに離間し、点在するため、ソース電極5とドレイン電極6との間を、島9のみを径由して通流する電流経路は存在しない。

【0039】

基板1としては、ガラスやプラスチックを用いることができる。特にプラスチックを用いれば、フレキシブルなトランジスタが実現する。

【0040】

ゲート電極2としては、良好な導電性を有するものであれば、特に限定されるものではないが、例えば、Al、Cr、Au、Ag、Ta、In、Mo、W、Ni、Ti等の単体の金属よりなる金属膜、これらの金属膜を複数積層した積層膜若しくはこれらの金属の合金よりなる金属膜、 In_2O_3 、 SnO_2 、 ZnO 等の導電性酸化物膜、酸化物膜に添加物を加えたITO(Sn添加 In_2O_3)、Ga添加 ZnO 、Al添加 ZnO 、Sb添加 SnO_2 等の膜、又はこれらの材料が微粒子として分散された膜等を用いることができる。

10

【0041】

ゲート絶縁膜3としては、十分な絶縁性を確保することができる無機絶縁材料及び有機絶縁材料を用いることができる。 SiO_2 、 Al_2O_3 、 Ta_2O_5 、 Y_2O_3 、 HfO_2 、 Nb_2O_5 、 ZrO_2 等の絶縁性金属酸化物や SiN_x を用いることができる。

20

【0042】

ソース電極5とドレイン電極6としては、ゲート電極と同様の材料を用いることができる。

【0043】

半導体層4としては、半導性を有するものであれば、特に限定されるものではないが、例えば、酸化物半導体、化合物半導体等を用いることができる。このうち、酸化物半導体としては、特に限定されるものではないが、例えば ZnO 、 SnO_2 、 In_2O_3 、 TiO_2 、 V_2O_5 、 SrTiO_3 、 NiO 、又はこれらに添加物を加えたもの等を用いることができる。また、 In-Zn-O 又は In-Ga-Zn-O 等、複数の金属を含む酸化物も用いることができる。

30

【0044】

上記の酸化物半導体のうち、 ZnO 、 SnO_2 、 In_2O_3 、 TiO_2 、 V_2O_5 、 SrTiO_3 、 In-Zn-O 、 In-Ga-Zn-O 、又はこれらに添加物を加えたものは、一般的にn型半導体として用いられる。また、上記の酸化物半導体のうち、 NiO 、又はこれに添加物を加えたものは、一般的にp型半導体として用いられる。ただし、 ZnO 等の酸化物半導体においては、添加元素を変更することにより、シリコンのようにn型半導体又はp型半導体の何れにも制御することが可能なものもあるため、上記の酸化物半導体は、n型半導体又はp型半導体として限定されるものではない。

【0045】

また、半導体層と不連続膜を形成する酸化物としては、アモルファスの金属酸化物が適している。

40

【0046】

半導体層及び不連続膜が多結晶の金属酸化物よりなるとき、不連続膜の島の部分と半導体層との境界において構造の不整合が生じることがあるため、結晶粒(又は結晶子)のサイズが小さくキャリアが多数の結晶粒(又は結晶子)の粒界(界面)を横切って移動する場合には、移動度が低下することが知られている。本発明においても、不連続膜の島の部分と半導体層との境界がキャリアの移動度を低下させる要因になりうる。一方で、半導体層及び不連続膜がアモルファスの金属酸化物よりなるとき、不連続膜の島の部分と半導体層との境界において構造の不整合が生じることがないため、キャリアが移動する場合にも

50

移動度はあまり低下しない。このようなアモルファス金属酸化物として、In、Ga、Znを含む酸化物膜や、InとZnを含む酸化物膜等が用いられる。

【0047】

不連続膜8は、半導体層4よりも抵抗率が低い材料、例えば金属を用いて形成することができる。また、不連続膜8が形成される領域は、少なくともチャンネル領域7の一部を含む領域であればよく、図1(a)に示されるように、半導体層4が形成される領域の全てに形成されることもでき、半導体層4が形成される領域の全てに形成されなくてもよい。

【0048】

ここで、不連続膜8が、本実施の形態に係る電界効果型トランジスタ10の移動度を増大させる作用を説明する。

10

【0049】

本実施の形態に係る電界効果型トランジスタ10は、ゲート電極2に印加される電圧の値によって、トランジスタがONの状態又はトランジスタがOFFの状態になる。一般に、電界効果型トランジスタは、トランジスタがONの状態であるときには、半導体層のゲート絶縁膜との界面の近傍がチャンネルとなり、キャリアは、チャンネルとなった半導体層を通過してソース電極からドレイン電極へ移動する。ところが、本実施の形態に係る電界効果型トランジスタ10においては、半導体層4とゲート絶縁膜3の間に複数の島9の集合体である不連続膜8が設けられるため、キャリアは、不連続膜8中の島9と半導体層4を伝うように通ってソース電極からドレイン電極へ移動する。島9は半導体層4よりも抵抗率が低い(導電率が高い)材料よりなるため、キャリアは、島9において半導体層4よりも速く移動する。一方、島9が存在しない部分の半導体層4は、電界効果型トランジスタの半導体層(活性層)としての機能を有する。このような状態は、不連続膜が存在しない場合の半導体層の実効的なチャンネル長が、不連続膜が存在することによって短くなった状態と同等であり、これによりトランジスタの実効的な移動度が増大する。

20

【0050】

以上、本実施の形態に係る電界効果型トランジスタでは、不連続膜を半導体層とゲート絶縁膜との間に設けることによって、実効的なチャンネル長を短縮する効果により、電界効果移動度を向上させることができる。

【0051】

次に、図2及び図3を用いて、本実施の形態に係る電界効果型トランジスタの製造方法を説明する。

30

【0052】

図2は、本実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。図3は、本実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

【0053】

本実施の形態に係る電界効果型トランジスタの製造方法は、図2に示されるようなステップS1乃至ステップS5の5つの工程を含む。また、図2のステップS1乃至ステップS5の各工程を行った後の電界効果型トランジスタの断面構造は、図3(a)乃至図3(e)に示される。

40

【0054】

始めにステップS1の工程を行い、図3(a)に示されるように、基材(基板)1上にゲート電極2を形成する。基材(基板)1上に、公知の成膜方法を用い、例えばAl等の金属を成膜することによって、ゲート電極を形成する。

【0055】

ゲート電極の形成方法としては、特に限定されるものではないが、スパッタや真空蒸着、イオンプレーティングといった物理蒸着法(物理気相成長法)や、プラズマCVD等の化学気相成長法、ゾルゲル法等の溶液塗布法、メッキ法、導電性微粒子の分散した溶液や導電性ペーストの塗布等の公知の成膜方法を用いることができる。

50

【0056】

次に、ステップS2の工程を行い、図3(b)に示されるように、ゲート電極2上にゲート絶縁膜3を形成する。

【0057】

次に、ステップS3の工程を行い、図3(c)に示されるように、ゲート絶縁膜3上にn型の酸化物半導体よりなる不連続膜8を形成する。

【0058】

不連続膜8の形成方法としては、特に限定されるものではないが、スパッタ、PLD(レーザアブレーション)、真空蒸着、イオンプレーティングといった物理蒸着法(物理気相成長法)や、プラズマCVD等の化学気相成長法、ゾルゲル法等の溶液塗布法を用いることができる。

10

【0059】

また、不連続膜8を不連続な膜として成膜する方法は、特に限定されるものではないが、例えば、連続膜を形成した後にエッチング等の処理を行って不連続膜を形成する方法、極薄膜を形成するような成膜条件下で成膜を行って不連続膜を形成する方法、有機成分を多く含む溶液を用いて塗布法によって溶液を塗布し、焼成する際に有機成分を除去することによって不連続膜を形成する方法、等を用いることができる。このうち、極薄膜を形成するような成膜条件下で成膜を行って不連続膜を形成する方法は、膜を堆積する時間が極端に短いと膜は島状になることが知られており、これを利用して不連続膜を形成する方法である。この極薄膜を形成する方法、及び有機成分を多く含む溶液を塗布する方法は、簡易な製造プロセスによって不連続膜を形成することが可能な方法である。

20

【0060】

更に、不連続膜8を形成する領域をパターニングするパターニング方法としては、特に限定されるものではないが、リフトオフによるパターニング、フォトリソグラフィとエッチングによるパターニングを用いることができる。リフトオフによるパターニングを行う場合、不連続膜8と半導体層4とを同時に同一の形状にパターニングすることもでき、その場合、製造工程の工程数を更に少なくすることができる。また、エッチングによりパターニングを行う場合も、不連続膜8及び半導体層4が同じ元素からなる酸化物であるので、ドライエッチングによりパターニングを行う場合は同じエッチングガス、ウェットエッチングによりパターニングを行う場合は同じエッチャントによる加工が可能であり、一度にパターニングができるため、製造工程の工程数を更に少なくすることができる。

30

【0061】

次に、ステップS4の工程を行い、図3(d)に示されるように、不連続膜8上に、不連続膜8と同一の元素よりなり、不連続膜8より酸素の含有量の多いn型の酸化物半導体よりなる半導体層4を形成する。

【0062】

ここで、スパッタ等の物理蒸着法(物理気相成長法)により、不連続膜8と半導体層4とを同じ元素よりなる酸化物半導体で形成する場合、半導体層形成工程と不連続膜形成工程とで、成膜するときの雰囲気中の酸素量を変えることによって、不連続膜8と半導体層4の酸素の含有量を変えることができる。本実施の形態では、不連続膜8及び半導体層4としてn型の酸化物半導体を用いるため、酸素の含有量が少ないほど低抵抗になる。従って、雰囲気中の酸素量を減少させた状態で不連続膜8を形成し、雰囲気中の酸素量を増大させた状態で半導体層4を形成する。

40

【0063】

次に、ステップS5の工程を行い、図3(e)に示されるように、半導体層4上にソース電極5及びドレイン電極6を形成する。

【0064】

ソース電極5及びドレイン電極6は、半導体層4上に所定の間隔で離間して設けられる。また、ソース電極5及びドレイン電極6を所定の間隔で離間して配置する方法としては、シャドウマスクを用いた成膜や、印刷やインクジェットによる塗布、エッチングによる

50

パターンニング等の方法を用いることができる。

【0065】

以上、ステップS1乃至ステップS5の工程を含む製造方法を用いて電界効果型トランジスタを製造することにより、実効的チャネル長短縮の効果が得られる電界効果型トランジスタを、工程数の少ない製造方法を用いて製造することができる。

【0066】

従って、酸化物半導体を半導体層に用いた電界効果型トランジスタにおいて、従来に比べ製造工程数の増加がほとんどない製造方法によって、実効的なキャリア移動度を高めると共に、半導体層とソース電極及びドレイン電極との間の電氣的な接触を良好にすることによって、トランジスタ特性を向上させると共にトランジスタ特性のばらつきを低減することができる。

10

【0067】

なお、本実施の形態では、半導体層4及び不連続膜8としてn型酸化物半導体を用いるが、半導体層4及び不連続膜8として、n型酸化物半導体に代え、n型化合物半導体その他のn型半導体、又はp型酸化物半導体若しくはp型化合物半導体その他のp型半導体、を用いることができる。ここで、スパッタ等の真空蒸着法（物理気相成長法）を用いてp型半導体よりなる不連続膜8及び半導体層4を形成する場合、雰囲気中の酸素量を増大させた状態で不連続膜8を形成し、雰囲気中の酸素量を減少させた状態で半導体層4を形成する。あるいは、不連続膜8として、半導体層4がn型半導体又はp型半導体の何れかであるかに関わらず、金属を用いることもできる。

20

【0068】

また、本実施の形態では、ステップS3の不連続膜形成工程と、ステップS4の半導体層形成工程とを、連続して行うことができる。不連続膜形成工程と半導体層形成工程とを連続して行うことによって、半導体層と不連続層との界面の汚染を防ぐことができるため、電氣的な接触抵抗を低減する効果を高めることができる。

（第1の実施の形態の変形例）

次に、図4乃至図6を参照し、第1の実施の形態の変形例について説明する。

【0069】

始めに、図4を参照し、本変形例に係る電界効果型トランジスタの構成を説明する。

【0070】

図4(a)及び図4(b)は、本変形例に係る電界効果型トランジスタ20の構成を模式的に示す断面図である。図4(b)は、図4(a)の断面図に示される半導体層及び不連続膜の構成を拡大して示す断面図である。

30

【0071】

本変形例に係る電界効果型トランジスタ20は、半導体層と電極との間にも不連続膜が設けられる点で、第1の実施の形態に係る電界効果型トランジスタと相違する。

【0072】

第1の実施の形態において、不連続膜は、半導体層とゲート絶縁膜との間だけに設けられるのと相違し、本変形例に係る電界効果型トランジスタ20においては、図4に示されるように、半導体層14とソース電極15との間、半導体層14とドレイン電極16との間にも不連続膜18bが設けられる。

40

【0073】

図4(a)に示されるように、本変形例に係る電界効果型トランジスタ20は、基板11、ゲート電極12、ゲート絶縁膜13、半導体層14、ソース電極15及びドレイン電極16を有する。本変形例に係る電界効果型トランジスタ20は、第1の実施の形態に係る電界効果型トランジスタ10と同様に、ボトムゲート型（又はトップコンタクト型）の構造を有する。

【0074】

基板11上に、下から順にゲート電極12、ゲート絶縁膜13が積層され、ゲート絶縁膜13上に、酸化物半導体よりなる半導体層14が形成され、半導体層14上に、ソース

50

電極 15 及びドレイン電極 16 が、所定の間隔で離間して設けられ、ソース電極 15 及びドレイン電極 16 との間の部分がチャンネル領域 17 となるのは、第 1 の実施の形態と同一である。

【0075】

しかし、本変形例に係る電界効果型トランジスタ 20 には、チャンネル領域 17 において、半導体層 14 とゲート絶縁膜 13 との間に不連続膜 18 a が設けられると共に、半導体層 14 とソース電極 15 及びドレイン電極 16 との間にも不連続膜 18 b が設けられる。すなわち、電界効果型トランジスタ 20 においては、不連続膜 18 は、不連続膜 18 a 及び不連続膜 18 b よりなる。

【0076】

図 4 (b) にチャンネル領域 17 における半導体層 14 と不連続膜 18 a 及び 18 b の構成が拡大して示されるように、不連続膜 18 a 及び 18 b は、それぞれ複数の島 19 a の集合体及び複数の島 19 b の集合体である。複数の島 19 a 及び 19 b が、互いに離間し、点在し、ソース電極 15 とドレイン電極 16 との間を、島 19 a 又は 19 b のみを径由して通流する電流経路は存在しないのは、第 1 の実施の形態と同様である。なお、本変形例においては、図 4 (b) に示されるように、チャンネル領域 17 であって半導体層 14 上にも不連続膜 18 b が設けられるが、半導体層 14 とソース電極 15 及びドレイン電極 16 との間に設けられればよいのであって、不連続膜 18 b は、チャンネル領域 17 であって半導体層 14 上には設けられなくてもよい。

【0077】

本変形例に係る電界効果型トランジスタ 20 の基板 11、ゲート電極 12、ゲート絶縁膜 13、半導体層 14、ソース電極 15、ドレイン電極 16 及び不連続膜 18 (18 a 及び 18 b) は、それぞれ第 1 の実施の形態において基板 1、ゲート電極 2、ゲート絶縁膜 3、半導体層 4、ソース電極 5、ドレイン電極 6 及び不連続膜 8 として用いることができる材料と同一の材料を用いることができる。

【0078】

また、不連続膜 18 が、本変形例に係る電界効果型トランジスタ 20 の移動度を増大させる作用は、第 1 の実施の形態と同一である。

【0079】

加えて、本変形例に係る電界効果型トランジスタ 20 では、半導体層 14 の上下両方に不連続膜 18 が積層されている。本変形例では、半導体層 14 とソース電極 15 及びドレイン電極 16 の間にも不連続膜 18 が存在し、不連続膜 18 中の島 19 が電気的な接触を改善させる効果を持つ。半導体層と電極との間の接触抵抗の増大や顕著な非オーミック性はトランジスタの特性を悪化させ、特性ばらつきの要因にもなるため好ましくないが、不連続膜 18 が存在することで接触抵抗の増大等が抑制でき、安定して特性の良いトランジスタが得られる。

【0080】

以上、本変形例に係る電界効果型トランジスタでは、不連続膜を半導体層とゲート絶縁膜との間に設けると共に半導体層と電極との間にも設けることによって、実効的チャンネル長を短縮すると共に電気的な接触を改善させる効果により、電界効果移動度を向上させることができる。

【0081】

次に、図 5 及び図 6 を用いて、本変形例に係る電界効果型トランジスタの製造方法を説明する。

【0082】

図 5 は、本変形例に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。図 6 は、本変形例に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

【0083】

10

20

30

40

50

本変形例に係る電界効果型トランジスタの製造方法は、図5に示されるようなステップS11乃至ステップS16の6つの工程を含む。また、図5のステップS11乃至ステップS16の各工程を行った後の電界効果型トランジスタの断面構造は、図6(a)乃至図6(f)に示される。

【0084】

始めにステップS11の工程を行い、図6(a)に示されるように、基材(基板)11上にゲート電極12を形成する。ステップS11の工程は、第1の実施の形態におけるステップS1の工程と同一である。

【0085】

次に、ステップS12の工程を行い、図6(b)に示されるように、ゲート電極12上にゲート絶縁膜13を形成する。ステップS12の工程は、第1の実施の形態におけるステップS2の工程と同一である。

10

【0086】

次に、ステップS13の工程を行い、図6(c)に示されるように、ゲート絶縁膜13上にn型の酸化物半導体よりなる不連続膜18aを形成する。ステップS13の工程は、第1の実施の形態におけるステップS3の工程と同一である。

【0087】

次に、ステップS14の工程を行い、図6(d)に示されるように、不連続膜18a上に、不連続膜18aと同一の元素よりなり、不連続膜18aより酸素の含有量の多いn型の酸化物半導体よりなる半導体層14を形成する。ステップS14の工程は、第1の実施の形態におけるステップS4の工程と同一である。

20

【0088】

次に、ステップS15の工程を行い、図6(e)に示されるように、半導体層14上に、半導体層と同一の元素よりなり、半導体層14より酸素の含有量が少ないn型の酸化物半導体よりなる不連続膜18bを形成する。

【0089】

不連続膜18bの形成方法としては、ステップS13における不連続膜18aの形成方法と同様に、特に限定されるものではないが、スパッタ、PLD(レーザアブレーション)、真空蒸着、イオンプレーティングといった物理蒸着法(物理気相成長法)や、プラズマCVD等の化学気相成長法、ゾルゲル法等の溶液塗布法を用いることができる。

30

【0090】

また、不連続膜18bを不連続な膜として成膜する方法は、ステップS13における不連続膜18aを不連続な膜として成膜する方法と同様に、特に限定されるものではないが、例えば、連続膜を形成した後にエッチング等の処理を行って不連続膜を形成する方法、極薄膜を形成するような成膜条件下で成膜を行って不連続膜を形成する方法、有機成分を多く含む溶液を用いて塗布法によって溶液を塗布し、焼成する際に有機成分を除去することによって不連続膜を形成する方法、等を用いることができる。特に、極薄膜を形成する方法、及び有機成分を多く含む溶液を塗布する方法は、簡易な製造プロセスによって不連続膜を形成することが可能な方法である。

【0091】

40

更に、不連続膜18bを形成する領域をパターニングするパターニング方法としては、特に限定されるものではないが、リフトオフ法を用いることができる。リフトオフ法を用いる場合、不連続膜18a、半導体層14及び不連続膜18bを同時に同一の形状にパターニングすることもでき、その場合、製造工程の工程数を更に少なくすることができる。

【0092】

次に、ステップS16の工程を行い、図6(f)に示されるように、半導体層14上にソース電極15及びドレイン電極16を形成する。ステップS16の工程は、第1の実施の形態におけるステップS5の工程と同一である。

【0093】

以上、ステップS11乃至ステップS16の工程を含む製造方法を用いて電界効果型ト

50

ランジスタを製造することにより、実効的チャネル長短縮の効果及び半導体層と電極との間の接触抵抗の低減の効果を得られる電界効果型トランジスタを、工程数の少ない製造方法を用いて製造することができる。

【0094】

なお、本変形例においても、半導体層14並びに不連続膜18a及び18bとしてn型酸化物半導体を用いるが、半導体層14並びに不連続膜18a及び18bとして、n型酸化物半導体に代え、n型化合物半導体その他のn型半導体、又はp型酸化物半導体若しくはp型化合物半導体その他のp型半導体、を用いることができる。又は、不連続膜18aとして、半導体層14がn型半導体又はp型半導体の何れかであるかに関わらず、金属を用いることもできる。

10

【0095】

また、本変形例では、ステップS13の不連続膜形成工程、ステップS14の半導体層形成工程、及びステップS15の不連続膜形成工程を連続して行うことができる。2つの不連続膜形成工程と半導体層形成工程とを連続して行うことによって、半導体層と不連続層との界面の汚染を防ぐことができるため、電気的な接触抵抗を低減する効果を高めることができる。

(第2の実施の形態)

次に、図7乃至図9を参照し、第2の実施の形態について説明する。

【0096】

始めに、図7を参照し、本実施の形態に係る電界効果型トランジスタの構成を説明する。

20

【0097】

図7(a)及び図7(b)は、本実施の形態に係る電界効果型トランジスタ30の構成を模式的に示す断面図である。図7(b)は、図7(a)の断面図に示される半導体層及び不連続膜の構成を拡大して示す断面図である。

【0098】

本実施の形態に係る電界効果型トランジスタ30は、ソース電極及びドレイン電極が半導体層のゲート絶縁膜と同じ側に一体に設けられる点で、第1の実施の形態の変形例に係る電界効果型トランジスタと相違する。

【0099】

第1の実施の形態の変形例において、ソース電極及びドレイン電極は半導体層のゲート絶縁膜と反対側に設けられ、半導体層とソース電極及びドレイン電極との間の不連続膜は、半導体層のゲート絶縁膜との間の不連続膜と反対側に設けられるのと相違し、本実施の形態に係る電界効果型トランジスタ30は、図7に示されるように、ソース電極25及びドレイン電極26は半導体層24のゲート絶縁膜23と同じ側に設けられ、半導体層24とソース電極25及びドレイン電極26との間の不連続膜は、半導体層24とゲート絶縁膜23との間の不連続膜と同じ側に一体で設けられる。

30

【0100】

図7(a)に示されるように、本実施の形態に係る電界効果型トランジスタ30は、基板21、ゲート電極22、ゲート絶縁膜23、半導体層24、ソース電極25及びドレイン電極26を有し、半導体層24とゲート絶縁膜23、ソース電極25及びドレイン電極26との間に、不連続膜28を有する。本実施の形態に係る電界効果型トランジスタ30は、第1の実施の形態の変形例に係る電界効果型トランジスタ20と同様に、ボトムゲート型(又はトップコンタクト型)の構造を有する。

40

【0101】

基板21上に、下から順にゲート電極22、ゲート絶縁膜23が積層されるのは、第1の実施の形態の変形例と同一である。しかし、本実施の形態に係る電界効果型トランジスタ30には、ゲート絶縁膜23上に、ソース電極25及びドレイン電極26が、所定の間隔で離間して設けられ、ソース電極25及びドレイン電極26との間の部分がチャネル領域27となる。更に、チャネル領域27であってゲート絶縁膜23上、ソース電極25上

50

、ドレイン電極 26 上に、不連続膜 28 が一体に設けられる。また、不連続膜 28 上に、半導体層 24 が設けられる。

【0102】

図 7 (b) に不連続膜 28 の構成が拡大して示されるように、不連続膜 28 が複数の島 29 の集合体であり、複数の島 29 が、互いに離間し、点在し、ソース電極 25 とドレイン電極 26 との間を、島 29 のみを径由して通流する電流経路は存在しないのは、第 1 の実施の形態の変形例と同様である。

【0103】

本実施の形態に係る電界効果型トランジスタ 30 の基板 21、ゲート電極 22、ゲート絶縁膜 23、半導体層 24、ソース電極 25、ドレイン電極 26 及び不連続膜 28 は、それぞれ第 1 の実施の形態の変形例において基板 11、ゲート電極 12、ゲート絶縁膜 13、半導体層 14、ソース電極 15、ドレイン電極 16 及び不連続膜 18 として用いることができる材料と同一の材料を用いることができる。

10

【0104】

また、不連続膜 28 が、本実施の形態に係る電界効果型トランジスタ 30 の移動度を増大させる作用、及び半導体層とソース電極及びドレイン電極との接触抵抗を低減させる作用は、第 1 の実施の形態の変形例と同一である。

【0105】

ただし、本実施の形態においては、不連続膜 28 がソース電極 25、ドレイン電極 26、及びゲート絶縁膜 23 に接しており、一層の不連続膜によって実効的な移動度を増大させると共に電氣的な接触を改善することができるという効果を有し、更に、電界効果型トランジスタの構成がより単純になるという効果を有する。

20

【0106】

以上、本実施の形態に係る電界効果型トランジスタでは、不連続膜を半導体層とゲート絶縁膜との間に設けると共に半導体層と電極との間にも設けることによって、実効的チャネル長を短縮すると共に電氣的な接触を改善させる効果により、電界効果移動度を向上させることができる。

【0107】

次に、図 8 及び図 9 を用いて、本実施の形態に係る電界効果型トランジスタの製造方法を説明する。

30

【0108】

図 8 は、本実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。図 9 は、本実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

【0109】

本実施の形態に係る電界効果型トランジスタの製造方法は、図 8 に示されるようなステップ S 21 乃至ステップ S 25 の 5 つの工程を含む。また、図 8 のステップ S 21 乃至ステップ S 25 の各工程を行った後の電界効果型トランジスタの断面構造は、図 9 (a) 乃至図 9 (e) に示される。

40

【0110】

始めにステップ S 21 の工程を行い、図 9 (a) に示されるように、基材 (基板) 21 上にゲート電極 22 を形成する。ステップ S 21 の工程は、第 1 の実施の形態の変形例におけるステップ S 11 の工程と同一である。

【0111】

次に、ステップ S 22 の工程を行い、図 9 (b) に示されるように、ゲート電極 22 上にゲート絶縁膜 23 を形成する。ステップ S 22 の工程は、第 1 の実施の形態の変形例におけるステップ S 12 の工程と同一である。

【0112】

次に、ステップ S 23 の工程を行い、図 9 (c) に示されるように、ゲート絶縁膜 23

50

上にソース電極 25 及びドレイン電極 26 を形成する。ステップ S 23 の工程は、第 1 の実施の形態の変形例におけるステップ S 16 の工程と同一である。

【0113】

次に、ステップ S 24 の工程を行い、図 9 (d) に示されるように、チャンネル領域 27 であってゲート絶縁膜 23 上に n 型の酸化物半導体よりなる不連続膜 28 を形成する。ステップ S 24 の工程は、第 1 の実施の形態の変形例におけるステップ S 13 及びステップ S 15 の工程を同時に行うものである。

【0114】

次に、ステップ S 25 の工程を行い、図 9 (e) に示されるように、不連続膜 28 上に、不連続膜 28 と同一の元素よりなり、不連続膜 28 より酸素の含有量の多い n 型の酸化物半導体よりなる半導体層 24 を形成する。ステップ S 25 の工程は、第 1 の実施の形態の変形例におけるステップ S 14 の工程と同一である。

10

【0115】

以上、ステップ S 21 乃至ステップ S 25 の工程を含む製造方法を用いて電界効果型トランジスタを製造することにより、半導体層 24 とゲート絶縁膜 23 との間の不連続膜、並びに半導体層 24 とソース電極 25 及びドレイン電極 26 と間の不連続膜を一体で形成することができるため、実効的チャンネル長短縮の効果及び半導体層と電極との間の接触抵抗の低減の効果を得られる電界効果型トランジスタを、更に工程数の少ない製造方法を用いて製造することができる。

【0116】

なお、本実施の形態においても、半導体層 24 及び不連続膜 28 として n 型酸化物半導体を用いるが、半導体層 24 及び不連続膜 28 として、n 型酸化物半導体に代え、n 型化合物半導体その他の n 型半導体、又は p 型酸化物半導体若しくは p 型化合物半導体その他の p 型半導体、を用いることができる。又は、不連続膜 28 として、半導体層 24 が n 型半導体又は p 型半導体の何れかであるかに関わらず、金属を用いることもできる。

20

【0117】

また、本実施の形態では、ステップ S 24 の不連続膜形成工程と、ステップ S 25 の半導体層形成工程とを、連続して行うことができる。不連続膜形成工程と半導体層形成工程とを連続して行うことによって、半導体層と不連続層との界面の汚染を防ぐことができるため、電気的な接触抵抗を低減する効果を高めることができる。

30

(第 3 の実施の形態)

次に、図 10 乃至図 12 を参照し、第 3 の実施の形態について説明する。

【0118】

始めに、図 10 を参照し、本実施の形態に係る電界効果型トランジスタの構成を説明する。

【0119】

図 10 (a) 及び図 10 (b) は、本実施の形態に係る電界効果型トランジスタ 40 の構成を模式的に示す断面図である。図 10 (b) は、図 10 (a) の断面図に示される半導体層及び不連続膜の構成を拡大して示す断面図である。

【0120】

本実施の形態に係る電界効果型トランジスタ 40 は、トップゲート型 (又はボトムコンタクト型) の構成を有する点で、第 2 の実施の形態に係る電界効果型トランジスタと相違する。

40

【0121】

第 2 の実施の形態において、ボトムゲート型 (又はトップコンタクト型) の構成を有するのと相違し、本実施の形態に係る電界効果型トランジスタ 40 は、図 10 に示されるように、ゲート電極 32 及びゲート絶縁膜 33 が半導体層 34 よりも上方に設けられるため、トップゲート型 (又はボトムコンタクト型) の構成を有する。

【0122】

図 10 (a) に示されるように、本実施の形態に係る電界効果型トランジスタ 40 は、

50

基板 3 1、ゲート電極 3 2、ゲート絶縁膜 3 3、半導体層 3 4、ソース電極 3 5 及びドレイン電極 3 6 を有し、半導体層 3 4 とゲート絶縁膜 3 3、ソース電極 3 5 及びドレイン電極 3 6 との間に、不連続膜 3 8 を有する。

【 0 1 2 3 】

本実施の形態に係る電界効果型トランジスタ 4 0 では、基板 3 1 上に、半導体 3 4 が設けられ、半導体 3 4 上に、不連続膜 3 8 が設けられ、不連続膜 3 8 上に、ソース電極 3 5 及びドレイン電極 3 6 が所定の間隔で離間して設けられ、ソース電極 3 5 及びドレイン電極 3 6 との間の部分がチャネル領域 3 7 となる。更に、チャネル領域 3 7 であって不連続膜 3 8 上、ソース電極 3 5 上、ドレイン電極 3 6 上に、ゲート絶縁膜 3 3 が設けられる。また、ゲート絶縁膜 3 3 上に、ゲート電極 3 2 が設けられる。

10

【 0 1 2 4 】

図 1 0 (b) に不連続膜 3 8 の構成が拡大して示されるように、不連続膜 3 8 が複数の島 3 9 の集合体であり、複数の島 3 9 が、互いに離間し、点在し、ソース電極 3 5 とドレイン電極 3 6 との間を、島 3 9 のみを径由して通流する電流経路は存在しないのは、第 2 の実施の形態と同様である。

【 0 1 2 5 】

本実施の形態に係る電界効果型トランジスタ 4 0 の基板 3 1、ゲート電極 3 2、ゲート絶縁膜 3 3、半導体層 3 4、ソース電極 3 5、ドレイン電極 3 6 及び不連続膜 3 8 は、それぞれ第 2 の実施の形態において基板 2 1、ゲート電極 2 2、ゲート絶縁膜 2 3、半導体層 2 4、ソース電極 2 5、ドレイン電極 2 6 及び不連続膜 2 8 として用いることができる材料と同一の材料を用いることができる。

20

【 0 1 2 6 】

また、不連続膜 3 8 が、本実施の形態に係る電界効果型トランジスタ 4 0 の移動度を増大させる作用、半導体層とソース電極及びドレイン電極との接触抵抗を低減させる作用、並びに半導体層とゲート絶縁膜、ソース電極及びドレイン電極と間の不連続膜が一体に設けられ、電界効果型トランジスタの構成が単純になるという作用は、第 2 の実施の形態と同一である。

【 0 1 2 7 】

以上、本実施の形態に係る電界効果型トランジスタでは、トップゲート型（又はボトムコンタクト型）の構成を有する場合においても、不連続膜 3 8 がソース電極 3 5、ドレイン電極 3 6、及びゲート絶縁膜 3 3 に接しており、一層の不連続膜によって実行的なチャネル長を短縮して実効的な移動度を増大させると共に電氣的な接触を改善することができるという効果を有し、更に、電界効果型トランジスタの構成がより単純になるという効果を有する。

30

【 0 1 2 8 】

次に、図 1 1 及び図 1 2 を用いて、本実施の形態に係る電界効果型トランジスタの製造方法を説明する。

【 0 1 2 9 】

図 1 1 は、本実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。図 1 2 は、本実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

40

【 0 1 3 0 】

本実施の形態に係る電界効果型トランジスタの製造方法は、図 1 1 に示されるようなステップ S 3 1 乃至ステップ S 3 5 の 5 つの工程を含む。また、図 1 1 のステップ S 3 1 乃至ステップ S 3 5 の各工程を行った後の電界効果型トランジスタの断面構造は、図 1 2 (a) 乃至図 1 2 (e) に示される。

【 0 1 3 1 】

始めにステップ S 3 1 の工程を行い、図 1 2 (a) に示されるように、基材（基板）3 1 上に半導体層 3 4 を形成する。ステップ S 3 1 の工程は、第 2 の実施の形態におけるス

50

ステップ S 2 5 の工程を、他の工程と順序を変更して行うものである。

【 0 1 3 2 】

次に、ステップ S 3 2 の工程を行い、図 1 2 (b) に示されるように、半導体層 3 4 上に、半導体層 3 4 と同一の元素よりなり、半導体層 3 4 より酸素の含有量の少ない n 型の酸化物半導体よりなる不連続膜 3 8 を形成する。ステップ S 3 2 の工程は、第 2 の実施の形態におけるステップ S 2 4 の工程を、他の工程と順序を変更して行うものである。

【 0 1 3 3 】

次に、ステップ S 3 3 の工程を行い、図 1 2 (c) に示されるように、不連続膜 3 8 上にソース電極 3 5 及びドレイン電極 3 6 を形成する。ステップ S 3 3 の工程は、第 2 の実施の形態におけるステップ S 2 3 の工程を、他の工程と順序を変更して行うものである。

10

【 0 1 3 4 】

次に、ステップ S 3 4 の工程を行い、図 1 2 (d) に示されるように、チャネル領域 3 7 であって不連続膜 3 8 上に n 型の酸化物半導体よりなるゲート絶縁膜 3 3 を形成する。ステップ S 3 4 の工程は、第 2 の実施の形態におけるステップ S 2 2 の工程を、他の工程と順序を変更して行うものである。

【 0 1 3 5 】

次に、ステップ S 3 5 の工程を行い、図 1 2 (e) に示されるように、ゲート絶縁膜 3 3 上に、ゲート電極 3 2 を形成する。ステップ S 3 5 の工程は、第 2 の実施の形態におけるステップ S 2 1 の工程を、他の工程との順序を変更して行うものである。

【 0 1 3 6 】

以上、ステップ S 3 1 乃至ステップ S 3 5 の工程を含む製造方法を用いて電界効果型トランジスタを製造することにより、半導体層 3 4 とゲート絶縁膜 3 3 との間の不連続膜、並びに半導体層 3 4 とソース電極 3 5 及びドレイン電極 3 6 と間の不連続膜を一体で形成することができるため、実効的チャネル長短縮の効果及び半導体層と電極との間の接触抵抗の低減の効果を得られる電界効果型トランジスタを、更に工程数の少ない製造方法を用いて製造することができる。

20

【 0 1 3 7 】

なお、本実施の形態においても、半導体層 3 4 並びに不連続膜 3 8 として n 型酸化物半導体を用いるが、半導体層 3 4 並びに不連続膜 3 8 として、n 型酸化物半導体に代え、n 型化合物半導体その他の n 型半導体、又は p 型酸化物半導体若しくは p 型化合物半導体その他の p 型半導体、を用いることができる。又は、不連続膜 3 8 として、半導体層 3 4 が n 型半導体又は p 型半導体の何れかであるかに関わらず、金属を用いることもできる。

30

【 0 1 3 8 】

また、本実施の形態では、ステップ S 3 1 の半導体層形成工程と、ステップ S 3 2 の不連続膜形成工程とを、連続して行うことができる。半導体層形成工程と不連続膜形成工程とを連続して行うことによって、半導体層と不連続層との界面の汚染を防ぐことができるため、電氣的な接触抵抗を低減する効果を高めることができる。

【 実施例 】

【 0 1 3 9 】

(実施例 1)

ガラス基板上に、100 nm の厚さになるように Al を蒸着し、フォトリソグラフィとエッチングを行ってライン状にパターニングすることによって、ゲート電極を形成した。

40

【 0 1 4 0 】

次に、プラズマ CVD により、200 nm の厚さになるように SiO₂ を成膜することによって、ゲート絶縁膜を形成した。

【 0 1 4 1 】

次に、不連続膜と半導体層をリフトオフ法によりパターニングを行うため、ゲート絶縁膜上へのレジストの塗布、露光、現像を行い、所望の形状にパターニングされたレジストを形成した。

【 0 1 4 2 】

50

次に、アモルファス構造をとることが知られている In-Ga-Zn-O を材料として用い、不連続膜及び半導体層を連続して形成した。この酸化物は、酸素欠損量が多いほど低抵抗になる n 型の半導体である。最初に、 Ar のみをプロセスガスとし、 DC スパッタを用い In-Ga-Zn-O 膜よりなる不連続膜を成膜した。ターゲットとして、組成比が $\text{In:Ga:Zn} = 1:1:1$ となるような In-Ga-Zn-O の焼結体を用いた。ここでは、スパッタパワーを 140 W 、成膜時の圧力を 0.69 Pa とし、基板温度は制御しなかった。成膜時間は 7 秒とした。成膜時間が極端に短いので、この条件では島状の不連続膜が形成される。続けて、 Ar と O_2 をプロセスガスとし、 O_2 流量比を 1.5% とした状態で、スパッタパワーを 140 W 、成膜時の圧力を 0.69 Pa 、成膜時間を 20 分として In-Ga-Zn-O 膜を成膜した。膜厚は 70 nm であった。

10

【0143】

次に、レジストの除去によってリフトオフを行い、所望の形状の不連続膜と半導体層を得た。

【0144】

次に、 Al を 100 nm の厚さに蒸着し、フォトリソグラフィとエッチングによってソース電極とドレイン電極を形成して、図1に類似の電界効果型トランジスタを得た。チャンネル長は $45\text{ }\mu\text{m}$ 、チャンネル幅は 2 mm とした。

【0145】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的な n 型トランジスタの特性を示した。実施例1にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を図13のグラフに示す。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20\text{ V}$ とし、ゲート電圧 V_G を $V_G = -4\text{ V}$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値 9 pA となり、 $V_G = 20\text{ V}$ とした時に、 $I_{DS} = 0.90\text{ mA}$ となった。飽和領域において算出した電界効果移動度は、 $9.0\text{ cm}^2/\text{Vs}$ となった。この値は、比較例1における電界効果移動度の値よりも高くなった。これは、不連続膜によって実効的チャンネル長が短縮される効果を示している。

20

(比較例1)

不連続膜を形成しない他は実施例1と同様にして電界効果型トランジスタを作製した。

【0146】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的な n 型トランジスタの特性を示した。比較例1にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を図14のグラフに示す。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20\text{ V}$ とし、ゲート電圧 V_G を $V_G = -5\text{ V}$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値 18 pA となり、 $V_G = 20\text{ V}$ とした時に、 $I_{DS} = 0.70\text{ mA}$ となった。飽和領域において算出した電界効果移動度は、 $7.9\text{ cm}^2/\text{Vs}$ となった。

30

(実施例2)

ガラス基板上に、 100 nm の厚さになるように Al を蒸着し、フォトリソグラフィとエッチングを行ってライン状にパターニングすることによって、ゲート電極を形成した。

【0147】

次に、プラズマ CVD により、 200 nm の厚さになるように SiO_2 を成膜することによって、ゲート絶縁膜を形成した。

40

【0148】

次に、不連続膜と半導体層をリフトオフ法によりパターニングを行うため、ゲート絶縁膜上へのレジストの塗布、露光、現像を行い、所望の形状にパターニングされたレジストを形成した。

【0149】

次に、実施例1と同様の条件で、不連続膜と半導体層をスパッタ成膜した。ただし、実施例2においては、不連続膜と半導体層をスパッタ成膜した後、実施例1と同様の条件で、半導体層の上に再度不連続膜をスパッタ成膜した。

50

【0150】

次に、レジストの除去によってリフトオフを行い、所望の形状の不連続膜と半導体層を得た。

【0151】

次に、Alを100nmの厚さに蒸着し、フォトリソグラフィとエッチングによってソース電極とドレイン電極を形成して、図4に類似の電界効果型トランジスタを得た。チャンネル長は45 μ m、チャンネル幅は2mmとした。

【0152】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的なn型トランジスタの特性を示した。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20V$ とし、ゲート電圧 V_G を $V_G = -6V$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値6pAとなり、 $V_G = 20V$ とした時に、 $I_{DS} = 1.13mA$ となった。飽和領域において算出した電界効果移動度は、 $10.2cm^2/Vs$ となった。この値は、比較例2における電界効果移動度の値よりも高くなった。これは、不連続膜によって実効的チャンネル長が短縮される効果及びソース・ドレイン電極と半導体層との接触抵抗を低減される効果を示している。

10

(比較例2)

不連続膜を形成しない他は実施例2と同様にして電界効果型トランジスタを作製した。即ち、比較例2は、比較例1と同一の構造を有する電界効果型トランジスタである。

【0153】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的なn型トランジスタの特性を示した。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20V$ とし、ゲート電圧 V_G を $V_G = -5V$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値18pAとなり、 $V_G = 20V$ とした時に、 $I_{DS} = 0.70mA$ となった。飽和領域において算出した電界効果移動度は、 $7.9cm^2/Vs$ となった。

20

(実施例3)

ガラス基板上に、100nmの厚さになるようにAlを蒸着し、フォトリソグラフィとエッチングを行ってライン状にパターニングすることによって、ゲート電極を形成した。

【0154】

次に、プラズマCVDにより、200nmの厚さになるように SiO_2 を成膜することによって、ゲート絶縁膜を形成した。

30

【0155】

次に、真空蒸着法により、Crを3nm、Auを50nmの厚さに積層し、フォトリソグラフィとエッチングを行ってソース電極とドレイン電極を形成した。

【0156】

次に、実施例1と同様の条件で、不連続膜と半導体層をスパッタ成膜した。

【0157】

次に、フォトリソグラフィとウェットエッチングを行って、不連続膜と半導体層を同時にパターニングし、図7に示されるような構成の電界効果型トランジスタを得た。

【0158】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的なn型トランジスタの特性を示した。実施例3にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を図15のグラフに示す。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20V$ とし、ゲート電圧 V_G を $V_G = -4V$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値6pAとなり、 $V_G = 20V$ とした時に、 $I_{DS} = 0.55mA$ となった。飽和領域において算出した電界効果移動度は、 $6.3cm^2/Vs$ となった。

40

【0159】

同じ手順で6個の電界効果型トランジスタを作製し、特性を評価したところ、電界効果移動度の最小値は $6.0cm^2/Vs$ 、最大値は $6.3cm^2/Vs$ であった。これらの

50

値は、比較例 3 における電界効果移動度の値よりも高く、ばらつきも 5 % 以下に抑えられた。これは、不連続膜によって実効的チャンネル長が短縮される効果と、ソース電極及びドレイン電極と半導体層との間で安定して良好な電氣的接触が得られる効果を示している。(比較例 3)

不連続膜を形成しない他は実施例 3 と同様にして電界効果型トランジスタを作製した。

【0160】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的な n 型トランジスタの特性を示した。比較例 3 にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を図 16 のグラフに示す。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20 \text{ V}$ とし、ゲート電圧 V_G を $V_G = -6 \text{ V}$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値 13 pA となり、 $V_G = 20 \text{ V}$ とした時に、 $I_{DS} = 0.26 \text{ mA}$ となった。飽和領域において算出した電界効果移動度は、 $2.6 \text{ cm}^2 / \text{Vs}$ となった。

10

【0161】

同じ手順で 6 個の電界効果型トランジスタを作製し、特性を評価したところ、4 個の電界効果型トランジスタでは、 $2.1 \sim 2.8 \text{ cm}^2 / \text{Vs}$ の電界効果移動度が得られた。しかし、残りの 2 個の電界効果型トランジスタでは、極端に特性が悪く、電界効果移動度は $1.70 \text{ cm}^2 / \text{Vs}$ 及び $0.34 \text{ cm}^2 / \text{Vs}$ であった。これらの 2 個の電界効果型トランジスタに対し、ゲート電圧を印加しない状態でソース・ドレイン間の電流電圧特定 ($I_{DS} - V_{DS}$ 特性) を測定したところ、図 17 のグラフに示すように、顕著な非直線性が見られた。つまり、ソース・ドレイン電極と半導体層との間の電氣的接触が良好でない為に、発熱等により電界効果型トランジスタの特性が劣化したと考えられる。このように、良好な電氣的接触を確保する手段が施されていない場合は、電界効果移動度は 1 桁以上の範囲でばらつく。

20

(実施例 4)

ガラス基板上に、実施例 1 と同様の条件で、 In-Ga-Zn-O を材料として用い、半導体層及び不連続膜を連続して形成した。最初に、 Ar と O_2 をプロセスガスとし、 O_2 流量比を 1.5 % とした状態で、スパッタパワーを 140 W 、成膜時の圧力を 0.69 Pa 、成膜時間を 20 分として In-Ga-Zn-O 膜を成膜した。膜厚は 70 nm であった。次に、 Ar のみをプロセスガスとし、DC スパッタを用い In-Ga-Zn-O 膜よりなる不連続膜を成膜した。ここでは、スパッタパワーを 140 W 、成膜時の圧力を 0.69 Pa とし、基板温度は制御しなかった。成膜時間は 7 秒とした。成膜時間が極端に短いので、この条件では島状の不連続膜が形成される。

30

【0162】

次に、真空蒸着法により、 Al を 100 nm の厚さに蒸着し、フォトリソグラフィとエッチングを行ってソース電極とドレイン電極を形成した。

【0163】

次に、プラズマ CVD により、 200 nm の厚さになるように SiO_2 を成膜することによって、ゲート絶縁膜を形成した。

【0164】

次に、 100 nm の厚さになるように Al を蒸着し、フォトリソグラフィとエッチングを行ってライン状にパターンニングすることによって、ゲート電極を形成し、図 10 に示されるような構成の電界効果型トランジスタを得た。

40

【0165】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的な n 型トランジスタの特性を示した。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20 \text{ V}$ とし、ゲート電圧 V_G を $V_G = -4 \text{ V}$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値 6 pA となり、 $V_G = 20 \text{ V}$ とした時に、 $I_{DS} = 1.25 \text{ mA}$ となった。飽和領域において算出した電界効果移動度は、 $11.3 \text{ cm}^2 / \text{Vs}$ となった。

【0166】

50

この値は、比較例 4 における電界効果移動度の値よりも高い。これは、不連続膜によって実効的チャンネル長が短縮される効果と、ソース電極及びドレイン電極と半導体層との間で安定して良好な電氣的接触が得られる効果を示している。

(比較例 4)

不連続膜を形成しない他は実施例 4 と同様にして電界効果型トランジスタを作製した。

【0167】

室温・真空の条件下で、得られたトランジスタの特性を評価したところ、典型的な n 型トランジスタの特性を示した。ソース・ドレイン間電圧 V_{DS} を $V_{DS} = 20 \text{ V}$ とし、ゲート電圧 V_G を $V_G = -5 \text{ V}$ とした時に、ソース・ドレイン間電流 I_{DS} が最小値 10 pA となり、 $V_G = 20 \text{ V}$ とした時に、 $I_{DS} = 0.77 \text{ mA}$ となった。飽和領域において算出した電界効果移動度は、 $8.7 \text{ cm}^2 / \text{Vs}$ となった。

10

【0168】

以上、本発明の好ましい実施の形態について記述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【0169】

【図 1】本発明の第 1 の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図である。

【図 2】本発明の第 1 の実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。

20

【図 3】本発明の第 1 の実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

【図 4】本発明の第 1 の実施の形態の変形例に係る電界効果型トランジスタの構成を模式的に示す断面図である。

【図 5】本発明の第 1 の実施の形態の変形例に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。

【図 6】本発明の第 1 の実施の形態の変形例に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

30

【図 7】本発明の第 2 の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図である。

【図 8】本発明の第 2 の実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。

【図 9】本発明の第 2 の実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

【図 10】本発明の第 3 の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図である。

40

【図 11】本発明の第 3 の実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図である。

【図 12】本発明の第 3 の実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図である。

【図 13】実施例 1 にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフである。

【図 14】比較例 1 にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフである。

【図 15】実施例 3 にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ド

50

レイン間電流 I_{DS} との関係を示すグラフである。

【図16】比較例3にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフである。

【図17】比較例3にて作製した電界効果型トランジスタのソース・ドレイン間電圧とソース・ドレイン間電流との関係を示すグラフである。

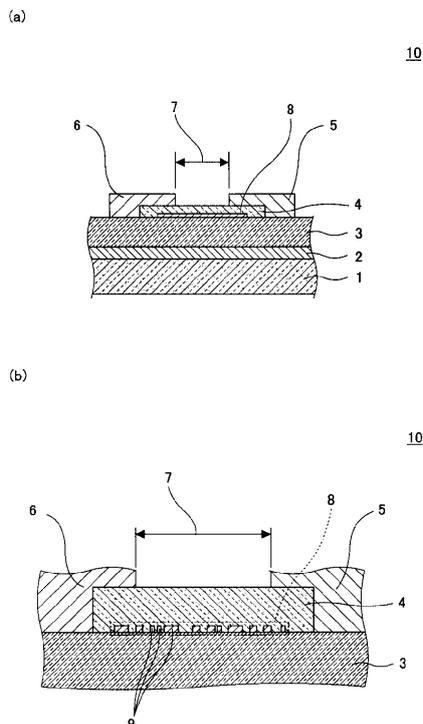
【符号の説明】

【0170】

- 10、20、30、40 電界効果型トランジスタ
- 1、11、21、31 基板
- 2、12、22、32 ゲート電極
- 3、13、23、33 ゲート絶縁膜
- 4、14、24、34 半導体層
- 5、15、25、35 ソース電極
- 6、16、26、36 ドレイン電極
- 7、17、27、37 チャンネル領域
- 8、18、28、38 不連続膜
- 9、19、29、39 島

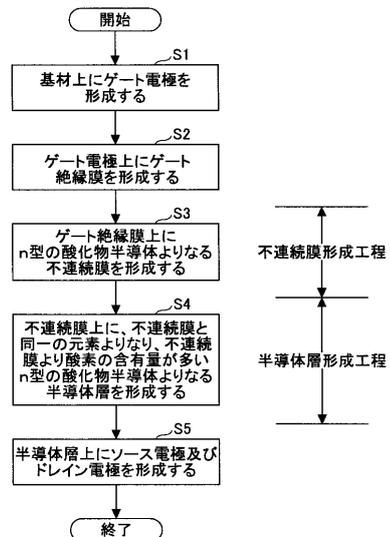
【図1】

本発明の第1の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図



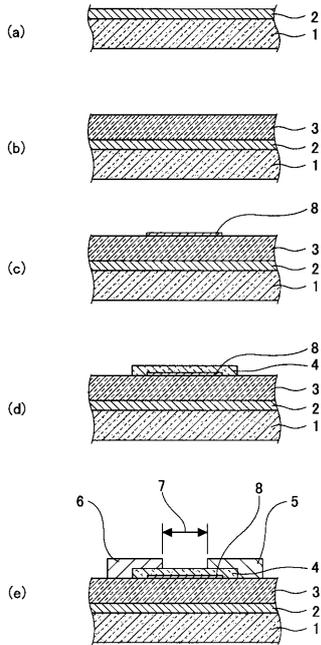
【図2】

本発明の第1の実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図



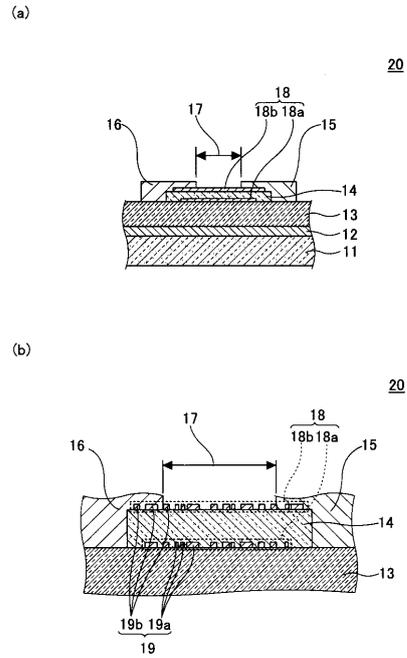
【 図 3 】

本発明の第1の実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図



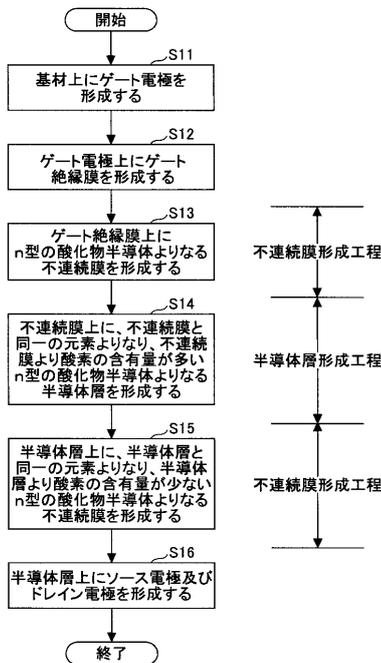
【 図 4 】

本発明の第1の実施の形態の変形例に係る電界効果型トランジスタの構成を模式的に示す断面図



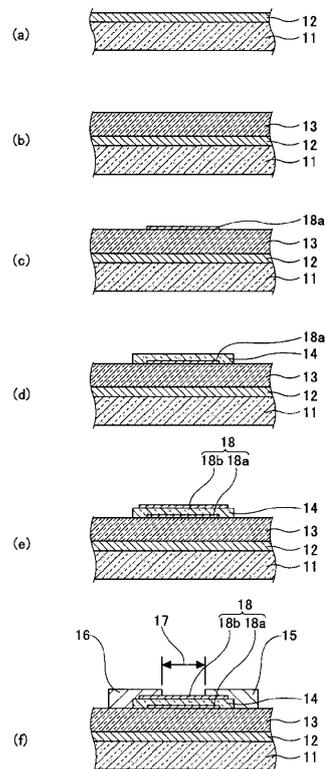
【 図 5 】

本発明の第1の実施の形態の変形例に係る電界効果型トランジスタの製造方法の手順を説明するための工程図



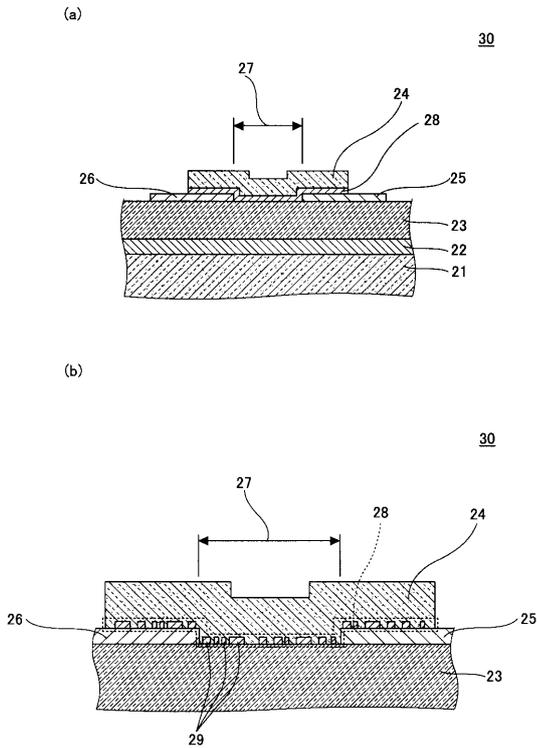
【 図 6 】

本発明の第1の実施の形態の変形例に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構成を模式的に示す断面図



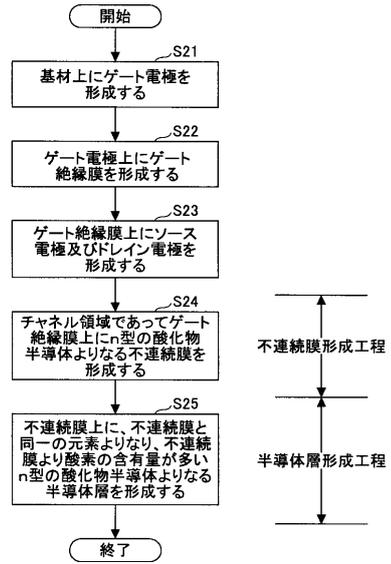
【 図 7 】

本発明の第2の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図



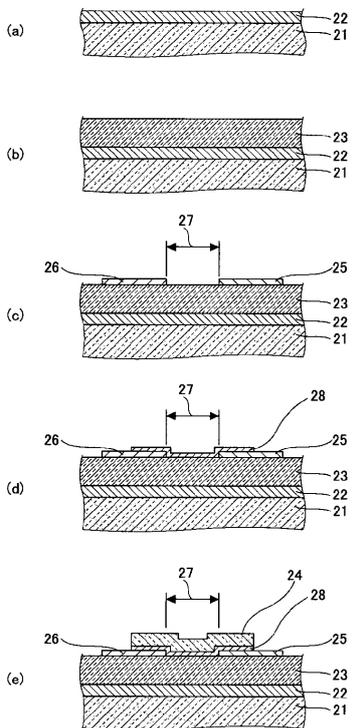
【 図 8 】

本発明の第2の実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図



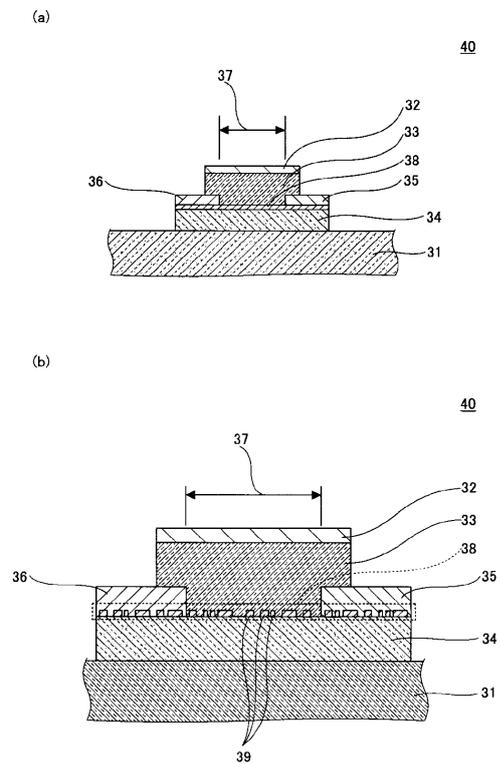
【 図 9 】

本発明の第2の実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図



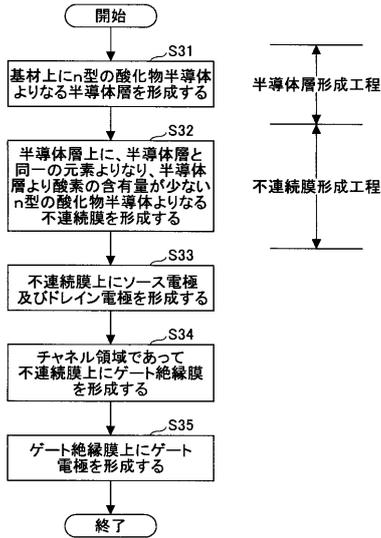
【 図 10 】

本発明の第3の実施の形態に係る電界効果型トランジスタの構成を模式的に示す断面図



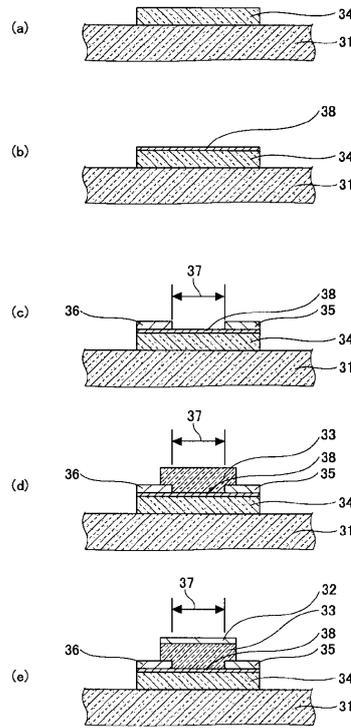
【 図 1 1 】

本発明の第3の実施の形態に係る電界効果型トランジスタの製造方法の手順を説明するための工程図



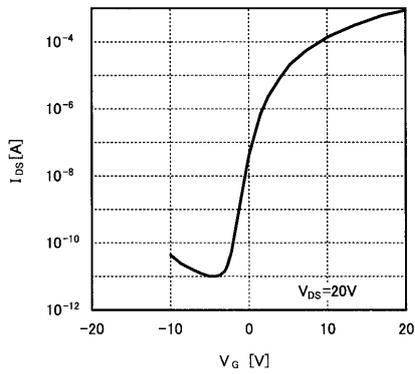
【 図 1 2 】

本発明の第3の実施の形態に係る電界効果型トランジスタの製造方法の工程を説明するための図であり、各工程における電界効果型トランジスタの構造を模式的に示す断面図



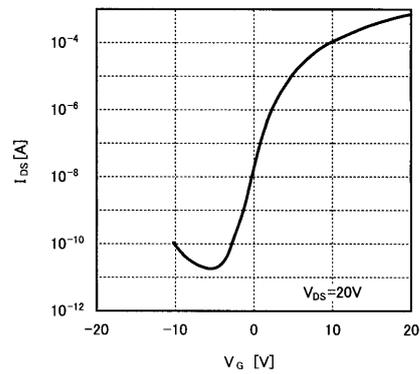
【 図 1 3 】

実施例1にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフ



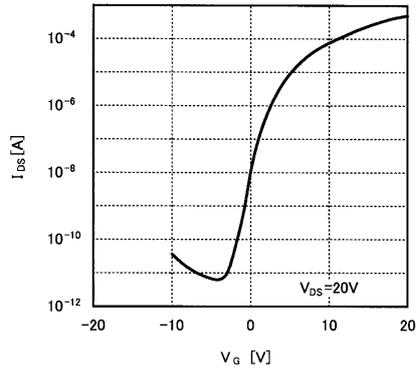
【 図 1 4 】

比較例1にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフ



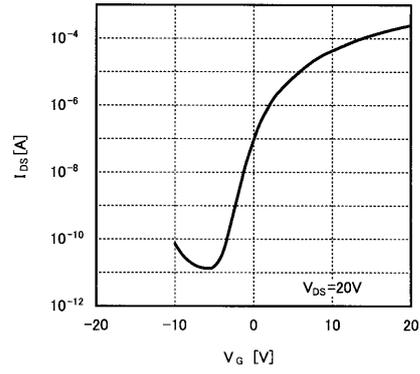
【 図 1 5 】

実施例3にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフ



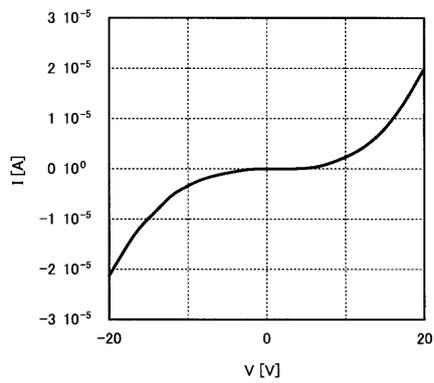
【 図 1 6 】

比較例3にて作製した電界効果型トランジスタのゲート電圧 V_G とソース・ドレイン間電流 I_{DS} との関係を示すグラフ



【 図 1 7 】

比較例3にて作製した電界効果型トランジスタのソース・ドレイン間電圧とソース・ドレイン間電流との関係を示すグラフ



フロントページの続き

(72)発明者 八代 徹
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 平野 成伸
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 渋谷 毅
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

F ターム(参考) 5F110 AA01 BB01 CC01 CC03 CC07 DD01 DD02 EE02 EE03 EE04
EE07 EE42 EE43 EE44 EE45 FF01 FF02 FF03 FF30 GG01
GG07 GG15 GG19 GG22 GG25 GG28 GG29 GG42 GG43 GG45
HK02 HK03 HK04 HK07 HK32 QQ09 QQ14