



(12) 发明专利申请

(10) 申请公布号 CN 113594203 A

(43) 申请公布日 2021. 11. 02

(21) 申请号 202110849635.9

(22) 申请日 2021.07.27

(71) 申请人 长江先进存储产业创新中心有
限公司

地址 430014 湖北省武汉市东湖新技术开
发区高新大道999号未来科技城海外
人才大楼A座18楼242室

(72) 发明人 张恒 雷威锋 刘峻 张曙
王晓娟 孙冰洋 李瑞

(74) 专利代理机构 北京派特恩知识产权代理有
限公司 11270

代理人 张雪 张颖玲

(51) Int. Cl.

H01L 27/24 (2006.01)

H01L 21/66 (2006.01)

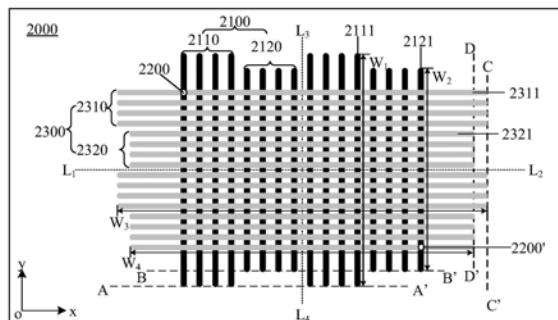
权利要求书3页 说明书17页 附图11页

(54) 发明名称

相变存储器及其制作方法、定位方法和掩膜
版

(57) 摘要

本公开实施例公开了一种相变存储器及其
制作方法、定位方法和掩膜版。相变存储器包括：
沿第一方向依次层叠设置的第一导电线、相变存
储单元以及第二导电线；其中，第一导电线和第
二导电线平行于同一平面且彼此垂直，相变存储
单元与第一导电线和第二导电线均垂直；第一导
电线包括：沿第二方向交替设置的第一组导电线
和第二组导电线；其中，沿第三方向，第一组导
电线的端部与第二组导电线的端部不平齐；和/或，
第二导电线包括：沿第三方向交替设置的第三组
导电线和第四组导电线；其中，沿第二方向，第
三组导电线的端部与第四组导电线的端部不平
齐；其中，第一方向垂直于第二方向和第三方向
所在的平面，第二方向和第三方向相交。



1. 一种相变存储器,其特征在于,包括:

沿第一方向依次层叠设置的第一导电线、相变存储单元以及第二导电线;其中,所述第一导电线和所述第二导电线平行于同一平面且彼此垂直,所述相变存储单元与所述第一导电线和所述第二导电线均垂直;

所述第一导电线包括:沿第二方向交替设置的第一组导电线和第二组导电线;其中,沿第三方向,所述第一组导电线的端部与所述第二组导电线的端部不平齐;

和/或,

所述第二导电线包括:沿所述第三方向交替设置的第三组导电线和第四组导电线;其中,沿所述第二方向,所述第三组导电线的端部与所述第四组导电线的端部不平齐;

其中,所述第一方向垂直于所述第二方向和所述第三方向所在的平面,所述第二方向和所述第三方向相交。

2. 根据权利要求1所述的相变存储器,其特征在于,所述第一组导电线的端部与所述第二组导电线的端部不平齐,包括:

沿所述第三方向,所述第一组导电线的长度与所述第二组导电线的长度相同、且所述第一组导电线沿所述第二方向的中心线与所述第二组导电线沿所述第二方向的中心线相距第一预设距离;

或,

沿所述第三方向,所述第一组导电线的长度与所述第二组导电线的长度不同、且所述第一组导电线沿所述第二方向的中心线与所述第二组导电线沿所述第二方向的中心线重合。

3. 根据权利要求1所述的相变存储器,其特征在于,所述第三组导电线的端部与所述第四组导电线的端部不平齐,包括:

沿所述第二方向,所述第三组导电线的长度与所述第四组导电线的长度相同、且所述第三组导电线沿所述第三方向的中心线与所述第四组导电线沿所述第三方向的中心线相距第二预设距离;

或,

沿所述第二方向,所述第三组导电线的长度与所述第四组导电线的长度不同、且所述第三组导电线沿所述第三方向的中心线与所述第四组导电线沿所述第三方向的中心线重合。

4. 根据权利要求2所述的相变存储器,其特征在于,在所述第一组导电线的长度与所述第二组导电线的长度相同时,所述第一预设距离的变化范围处于80nm至120nm之间;

或,

在所述第一组导电线的长度与所述第二组导电线的长度不同时,所述第一组导电线的长度与所述第二组导电线的长度之间的第一差值的变化范围处于100nm至200nm之间。

5. 根据权利要求3所述的相变存储器,其特征在于,在所述第三组导电线的长度与所述第四组导电线的长度相同时,所述第二预设距离的变化范围处于80nm至120nm之间;

或,

在所述第三组导电线的长度与所述第四组导电线的长度不同时,所述第三组导电线的长度与所述第四组导电线的长度之间的第二差值的变化范围处于100nm至200nm之间。

6. 根据权利要求1所述的相变存储器,其特征在于,

所述第一组导电线包括:沿所述第二方向并列设置多个第一子导电线;

所述第二组导电线包括:沿所述第二方向并列设置多个第二子导电线;

所述第三组导电线包括:沿所述第三方向并列设置多个第三子导电线;

所述第四组导电线包括:沿所述第三方向并列设置多个第四子导电线。

7. 一种相变存储器的制作方法,其特征在于,所述方法包括:

在多个存储叠层上形成沿第二方向交替设置的第一掩膜区域和第二掩膜区域;其中,沿第三方向,所述第一掩膜区域的端部与所述第二掩膜区域的端部不平齐;

根据所述第一掩膜区域和所述第二掩膜区域刻蚀第一矩形环,形成沿所述第二方向交替设置的第一组导电线和第二组导电线,以形成第一导电线;

和/或,

在多个第二矩形环上形成沿所述第三方向交替设置的第三掩膜区域和第四掩膜区域;其中,沿所述第二方向,所述第三掩膜区域的端部与所述第四掩膜区域的端部不平齐;

根据所述第三掩膜区域和所述第四掩膜区域刻蚀所述多个第二矩形环,形成沿所述第三方向交替设置的第三组导电线和第四组导电线,以形成第二导电线;

其中,所述第二方向和所述第三方向相交且平行于同一平面。

8. 根据权利要求7所述的方法,其特征在于,所述沿第三方向,所述第一掩膜区域的端部与所述第二掩膜区域的端部不平齐,包括:

沿所述第三方向,所述第一掩膜区域的长度与所述第二掩膜区域的长度相同、且所述第一掩膜区域沿所述第二方向的中心线与所述第二掩膜区域沿所述第二方向的中心线相距第一预设距离;

或,

沿所述第三方向,所述第一掩膜区域的长度与所述第二掩膜区域的长度不同、且所述第一掩膜区域沿所述第二方向的中心线与所述第二掩膜区域沿所述第二方向的中心线重合。

9. 根据权利要求7所述的方法,其特征在于,所述沿所述第二方向,所述第三掩膜区域的端部与所述第四掩膜区域的端部不平齐,包括:

沿所述第二方向,所述第三掩膜区域的长度与所述第四掩膜区域的长度相同、且所述第三掩膜区域沿所述第三方向的中心线与所述第四掩膜区域沿所述第三方向的中心线相距第二预设距离;

或,

沿所述第二方向,所述第三掩膜区域的长度与所述第四掩膜区域的长度不同、且所述第三掩膜区域沿所述第三方向的中心线与所述第四掩膜区域沿所述第三方向的中心线重合。

10. 根据权利要求7所述的方法,其特征在于,所述在多个存储叠层上形成沿所述第二方向交替设置的第一掩膜区域和第二掩膜区域的步骤之前,所述方法还包括:

刻蚀沿第一方向堆叠设置的第一导电层和存储材料叠层,以分别形成沿所述第二方向并列设置的多个所述第一矩形环和沿所述第二方向并列设置的多个所述存储叠层;

其中,所述第一方向垂直于所述第二方向与所述第三方向所在的平面。

11. 根据权利要求10所述的方法,其特征在于,在形成所述第一导电线之后、在多个所述第二矩形环上形成沿所述第三方向交替设置的所述第三掩膜区域和所述第四掩膜区域之前还包括:

刻蚀所述存储叠层和形成在所述存储叠层上的第二导电层,以分别形成阵列分布的多个相变存储单元和沿所述第三方向并列设置的多个所述第二矩形环;

其中,所述第一导电线、所述相变存储单元以及所述第二导电线沿所述第一方向依次层叠设置。

12. 一种相变存储器的定位方法,其特征在于,所述方法用于定位如权利要求1至6任一项所述的相变存储器包括的相变存储单元,所述方法包括:

在相变存储器的电性检测结果中指示所述相变存储器包括不满足预设要求的目标相变存储单元时,根据所述电性检测结果获取指示所述目标相变存储单元位置的位置参数;其中,所述位置参数至少包括:指示与所述目标相变存储单元电连接的目标第一导电线的第一编号,以及与所述目标相变存储单元电连接的目标第二导电线的第二编号;

获取每个所述第一组导电线包括的第一导电线的第二数量,并获取每个所述第二组导电线包括的所述第一导电线的第三数量;根据所述第一编号、所述第一数量以及所述第二数量,确定所述目标第一导电线的位置;根据所述目标第一导电线的位置和所述第二编号,定位所述相变存储器中所述目标相变存储单元的实际位置;

和/或,

获取每个所述第三组导电线包括的第二导电线的第四数量,并获取每个所述第四组导电线包括的所述第二导电线的第五数量;根据所述第二编号、所述第三数量以及所述第四数量,确定所述目标第二导电线的位置;根据所述目标第二导电线的位置和所述第一编号,定位所述相变存储器中所述目标相变存储单元的实际位置。

13. 一种掩膜版,其特征在于,所述掩膜版用于权利要求7至11任一项所述的相变存储器的制作方法以形成如权利要求1至6任一项所述的相变存储器,包括:

相对设置的第一侧面和第二侧面;其中,所述第一侧面包括交替设置的第一凸部和第一凹部;所述第二侧面包括交替设置的第二凸部和第二凹部或交替设置的第二凹部和第二凸部。

相变存储器及其制作方法、定位方法和掩膜版

技术领域

[0001] 本公开实施例涉及半导体器件领域,尤其涉及一种相变存储器及其制作方法、定位方法和掩膜版。

背景技术

[0002] 在相变存储器的研发和生产过程中,失效分析(Failure Analysis,FA)是改善工艺条件、提高产品良率不可或缺的重要手段。通过失效分析,可以帮助研发和生产人员找到设计上的缺陷、工艺参数不匹配或者生产中的操作不当等问题。为后续的产品设计提供必要的反馈信息,为生产工艺的调整提供必要的补充。

[0003] 相关技术中,根据字线的位置参数和位线的位置参数可定位失效的相变存储单元,通过切片制样可对该相变存储单元进行失效分析。然而,随着相变存储器集成度和位密度的增加,字线和位线的数量增加且特征尺寸减小,根据字线和位线准确地定位相变存储单元的难度增加,导致失效分析的效率较低。因此,如何精确、快速地定位相变存储器中失效的相变存储单元,以提高失效分析的效率,成为亟待解决的技术问题。

发明内容

[0004] 有鉴于此,本公开实施例提供一种相变存储器及其制作方法、定位方法和掩膜版。

[0005] 根据本公开实施例的第一方面,提供一种相变存储器,包括:

[0006] 沿第一方向依次层叠设置的第一导电线、相变存储单元以及第二导电线;其中,所述第一导电线和所述第二导电线平行于同一平面且彼此垂直,所述相变存储单元与所述第一导电线和所述第二导电线均垂直;

[0007] 所述第一导电线包括:沿第二方向交替设置的第一组导电线和第二组导电线;其中,沿第三方向,所述第一组导电线的端部与所述第二组导电线的端部不平齐;

[0008] 和/或,

[0009] 所述第二导电线包括:沿所述第三方向交替设置的第三组导电线和第四组导电线;其中,沿所述第二方向,所述第三组导电线的端部与所述第四组导电线的端部不平齐;

[0010] 其中,所述第一方向垂直于所述第二方向和所述第三方向所在的平面,所述第二方向和所述第三方向相交。

[0011] 在一些实施例中,所述第一组导电线的端部与所述第二组导电线的端部不平齐,包括:

[0012] 沿所述第三方向,所述第一组导电线的长度与所述第二组导电线的长度相同、且所述第一组导电线沿所述第二方向的中心线与所述第二组导电线沿所述第二方向的中心线相距第一预设距离;

[0013] 或,

[0014] 沿所述第三方向,所述第一组导电线的长度与所述第二组导电线的长度不同、且所述第一组导电线沿所述第二方向的中心线与所述第二组导电线沿所述第二方向的中心

线重合。

[0015] 在一些实施例中,所述第三组导电线的端部与所述第四组导电线的端部不平齐,包括:

[0016] 沿所述第二方向,所述第三组导电线的长度与所述第四组导电线的长度相同、且所述第三组导电线沿所述第三方向的中心线与所述第四组导电线沿所述第三方向的中心线相距第二预设距离;

[0017] 或,

[0018] 沿所述第二方向,所述第三组导电线的长度与所述第四组导电线的长度不同、且所述第三组导电线沿所述第三方向的中心线与所述第四组导电线沿所述第三方向的中心线重合。

[0019] 在一些实施例中,在所述第一组导电线的长度与所述第二组导电线的长度相同时,所述第一预设距离的变化范围处于80nm至120nm之间;

[0020] 或,

[0021] 在所述第一组导电线的长度与所述第二组导电线的长度不同时,所述第一组导电线的长度与所述第二组导电线的长度之间的第一差值的变化范围处于100nm至200nm之间。

[0022] 在一些实施例中,在所述第三组导电线的长度与所述第四组导电线的长度相同时,所述第二预设距离的变化范围处于80nm至120nm之间;

[0023] 或,

[0024] 在所述第三组导电线的长度与所述第四组导电线的长度不同时,所述第三组导电线的长度与所述第四组导电线的长度之间的第二差值的变化范围处于100nm至200nm之间。

[0025] 在一些实施例中,所述第一组导电线包括:沿所述第二方向并列设置多个第一子导电线;

[0026] 所述第二组导电线包括:沿所述第二方向并列设置多个第二子导电线;

[0027] 所述第三组导电线包括:沿所述第三方向并列设置多个第三子导电线;

[0028] 所述第四组导电线包括:沿所述第三方向并列设置多个第四子导电线。

[0029] 根据本公开实施例的第二方面,提供一种相变存储器的制作方法,所述方法包括:

[0030] 在多个存储叠层上形成沿第二方向交替设置的第一掩膜区域和第二掩膜区域;其中,沿第三方向,所述第一掩膜区域的端部与所述第二掩膜区域的端部不平齐;

[0031] 根据所述第一掩膜区域和所述第二掩膜区域刻蚀第一矩形环,形成沿所述第二方向交替设置的第一组导电线和第二组导电线,以形成第一导电线;

[0032] 和/或,

[0033] 在多个第二矩形环上形成沿所述第三方向交替设置的第三掩膜区域和第四掩膜区域;其中,沿所述第二方向,所述第三掩膜区域的端部与所述第四掩膜区域的端部不平齐;

[0034] 根据所述第三掩膜区域和所述第四掩膜区域刻蚀所述多个第二矩形环,形成沿所述第三方向交替设置的第三组导电线和第四组导电线,以形成第二导电线;

[0035] 其中,所述第二方向和所述第三方向相交且平行于同一平面。

[0036] 在一些实施例中,所述沿第三方向,所述第一掩膜区域的端部与所述第二掩膜区域的端部不平齐,包括:

[0037] 沿所述第三方向,所述第一掩膜区域的长度与所述第二掩膜区域的长度相同、且所述第一掩膜区域沿所述第二方向的中心线与所述第二掩膜区域沿所述第二方向的中心线相距第一预设距离;

[0038] 或,

[0039] 沿所述第三方向,所述第一掩膜区域的长度与所述第二掩膜区域的长度不同、且所述第一掩膜区域沿所述第二方向的中心线与所述第二掩膜区域沿所述第二方向的中心线重合。

[0040] 在一些实施例中,所述沿所述第二方向,所述第三掩膜区域的端部与所述第四掩膜区域的端部不平齐,包括:

[0041] 沿所述第二方向,所述第三掩膜区域的长度与所述第四掩膜区域的长度相同、且所述第三掩膜区域沿所述第三方向的中心线与所述第四掩膜区域沿所述第三方向的中心线相距第二预设距离;

[0042] 或,

[0043] 沿所述第二方向,所述第三掩膜区域的长度与所述第四掩膜区域的长度不同、且所述第三掩膜区域沿所述第三方向的中心线与所述第四掩膜区域沿所述第三方向的中心线重合。

[0044] 在一些实施例中,所述在多个存储叠层上形成沿所述第二方向交替设置的第一掩膜区域和第二掩膜区域的步骤之前,所述方法还包括:

[0045] 刻蚀沿第一方向堆叠设置的第一导电层和存储材料叠层,以分别形成沿所述第二方向并列设置的多个所述第一矩形环和沿所述第二方向并列设置的多个所述存储叠层;

[0046] 其中,所述第一方向垂直于所述第二方向与所述第三方向所在的平面。

[0047] 在一些实施例中,在形成所述第一导电线之后、在多个所述第二矩形环上形成沿所述第三方向交替设置的所述第三掩膜区域和所述第四掩膜区域之前还包括:

[0048] 刻蚀所述存储叠层和形成在所述存储叠层上的第二导电层,以分别形成阵列分布的多个相变存储单元和沿所述第三方向并列设置的多个所述第二矩形环;

[0049] 其中,所述第一导电线、所述相变存储单元以及所述第二导电线沿所述第一方向依次层叠设置。

[0050] 根据本公开实施例的第三方面,提供一种相变存储器的定位方法,所述方法用于定位上述任一实施例中的相变存储器包括的相变存储单元,所述方法包括:

[0051] 在相变存储器的电性检测结果中指示所述相变存储器包括不满足预设要求的目标相变存储单元时,根据所述检测结果获取指示所述目标相变存储单元位置的位置参数;其中,所述位置参数至少包括:指示与所述目标相变存储单元电连接的目标第一导电线的第一编号,以及与所述目标相变存储单元电连接的目标第二导电线的第二编号;

[0052] 获取每个所述第一组导电线包括的第一导电线的第一数量,并获取每个所述第二组导电线包括的所述第一导电线的第二数量;根据所述第一编号、所述第一数量以及所述第二数量,确定所述目标第一导电线的位置;根据所述目标第一导电线的位置和所述第二编号,定位所述相变存储器中所述目标相变存储单元的实际位置;

[0053] 和/或,

[0054] 获取每个所述第三组导电线包括的第二导电线的第三数量,并获取每个所述第四

组导电线包括的所述第二导电线的第四数量；根据所述第二编号、所述第三数量以及所述第四数量，确定所述目标第二导电线的位置；根据所述目标第二导电线的位置和所述第一编号，定位所述相变存储器中所述目标相变存储单元的实际位置。

[0055] 根据本公开实施例的第四方面，提供一种掩膜版，所述掩膜版用于上述任一实施例中的相变存储器的制作方法以形成上述任一实施例中的相变存储器，包括：

[0056] 相对设置的第一侧面和第二侧面；其中，所述第一侧面包括交替设置的第一凸部和第一凹部；所述第二侧面包括交替设置的第二凸部和第二凹部或交替设置的第二凹部和第二凸部。

[0057] 相较于相关技术中逐个数位线或字线以定位相变存储单元的方式，本公开实施例中，通过将第一导电线设置为端部不平齐的第一组导电线和第二组导电线，第一组导电线和第二组导电线可呈“凹凸状”，和/或，将第二导电线设置为端部不平齐的第三组导电线和第四组导电线，第三组导电线和第四组导电线可呈“凹凸状”，当测试结果指示相变存储器中包括不满足预设要求相变存储单元时，利用该“凹凸状”标记作为指引，有利于精确、快速地定位该相变存储单元。

[0058] 进一步地，由于相变存储单元的定位准确度增加，有利于提高失效分析的精确度，及时地反馈正确的信息，提升器件的良率。由于相变存储单元的定位时间减少，有利于提升失效分析的效率。

附图说明

[0059] 图1a至图1c是根据一示例性实施例示出的一种相变存储器的示意图；

[0060] 图2a和图2b是图1a至图1c中所示的相变存储器的布局示意图；

[0061] 图3a至图3e是根据本公开实施例示出的一种相变存储器的示意图；

[0062] 图4是根据本公开实施例示出的一种相变存储器的制作方法的流程图；

[0063] 图5a至图5k是根据本公开实施例示出的一种相变存储器的制作方法的结构示意图；

[0064] 图6是根据本公开实施例示出的另一种相变存储器的制作方法的流程图；

[0065] 图7是根据本公开实施例示出的又一种相变存储器的制作方法的流程图；

[0066] 图8是根据本公开实施例示出的一种相变存储器的定位方法的流程图；

[0067] 图9是根据本公开实施例示出的一种掩膜版的结构示意图。

具体实施方式

[0068] 下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

[0069] 在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

[0070] 可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”的含义应当

以最宽方式被解读,以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层(即直接在某物上)的含义,而且还包括在某物“上”且其间有居间特征或层的含义。

[0071] 在本公开实施例中,术语“A与B相连”包含A、B两者相互接触地A与B相连的情形,或者A、B两者之间还间插有其他部件而A非接触地与B相连的情形。

[0072] 在本公开实施例中,术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。

[0073] 在本公开实施例中,术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸,或者可以具有小于下方或上方结构范围的范围。此外,层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如,层可位于连续结构的顶表面和底表面之间,或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。

[0074] 需要说明的是,本公开实施例所记载的技术方案之间,在不冲突的情况下,可以任意组合。

[0075] 图1a和图1b是根据一示例性实施例示出的一种相变存储器1000的示意图。图1a为相变存储器1000在xoy平面的结构图,参照图1a所示,相变存储器1000包括多个存储块。图1b为图1a中S区域的局部示意图,参照图1b所示,相变存储器1000包括底部位线(Bottom Bit Line, BBL)、字线(Word Line, WL)和顶部位线(Top Bit Line, TBL)。图1c为相变存储器1000中的布线在xoy平面的投影图。参照图1c所示,相变存储器1000包括底部位线、底部相变存储单元、字线、顶部相变存储单元和顶部位线。

[0076] 需要指出的是,沿垂直于xoy平面的方向,底部位线、底部相变存储单元、字线、顶部相变存储单元和顶部位线依次层叠设置。在xoy平面内,经由底部位线和字线的交叉位置可定位底部相变存储单元,经由字线和顶部位线的交叉位置可定位顶部相变存储单元。

[0077] 参照图1c所示,相变存储器1000还包括:底部位线接触,用于向底部位线传输第一控制信号;字线接触,用于向字线传输第二控制信号;顶部位线接触,用于向顶部位线传输第三控制信号。可以理解的是,根据第一控制信号和第二控制信号可激活底部相变存储单元,根据第二控制信号和第三控制信号可激活顶部相变存储单元。

[0078] 图2a示出了相变存储器1000中 S_1 区域位线的示意图。参照图2a所示,相变存储器包括沿x方向并列设置的多个位线。需要强调的是,这里的位线可以是底部位线,还可以是顶部位线。图2b示出了相变存储器1000中 S_2 区域字线的示意图。参照图2b所示,相变存储器包括沿y方向并列设置的多个字线。需要强调的是, S_2 区域包括 S_1 区域,经由沿x方向并列设置的多个位线以及沿y方向并列设置的多个字线可定位多个相变存储单元,每个相变存储单元位于单个位线和单个字线的交叉位置。

[0079] 相关技术中,在相变存储器制作完成后,对其进行晶圆测试(wafer sort)获得测试结果。当该测试结果指示相变存储器中包括不满足预设要求相变存储单元时,可根据字线的位置参数和位线的位置参数定位该相变存储单元,通过切片制样可对该相变存储单元进行失效分析。

[0080] 然而,随着相变存储器集成度和位密度的增加,字线和位线的数量不断增加,例如,图2a中 S_1 区域可包括2K ($1K=1024$)的位线,图2b中 S_2 区域可包括2K的字线,即图2a中 S_1 区域可包括 $2K*2K$ 的相变存储单元,并且字线和位线的特征尺寸不断减小,相邻的字线或相

邻的位线之间的间距不断缩小,字线或位线的排布越来越密集。

[0081] 一方面,根据字线和位线准确地定位相变存储单元的难度增加,若相变存储单元的定位出现偏差,将会影响失效分析的结果,形成错误的反馈信息,导致工艺进行调整不及时,器件的良率下降。另一方面,根据字线和位线快速地定位相变存储单元的难度增加,导致失效分析的效率较低。

[0082] 有鉴于此,本公开实施例提供一种相变存储器。

[0083] 图3a至图3e是根据本公开实施例示出的一种相变存储器2000的示意图。结合图3a和图3b所示,相变存储器2000包括:

[0084] 沿第一方向依次层叠设置的第一导电线2100、相变存储单元2200以及第二导电线2300;其中,第一导电线2100和第二导电线2300平行于同一平面且彼此垂直,相变存储单元2200与第一导电线2100和第二导电线2300均垂直;

[0085] 第一导电线2100包括:沿第二方向交替设置的第一组导电线2110和第二组导电线2120;其中,沿第三方向,第一组导电线2110的端部与第二组导电线2120的端部不平齐;

[0086] 和/或,

[0087] 第二导电线2300包括:沿第三方向交替设置的第三组导电线2310和第四组导电线2320;其中,沿第二方向,第三组导电线2310的端部与第四组导电线2320的端部不平齐;

[0088] 其中,第一方向垂直于第二方向和第三方向所在的平面,第二方向和第三方向相交。

[0089] 示例性地,参照图3b所示,第一导电线2100包括沿x方向交替设置的第一组导电线2110和第二组导电线2120,第一组导电线2110沿y方向的端部与第二组导电线2120沿y方向的端部位于不同水平线上,例如,第一组导电线2110的端部位于AA'水平线上,第二组导电线2120的端部位于BB'水平线上。AA'水平线与BB'水平线不重合。

[0090] 示例性地,参照图3b所示,第二导电线2300包括沿y方向交替设置的第三组导电线2310和第四组导电线2320,第三组导电线2310沿x方向的端部与第四组导电线2320沿x方向的端部位于不同水平线上,例如,第三组导电线2310的端部位于CC'水平线上,第四组导电线2320的端部位于DD'水平线上。CC'水平线与DD'水平线不重合。

[0091] 在本实施例中包括以下三种方案:第一组导电线的端部与第二组导电线的端部不平齐;第三组导电线的端部与第四组导电线的端部不平齐;第一组导电线的端部与第二组导电线的端部不平齐,且第三组导电线的端部与第四组导电线的端部不平齐。

[0092] 示例性地,第一导电线2100可为相变存储器的字线(word line),第二导电线2300可为相变存储器的位线(bit line)。或者,第一导电线2100可为相变存储器的位线,第二导电线2300可为相变存储器的字线。

[0093] 第一导电线2100和第二导电线2300的组成材料包括导电材料。导电材料包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、多晶硅、掺杂硅或其任何组合。第一导电线2100和第二导电线2300可以具有相同的导电材料,也可以具有不同的导电材料。

[0094] 需要强调的是,设置第一导电线2100的第一平面和设置第二导电线2300的第二平面平行,且第一平面与第二平面不重叠。相变存储单元2200位于第一平面和第二平面之间,且相变存储单元2200与第一平面和第二平面均垂直。

[0095] 示例性地,参照图3b所示,相变存储单元2200在xoy平面内的投影位于第一导电线

2100和第二导电线2300的交叉位置。

[0096] 需要说明的是,本文中所使用的z方向表示的是第一方向,x方向表示的是第二方向,y方向表示的是第三方向,x方向与y方向不同,z方向垂直于xoy平面。此后不再赘述。需要指出的是,x方向与y方向相交,x方向与y方向之间的夹角包括锐角、直角或钝角。优选地,x方向与y方向垂直。

[0097] 相较于相关技术中逐个数位线或字线以定位相变存储单元的方式,本公开实施例中,通过将第一导电线设置为端部不平齐的第一组导电线和第二组导电线,第一组导电线和第二组导电线可呈“凹凸状”,和/或,将第二导电线设置为端部不平齐的第三组导电线和第四组导电线,第三组导电线和第四组导电线可呈“凹凸状”,当测试结果指示相变存储器中包括不满足预设要求相变存储单元时,利用该“凹凸状”标记作为指引,有利于精确、快速地定位该相变存储单元。

[0098] 进一步地,由于相变存储单元的定位准确度增加,有利于提高失效分析的精确度,及时地反馈正确的信息,提升器件的良率。由于相变存储单元的定位时间减少,有利于提升失效分析的效率。

[0099] 在一些实施例中,第一组导电线2110的端部与第二组导电线2120的端部不平齐,包括:

[0100] 沿第三方向,第一组导电线2110的长度与第二组导电线2120的长度相同、且第一组导电线2110沿第二方向的中心线与第二组导电线2120沿第二方向的中心线相距第一预设距离;

[0101] 或,

[0102] 沿第三方向,第一组导电线2110的长度与第二组导电线2120的长度不同、且第一组导电线2110沿第二方向的中心线与第二组导电线2120沿第二方向的中心线重合。

[0103] 示例性地,参照图3b和图3d所示,第一组导电线2110的长度 W_1 与第二组导电线2120的长度 W_2 不同,第一组导电线2110关于对称轴 L_1L_2 对称,第二组导电线2120也关于对称轴 L_1L_2 对称,对称轴 L_1L_2 与y轴垂直,此时,对称轴 L_1L_2 既可表示第一组导电线2110沿x方向的中心线,也可表示第二组导电线2120沿x方向的中心线,可以理解的是,当y轴垂直于x轴时,对称轴 L_1L_2 与x轴平行。

[0104] 示例性地,参照图3c和图3e所示,第一组导电线2110的长度与第二组导电线2120的长度相同,第一组导电线2110关于第一对称轴 L_1L_2 对称,第二组导电线2120关于第二对称轴 L_5L_6 对称,第一对称轴 L_1L_2 和第二对称轴 L_5L_6 均与y轴垂直,此时,第一对称轴 L_1L_2 表示的是第一组导电线2110沿x方向的中心线,第二对称轴 L_5L_6 表示的是第二组导电线2120沿x方向的中心线,第一对称轴 L_1L_2 和第二对称轴 L_5L_6 之间相距第一预设距离,可以理解的是,当y轴垂直于x轴时,第一对称轴 L_1L_2 和第二对称轴 L_5L_6 均与x轴平行。

[0105] 可以理解的是,本公开实施例中,第一组导电线与第二组导电线可包括至少两种布线方式。在实际的相变存储器设计的过程中,本领域技术人员可根据实际地需求,合理地选择第一组导电线与第二组导电线的布线方式,增大了第一组导电线与第二组导电线的布线方式的可调性和灵活性。

[0106] 在一些实施例中,在第一组导电线的长度与第二组导电线的长度相同时,第一预设距离的变化范围处于80nm至120nm之间。优选地,第一预设距离为100nm。

[0107] 示例性地,参照图3c和图3e所示,当第一组导电线2110的长度与第二组导电线2120的长度相同时,第一对称轴 L_1L_2 和第二对称轴 L_5L_6 之间相距第一预设距离,该第一预设距离的变化范围处于80nm至120nm之间,优选地,为100nm。第一组导电线2110与第二组导电线2120中相互靠近的两端部之间的距离相等,即,二者虽然长度相等但是沿第二方向的中心线不重合。

[0108] 在一些实施例中,在第一组导电线的长度与第二组导电线的长度不同时,第一组导电线的长度与第二组导电线的长度之间的第一差值的变化范围处于100nm至200nm之间。优选地,第一差值为150nm。

[0109] 示例性地,参照图3b和图3d所示,当第一组导电线2110的长度 W_1 与第二组导电线2120的长度 W_2 不同时,第一组导电线2110的长度 W_1 与第二组导电线2120的长度 W_2 之间的第一差值(W_1-W_2)的变化范围处于100nm至200nm之间,优选地,为150nm。第一组导电线2110与第二组导电线2120中相互靠近的两端部之间的距离不相等,即,二者虽然长度不等但是沿第二方向的中心线重合。

[0110] 需要指出的是,这里第一差值表示的是第一组导电线的长度与第二组导电线的长度之间的差值的绝对值,图3b和图3d中的第一组导电线的长度大于第二组导电线的长度仅为示例,用于向本领域技术人员传达本公开,可以理解的是,在其它实施例中,第一组导电线的长度还可小于第二组导电线的长度。

[0111] 在一些实施例中,第三组导电线2310的端部与第四组导电线2320的端部不平齐,包括:

[0112] 沿第二方向,第三组导电线2310的长度与第四组导电线2320的长度相同、且第三组导电线2310沿第三方向的中心线与第四组导电线2320沿第三方向的中心线相距第二预设距离;

[0113] 或,

[0114] 沿第二方向,第三组导电线2310的长度与第四组导电线2320的长度不同、且第三组导电线2310沿第三方向的中心线与第四组导电线2320沿第三方向的中心线重合。

[0115] 示例性地,参照图3b和图3c所示,第三组导电线2310的长度 W_3 与第四组导电线2320的长度 W_4 不同,第三组导电线2310关于对称轴 L_3L_4 对称,第四组导电线2320也关于对称轴 L_3L_4 对称,对称轴 L_3L_4 与x轴垂直,此时,对称轴 L_3L_4 既可表示第三组导电线2310沿y方向的中心线,也可表示第四组导电线2320沿y方向的中心线,可以理解的是,当x轴垂直于y轴时,对称轴 L_3L_4 与y轴平行。

[0116] 示例性地,参照图3d和图3e所示,第三组导电线2310的长度与第四组导电线2320的长度相同,第三组导电线2310关于第三对称轴 L_3L_4 对称,第四组导电线2320关于第四对称轴 L_7L_8 对称,第三对称轴 L_3L_4 和第四对称轴 L_7L_8 均与x轴垂直,此时,第三对称轴 L_3L_4 表示的是第三组导电线2310沿y方向的中心线,第四对称轴 L_7L_8 表示的是第四组导电线2320沿y方向的中心线,第三对称轴 L_3L_4 和第四对称轴 L_7L_8 之间相距第二预设距离,可以理解的是,当x轴垂直于y轴时,第三对称轴 L_3L_4 和第四对称轴 L_7L_8 均与y轴平行。

[0117] 可以理解的是,本公开实施例中,第三组导电线与第四组导电线可包括至少两种布线方式。在实际的相变存储器设计的过程中,本领域技术人员可根据实际地需求,合理地选择第三组导电线与第四组导电线的布线方式,增大了第三组导电线与第四组导电线的布

线方式的可调性和灵活性。

[0118] 在一些实施例中,在第三组导电线的长度与第四组导电线的长度相同时,第二预设距离的变化范围处于80nm至120nm之间。优选地,第二预设距离为100nm。

[0119] 示例性地,参照图3d和图3e所示,当第三组导电线2310的长度与第四组导电线2320的长度相同时,第三对称轴 L_3L_4 和第四对称轴 L_7L_8 之间相距第二预设距离,该第二预设距离的变化范围处于80nm至120nm之间,优选地,为100nm。第三组导电线2310与第四组导电线2320中相互靠近的两端部之间的距离相等,即,二者虽然长度相等但是沿第二方向的中心线不重合。

[0120] 在一些实施例中,在第三组导电线的长度与第四组导电线的长度不同时,第三组导电线的长度与第四组导电线的长度之间的第二差值的变化范围处于100nm至200nm之间。优选地,第二差值为150nm。

[0121] 示例性地,参照图3b和图3c所示,当第三组导电线2310的长度 W_3 与第四组导电线2320的长度 W_4 不同时,第三组导电线2310的长度 W_3 与第四组导电线2320的长度 W_4 之间的第二差值($W_3 - W_4$)的变化范围处于100nm至200nm之间,优选地,为150nm。第三组导电线2310与第四组导电线2320中相互靠近的两端部之间的距离不相等,即,二者虽然长度不等但是沿第二方向的中心线重合。

[0122] 需要指出的是,这里第二差值表示的是第三组导电线的长度与第四组导电线的长度之间的差值的绝对值,图3b和图3c中的第三组导电线的长度大于第四组导电线的长度仅为示例,用于向本领域技术人员传达本公开,可以理解的是,在其它实施例中,第三组导电线的长度还可小于第四组导电线的长度。

[0123] 在一些实施例中,第一预设距离与第二预设距离可以相同。在其它实施例中,第一预设距离与第二预设距离可以不同。

[0124] 在一些实施例中,第一差值与第二差值可以相同。在其它实施例中,第一差值与第二差值可以不同。

[0125] 在一些实施例中,第一组导电线包括:沿第二方向并列设置多个第一子导电线;

[0126] 第二组导电线包括:沿第二方向并列设置多个第二子导电线;

[0127] 第三组导电线包括:沿第三方向并列设置多个第三子导电线;

[0128] 第四组导电线包括:沿第三方向并列设置多个第四子导电线。

[0129] 示例性地,参照图3b所示,第一组导电线2110包括沿x方向并列设置的4个第一子导电线2111,第二组导电线2120包括沿x方向并列设置的4个第二子导电线2121,第三组导电线2310包括沿y方向并列设置4个第三子导电线2311;第四组导电线2320包括沿y方向并列设置4个第四子导电线2321。

[0130] 需要强调的是,这里图3b中的4个仅为示意,用以向本领域技术人员传达本公开,然而本公开并不限于此。第一组导电线2110所包括的第一子导电线的数量还可以是8个、16个、32个甚至更多个。第二组导电线2120、第三组导电线2310以及第四组导电线2320同理,在此不再赘述。

[0131] 需要指出的是,这里第一子导电线与第二子导电线均表示的是第一导电线,第三子导电线与第四子导电线均表示的是第二导电线,不同的附图标记仅是为了区分第一子导电线与第二子导电线以及第三子导电线与第四子导电线的位置或长度上的差异,而不用于

表示特定的先后顺序。

[0132] 在一些实施例中,第一组导电线2110包括:沿第二方向并列设置K个第一子导电线;其中,K为自然数;

[0133] 第二组导电线2120包括:沿第二方向并列设置L个第二子导电线;其中,L为自然数;

[0134] 第三组导电线2310包括:沿第三方向并列设置M个第三子导电线;其中,M为自然数;

[0135] 第四组导电线2320包括:沿第三方向并列设置N个第四子导电线;其中,N为自然数。

[0136] 在一些实施例中,第一组导电线包括的第一子电线的数量,与第二组导电线包括的第二子电线的数量相同,即满足关系: $K=L$,相邻的第一组导电线与第二组导电线包括的第一电线的数量为 $2K$ 或 $2L$ 。

[0137] 在一些实施例中,第一组导电线包括的第一子电线的数量,与第二组导电线包括的第二子电线的数量不同,即满足关系: $K \neq L$,相邻的第一组导电线与第二组导电线包括的第一电线的数量为 $(K+L)$ 。

[0138] 在一些实施例中,第三组导电线包括的第三子电线的数量,与第四组导电线包括的第四子电线的数量相同,即满足关系: $M=N$,相邻的第三组导电线与第四组导电线包括的第二电线的数量为 $2M$ 或 $2N$ 。

[0139] 在一些实施例中,第三组导电线包括的第三子电线的数量,与第四组导电线包括的第四子电线的数量不同,即满足关系: $M \neq N$,相邻的第三组导电线与第四组导电线包括的第二电线的数量为 $(M+N)$ 。

[0140] 在一些实施例中,相邻的两个第一组导电线2110包括的第一子电线的数量相同;

[0141] 相邻的两个第二组导电线2120包括的第二子电线的数量相同;

[0142] 相邻的两个第三组导电线2310包括的第三子电线的数量相同;

[0143] 相邻的两个第四组导电线2320包括的第四子电线的数量相同。

[0144] 示例性地,参照图3b所示,第一导电线2100包括沿x方向并列设置的两个第一组导电线,第一个第一组导电线包括4个第一子导电线,第二个第一组导电线包括4个第一子导电线。第二组导电线位于相邻的两个第一组导电线之间。

[0145] 示例性地,参照图3b所示,第一导电线2100包括沿x方向并列设置的两个第二组导电线,第一个第二组导电线包括4个第二子导电线,第二个第二组导电线包括4个第二子导电线。第一组导电线位于相邻的两个第二组导电线之间。

[0146] 示例性地,参照图3b所示,第二导电线2300包括沿y方向并列设置的两个第三组导电线,第一个第三组导电线包括4个第三子导电线,第二个第三组导电线包括4个第三子导电线。第四组导电线位于相邻的两个第三组导电线之间。

[0147] 示例性地,参照图3b所示,第二导电线2300包括沿y方向并列设置的两个第四组导电线,第一个第四组导电线包括4个第四子导电线,第二个第四组导电线包括4个第四子导电线。第三组导电线位于相邻的两个第四组导电线之间。

[0148] 以图3b为例,相邻第一组导电线与第二组导电线可构成第一集合,第一集合包括8

个第一导电线,图3b中包括两个第一集合。相邻第三组导电线与第四组导电线可构成第二集合,第二集合包括8个第二导电线,图3b中包括两个第二集合。当测试结果图3b中相变存储单元2200'失效时,可根据第一集合和第二集合快速定位相变存储单元2200'所在区域,再根据第二组导电线和第四组导电线准确定位相变存储单元2200'所在位置。有利于实现相变存储单元的精准定位。

[0149] 图4是根据本公开实施例示出的一种相变存储器的制作方法的流程图。参照图4所示,所述方法包括以下步骤:

[0150] S110:在多个存储叠层上形成沿第二方向交替设置的第一掩膜区域和第二掩膜区域;其中,沿第三方向,第一掩膜区域的端部与第二掩膜区域的端部不平齐;

[0151] S120:根据第一掩膜区域和第二掩膜区域刻蚀第一矩形环,形成沿第二方向交替设置的第一组导电线和第二组导电线,以形成第一导电线;

[0152] S130:在多个第二矩形环上形成沿第三方向交替设置的第三掩膜区域和第四掩膜区域;其中,沿第二方向,第三掩膜区域的端部与第四掩膜区域的端部不平齐;

[0153] S140:根据第三掩膜区域和第四掩膜区域刻蚀多个第二矩形环,形成沿第三方向交替设置的第三组导电线和第四组导电线,以形成第二导电线;

[0154] 其中,第二方向和第三方向相交且平行于同一平面。

[0155] 本公开实施例中,通过形成第一导电线和第二导电线,由于第一导电线包括端部不平齐的第一组导电线和第二组导电线,第一组导电线和第二组导电线可呈“凹凸状”;由于第二导电线包括端部不平齐的第三组导电线和第四组导电线,第三组导电线和第四组导电线可呈“凹凸状”,当测试结果指示相变存储器中包括不满足预设要求相变存储单元时,利用该“凹凸状”标记作为指引,有利于精确、快速地定位该相变存储单元。

[0156] 进一步地,由于相变存储单元的定位准确度增加,有利于提高失效分析的精确度,及时地反馈正确的信息,提升器件的良率。由于相变存储单元的定位时间减少,有利于提升失效分析的效率。

[0157] 图5a至图5k是根据本公开实施例示出的一种相变存储器的一种制作方法的结构示意图。下面将结合图4、图5a至图5k对本公开的制作方法再做进一步详细的说明。

[0158] 在一些实施例中,上述在多个存储叠层上形成沿第二方向交替设置的第一掩膜区域和第二掩膜区域的步骤之前,所述方法还包括:

[0159] 刻蚀沿第一方向堆叠设置的第一导电层和存储材料叠层,以分别形成沿第二方向并列设置的多个第一矩形环和沿第二方向并列设置的多个存储叠层;

[0160] 其中,第一方向垂直于第二方向与第三方向所在的平面。

[0161] 示例性地,参照图5a所示,形成堆叠设置的衬底结构100和第一堆叠结构200。

[0162] 示例性地,可通过薄膜沉积工艺,形成覆盖衬底结构100的第一堆叠结构200。薄膜沉积工艺包括但不限于化学气相沉积(CVD)工艺、等离子体增强化学气相沉积(PECVD)工艺、原子层沉积(ALD)工艺或其组合。

[0163] 在一些实施例中,上述形成覆盖衬底结构的第一堆叠结构,包括:形成沿第一方向堆叠设置的第一导电层、存储材料叠层和牺牲层。

[0164] 示例性地,参照图5a所示,在衬底结构100上依次形成第一导电层201、存储材料叠层和牺牲层210。这里,存储材料叠层,包括:沿z方向依次堆叠设置的第一粘接层202、第一

电极层203、选通层204、第二电极层205、第一阻挡层206、相变存储层207、第二阻挡层208、第三电极层209。

[0165] 衬底结构100,包括:衬底101、互连线102、第一介质层103、第二介质层104和连接结构105。

[0166] 第一堆叠结构200,包括:沿z方向依次堆叠设置的第一导电层201、第一粘接层202、第一电极层203、选通层204、第二电极层205、第一阻挡层206、相变存储层207、第二阻挡层208、第三电极层209、第一牺牲层210。

[0167] 衬底101的组成材料包括:半导体材料。例如,单质半导体材料(硅、锗)、III-V族化合物半导体材料、II-VI族化合物半导体材料、有机半导体材料或者本领域已知的其它半导体材料。

[0168] 互连线102的组成材料包括:导电材料。例如,铜或铝等。

[0169] 第一介质层103和第二介质层104的组成材料包括:氧化物或氮化物。例如,氧化硅或氮化硅等。

[0170] 连接结构105的组成材料包括:导电材料。例如,钨、钽、氮化钽或氮化钛等。

[0171] 第一导电层201、第一阻挡层206和第二阻挡层208的组成材料包括:导电材料。例如,钨、钽、或氮化钛等。

[0172] 第一粘接层202的组成材料包括:金属氮化物。例如,氮化钨或氮化钛。

[0173] 第一电极层203、第二电极层205和第三电极层209的组成材料包括:碳材料,例如非晶碳(α 相碳)或碳纳米管。第一电极层203、第二电极层205和第三电极层209均为电极层,其包括的材料可以相同或者不同,不同的附图标记只是为了区分其在位置上的不同,而不必用于描述特定的顺序或先后次序。

[0174] 选通层204的组成材料包括:阈值选择开关(Ovonic threshold switching OTS)材料,例如 Zn_aTe_b 、 Ge_aTe_b 、 Nb_aO_b 或者 $Si_aAs_bTe_c$ 等。这里,a、b和c可包括正数。

[0175] 相变存储层207的组成材料包括:基于硫属元素化物的合金。例如,GST(Ge-Sb-Te)合金。相变存储层207的组成材料还可包括任何其他适合的相变材料。

[0176] 第一牺牲层210的组成材料包括:氮化物;例如,氮化硅或氮氧化硅等。

[0177] 示例性地,参照图5b所示,沿z方向,对第一堆叠结构200进行刻蚀,以在第一堆叠结构200的第一存储区300中形成沿x方向交替设置的第一堆叠体和第一间隙330,第一堆叠体包括第一矩形环310和存储叠层320。并在第一堆叠结构200的第一连接区中形成第一凹槽340。

[0178] 可以理解的是,通过沿z方向向下刻蚀,可形成沿x方向并列设置的多个第一间隙330,该多个第一间隙330将第一导电层201分隔为沿x方向并列设置的多个第一矩形环310,每个第一矩形环310沿y方向延伸;将存储材料叠层分隔为沿x方向并列设置的多个存储叠层320,每个存储叠层320沿y方向延伸;将第一牺牲层210分隔为沿x方向并列设置的多个第一牺牲条,每个第一牺牲条沿y方向延伸。

[0179] 接下来,形成第一掩膜区域和第二掩膜区域。

[0180] 示例性地,参照图5b、图5c和图5d所示,填充第一间隙330和第一凹槽340,以在第一存储区300和第一连接区400中形成第一隔离结构410'。形成覆盖第一隔离结构410'和第一堆叠体的第一掩膜材料层420'。对第一掩膜材料层420'进行图案化处理,以形成沿x方向

交替设置的第一掩膜区域421和第二掩膜区域422,如图5d所示。可以理解的是,沿x方向交替设置的第一掩膜区域421和第二掩膜区域422可构成第一掩膜层420。图5d示出了第一矩形环310和第一掩膜层420的俯视图。参照图5d所示,第一掩膜层420,位于第一存储区300,包括沿x方向交替设置的第一掩膜区域421和第二掩膜区域422,第一掩膜区域421覆盖第一组导电线的预设形成区域,第二掩膜区域422覆盖第二组导电线的预设形成区域。

[0181] 需要指出的是,第一矩形环310和第一掩膜层420之间还包括存储叠层320,为了便于向本领域技术人员传达本公开,图5d中未示出存储叠层320。

[0182] 然后,形成第一导电线。

[0183] 示例性地,结合图5d和图5e所示,以第一掩膜层420作为刻蚀掩膜层,沿z方向,向下刻蚀第一隔离结构410'和第一矩形环310的端部,形成如图5e所示的结构。可以理解的是,刻蚀过程中,第一连接区400中的第一隔离结构410'被去除,以在第一存储区300中形成第一隔离层410。第一矩形环310未被第一掩膜层420所覆盖的端部被去除,以形成多条第一导电线311。

[0184] 可以理解的是,在刻蚀过程中,根据第一掩膜区域421向下刻蚀,可去除位于第一掩膜区域421下方的第一矩形环310所显露的端部,以形成第一组导电线3111,根据第二掩膜区域422向下刻蚀,可去除位于第二掩膜区域422下方的第一矩形环310所显露的端部,以形成第二组导电线3112。

[0185] 图5f示出了第一导电线311的俯视图。参照图5d所示,第一导电线311包括沿x方向交替设置的第一组导电线3111和第二组导电线3112;沿y方向,第一组导电线3111的端部与第二组导电线3112的端部不平齐。

[0186] 在一些实施例中,上述沿第三方向,第一掩膜区域的端部与第二掩膜区域的端部不平齐,包括:

[0187] 沿第三方向,第一掩膜区域的长度与第二掩膜区域的长度不同、且第一掩膜区域沿第二方向的中心线与第二掩膜区域沿第二方向的中心线重合。

[0188] 示例性地,参照图5d所示,沿y方向,第一掩膜区域421与第二掩膜区域422的长度不同,第一掩膜区域421沿x方向的中心线与第二掩膜区域422沿x方向的中心线重合。

[0189] 需要指出的是,这里,第一掩膜区域沿第二方向的中心线表示的是经过第一掩膜区域的中心且与第二方向平行的直线。例如,图5d中所示的第一掩膜区域421为矩形,经由矩形421两个对角的连线可定义该矩形421的中心,经过该中心且与x方向平行的直线表示的是第一掩膜区域沿第二方向的中心线,经过该中心且与y方向平行的直线表示的是第一掩膜区域沿第三方向的中心线。第二掩膜区域同理,此处不再赘述。

[0190] 可以理解的是,利用本公开实施例中的第一掩膜区域与第二掩膜区域作为刻蚀掩膜层,可形成如图3b、图3d以及图5f所示的第一导电线。

[0191] 在一些实施例中,上述沿第三方向,第一掩膜区域的端部与第二掩膜区域的端部不平齐,包括:

[0192] 沿第三方向,第一掩膜区域的长度与第二掩膜区域的长度相同、且第一掩膜区域沿第二方向的中心线与第二掩膜区域沿第二方向的中心线相距第一预设距离。

[0193] 可以理解的是,利用本公开实施例中的第一掩膜区域与第二掩膜区域作为刻蚀掩膜层,可形成如图3c和图3e所示的第一导电线。

[0194] 在一些实施例中,在形成第一导电线之后、在多个第二矩形环上形成沿第三方向交替设置的第三掩膜区域和第四掩膜区域之前还包括:

[0195] 刻蚀存储叠层和形成在存储叠层上的第二导电层,以分别形成阵列分布的多个相变存储单元和沿第三方向并列设置的多个第二矩形环;

[0196] 其中,第一导电线、相变存储单元以及第二导电线沿第一方向依次层叠设置。

[0197] 图5g示出了图5e在EE'切线处的截面图。参照图5g所示,上述方法还包括:在多个存储叠层320上形成第二导电层502。示例性地,沿z方向依次形成覆盖第一隔离层410和存储叠层320的第二粘接层501、第二导电层502和第二牺牲层503。这里,第二粘接层501的材料可与第一粘接层202的材料相同,第二导电层502的材料可与第一导电层201的材料相同,第二牺牲层503的材料可与第一牺牲层210的材料相同。

[0198] 示例性地,参照图5h所示,沿z方向,对第二牺牲层503、第二导电层502、第二粘接层501和存储叠层320进行刻蚀,以在第二存储区600中形成沿y方向交替设置的第二堆叠体和第二间隙,第二堆叠体包括第二矩形环610和相变存储单元620。并在第二连接区700中形成第二凹槽。

[0199] 可以理解的是,通过沿z方向向下刻蚀,可形成沿y方向并列设置的多个第二间隙,第二间隙显露第一导电线311,该多个第二间隙将第二导电层502分隔为沿y方向并列设置的多个第二矩形环610,每个第二矩形环610沿x方向延伸;将存储叠层320分隔为在xoy平面内呈阵列排布的多个相变存储单元620,每个相变存储单元620之间相互电绝缘;将第二牺牲层503分隔为沿y方向并列设置的多个第二牺牲条,每个第二牺牲条沿x方向延伸。

[0200] 接下来,形成第三掩膜区域和第四掩膜区域。

[0201] 示例性地,参照图5h和图5i所示,填充第二间隙和第二凹槽,以在第二存储区600和第二连接区700中形成第二隔离结构710'。形成覆盖第二隔离结构710'和第二堆叠体的第二掩膜材料层720'。对第二掩膜材料层720'进行图案化处理,以形成沿y方向交替设置的第三掩膜区域721和第四掩膜区域722,如图5i所示。可以理解的是,沿y方向交替设置的第三掩膜区域721和第四掩膜区域722可构成第二掩膜层720。

[0202] 图5i示出了第二矩形环610和第二掩膜层720的俯视图。参照图5i所示,第二掩膜层720,位于第二存储区600,包括沿y方向交替设置的第三掩膜区域721和第四掩膜区域722,第三掩膜区域721覆盖第三组导电线的预设形成区域,第四掩膜区域722覆盖第四组导电线的预设形成区域。

[0203] 需要指出的是,第二矩形环610和第二掩膜层720之间还包括相变存储单元620,为了便于向本领域技术人员传达本公开,图5i中未示出相变存储单元620。

[0204] 之后,形成第二导电线。

[0205] 示例性地,结合图5i和图5j所示,以第二掩膜层720作为刻蚀掩膜层,沿z方向,向下刻蚀第二隔离结构710'和第二矩形环610的端部,形成如图5j所示的结构。可以理解的是,刻蚀过程中,第二连接区700中的第二隔离结构710'被去除,以在第二存储区600中形成第二隔离层710。第二矩形环610未被第二掩膜层720所覆盖的端部被去除,以形成多条第二导电线611。

[0206] 可以理解的是,在刻蚀过程中,根据第三掩膜区域721向下刻蚀,可去除位于第三掩膜区域721下方的第二矩形环610所显露的端部,以形成第三组导电线6111,根据第四掩

膜区域722向下刻蚀,可去除位于第四掩膜区域722下方的第二矩形环610所显露的端部,以形成第四组导电线6112。

[0207] 图5k示出了第二导电线611的俯视图。参照图5k所示,第二导电线611包括沿y方向交替设置的第三组导电线6111和第四组导电线6112;沿x方向,第三组导电线6111的端部和第四组导电线6112的端部不平齐。

[0208] 在一些实施例中,上述沿第二方向,第三掩膜区域的端部与第四掩膜区域的端部不平齐,包括:

[0209] 沿第二方向,第三掩膜区域的长度与第四掩膜区域的长度不同、且第三掩膜区域沿第三方向的中心线与第四掩膜区域沿第三方向的中心线重合。

[0210] 示例性地,参照图5i所示,沿x方向,第三掩膜区域721与第四掩膜区域722的长度不同,第三掩膜区域721沿y方向的中心线与第四掩膜区域722沿y方向的中心线重合。

[0211] 需要指出的是,这里,第三掩膜区域沿第三方向的中心线表示的是经过第三掩膜区域的中心且与第三方向平行的直线。例如,图5i中所示的第三掩膜区域721为矩形,经由矩形721两个对角的连线可定义该矩形721的中心,经过该中心且与y方向平行的直线表示的是第三掩膜区域沿第三方向的中心线,经过该中心且与x方向平行的直线表示的是第三掩膜区域沿第二方向的中心线。第四掩膜区域同理,此处不再赘述。

[0212] 可以理解的是,利用本公开实施例中的第三掩膜区域与第四掩膜区域作为刻蚀掩膜层,可形成如图3b、图3c以及图5i所示的第二导电线。

[0213] 在一些实施例中,上述沿第二方向,第三掩膜区域的端部与第四掩膜区域的端部不平齐,包括:

[0214] 沿第二方向,第三掩膜区域的长度与第四掩膜区域的长度相同、且第三掩膜区域沿第三方向的中心线与第四掩膜区域沿第三方向的中心线相距第二预设距离。

[0215] 可以理解的是,利用本公开实施例中的第三掩膜区域与第四掩膜区域作为刻蚀掩膜层,可形成如图3d和图3e所示的第二导电线。

[0216] 图6是根据本公开实施例示出的另一种相变存储器的制作方法的流程图。

[0217] 参照图6所示,所述方法包括以下步骤:

[0218] S210:在多个存储叠层上形成沿第二方向交替设置的第一掩膜区域和第二掩膜区域;其中,沿第三方向,第一掩膜区域的端部与第二掩膜区域的端部不平齐;

[0219] S220:根据第一掩膜区域和第二掩膜区域刻蚀第一矩形环,形成沿第二方向交替设置的第一组导电线和第二组导电线,以形成第一导电线;其中,第二方向和第三方向相交且平行于同一平面。

[0220] 在一些实施例中,在形成沿第二方向交替设置的第一组导电线和第二组导电线之后,上述方法还包括:

[0221] 在多个第二矩形环上形成第二掩膜层;其中,沿第二方向,第二掩膜层的端部平齐;根据第二掩膜层刻蚀第二矩形环,形成沿第三方向并列设置且沿第二方向端部平齐的多条第二导电线。

[0222] 相较于相关技术中形成沿第二方向并列设置且端部平齐的多条第一导电线,和,沿第三方向并列设置且端部平齐的多条第二导电线,利用本公开实施例中的方法,可形成沿第二方向交替设置且端部不平齐的第一组导电线和第二组导电线,以形成第一导电线,

和,沿第三方向并列设置且沿第二方向端部平齐的多条第二导电线。

[0223] 图7是根据本公开实施例示出的又一种相变存储器的制作方法的流程图。

[0224] 参照图7所示,所述方法包括以下步骤:

[0225] S310:在多个第二矩形环上形成沿第三方向交替设置的第三掩膜区域和第四掩膜区域;其中,沿第二方向,第三掩膜区域的端部与第四掩膜区域的端部不平齐;

[0226] S320:根据第三掩膜区域和第四掩膜区域刻蚀多个第二矩形环,形成沿第三方向交替设置的第三组导电线和第四组导电线,以形成第二导电线;其中,第二方向和第三方向相交且平行于同一平面。

[0227] 在一些实施例中,上述在多个第二矩形环上形成沿第三方向交替设置的第三掩膜区域和第四掩膜区域之前,上述方法还包括:

[0228] 在多个存储叠层上形成第一掩膜层;其中,沿第三方向,第一掩膜层的端部平齐;根据第一掩膜层刻蚀第一矩形环,形成沿第二方向并列设置且沿第三方向端部平齐的多条第一导电线;

[0229] 相较于相关技术中形成沿第二方向并列设置且端部平齐的多条第一导电线,和,沿第三方向并列设置且端部平齐的多条第二导电线,利用本公开实施例中的方法,可形成沿第二方向并列设置且沿第三方向端部平齐的多条第一导电线,和,沿第三方向交替设置且端部不平齐的第三组导电线和第四组导电线,以形成第二导电线。

[0230] 图8是根据本公开实施例示出的一种相变存储器的定位方法的流程图。该方法用于定位上述任一实施例中的相变存储器包括的相变存储单元,参照图8所示,该方法包括以下步骤:

[0231] S410:在相变存储器的电性检测结果中指示相变存储器包括不满足预设要求的目标相变存储单元时,根据检测结果获取指示目标相变存储单元位置的位置参数;其中,位置参数至少包括:指示与目标相变存储单元电连接的目标第一导电线的第一编号,以及与目标相变存储单元电连接的目标第二电导线的第二编号;

[0232] S420:获取每个第一组导电线包括的第一导电线的第一数量,并获取每个第二组导电线包括的第一导电线的第二数量;根据第一编号、第一数量以及第二数量,确定目标第一导电线的位置;根据目标第一导电线的位置和第二编号,定位相变存储器中目标相变存储单元的实际位置;

[0233] 和/或,

[0234] 获取每个第三组导电线包括的第二电导线的第三数量,并获取每个第四组导电线包括的第二电导线的第四数量;根据第二编号、第三数量以及第四数量,确定目标第二电导线的位置;根据目标第二电导线的位置和第一编号,定位相变存储器中目标相变存储单元的实际位置。

[0235] 下面将以图3b所示的相变存储器2000为例,对本公开的定位方法再做进一步详细的说明。

[0236] 示例性地,对相变存储器2000进行晶圆测试,并获得检测结果。当检测结果指示相变存储单元2200' 失效时,获取与相变存储单元2200' 电连接的第一导电线2100的第一编号16(例如,从左往右数第16个第一导电线),获取与相变存储单元2200' 电连接的第二导电线2300的第二编号16(例如,从上往下数第16个第二导电线)。

[0237] 第一组导电线包括的第一导电线的第二数量为4,第二组导电线包括的第一导电线的第二数量为4,根据第一编号16、第一数量4以及第二数量4,可精确定位相变存储单元2200' 位于第二个第二组导电线。

[0238] 第三组导电线包括的第二导电线的第三数量为4,第四组导电线包括的第二导电线的第四数量为4,根据第二编号16、第三数量4以及第四数量4,可精确定位相变存储单元2200' 位于第二个第四组导电线。

[0239] 利用本公开实施例的定位方法,在对相变存储器进行电性测试时,有利于精确、快速地定位相变存储单元,提高失效分析的精确度。

[0240] 图9是根据本公开实施例示出的一种掩膜版3000的结构示意图。掩膜版3000用于上述任一实施例中的相变存储器的制作方法以形成上述任一实施例中的相变存储器,参照图9所示,掩膜版3000包括:

[0241] 相对设置的第一侧面3100和第二侧面3200;其中,第一侧面3100包括交替设置的第一凸部3110和第一凹部3120;第二侧面3200包括交替设置的第二凸部3210和第二凹部3220或交替设置的第二凹部和第二凸部。

[0242] 掩膜版3000的组成材料包括:铬。

[0243] 示例性地,在第一侧面3100包括交替设置的第一凸部3110和第一凹部3120;第二侧面3200包括交替设置的第二凸部3210和第二凹部3220时,利用本公开实施例中的掩膜版,对图5c中的第一掩膜材料层420' 进行曝光、显影工艺,可形成图5d中的第一掩膜层420,根据第一掩膜层420刻蚀第一矩形环310,可形成如图3b和图3d所示的第一组导电线和第二组导电线。

[0244] 可以理解的是,在第一侧面包括交替设置的第一凸部和第一凹部;第二侧面包括交替设置的第二凹部和第二凸部时,利用本公开实施例中的掩膜版,可形成如图3c和图3e所示的第一组导电线和第二组导电线。

[0245] 示例性地,在第一侧面3100包括交替设置的第一凸部3110和第一凹部3120;第二侧面3200包括交替设置的第二凸部3210和第二凹部3220时,利用本公开实施例中的掩膜版,对图5h中的第二掩膜材料层720' 进行曝光、显影工艺,可形成图5i中的第二掩膜层720,根据第二掩膜层720刻蚀第二矩形环610,可形成如图3b和图3c所示的第三组导电线和第四组导电线。

[0246] 可以理解的是,在第一侧面包括交替设置的第一凸部和第一凹部;第二侧面包括交替设置的第二凹部和第二凸部时,利用本公开实施例中的掩膜版,可形成如图3d和图3e所示的第三组导电线和第四组导电线。

[0247] 可以理解的是,图9中的掩膜版仅为示意,用以向本领域技术人员传达本公开,在实际的相变存储器制作过程中,本领域技术人员可根据设计需求,合理的设置第一凸部和第一凹部以及第二凸部和第二凹部的尺寸。

[0248] 在本公开所提供的实施例中,应该理解到,所揭露的装置、系统与方法,可以通过其他方式实现。以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以所述权利要求的保护范围为准。

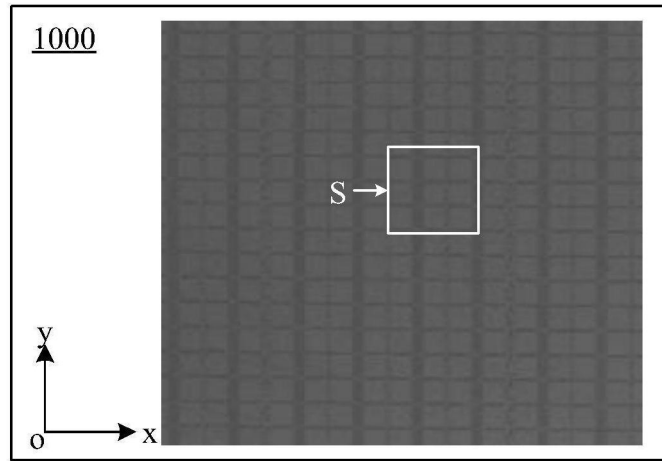


图1a

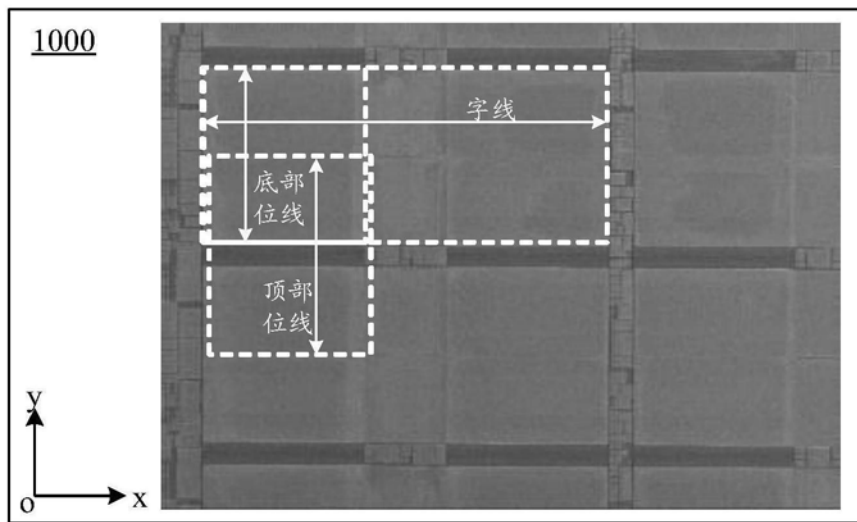


图1b

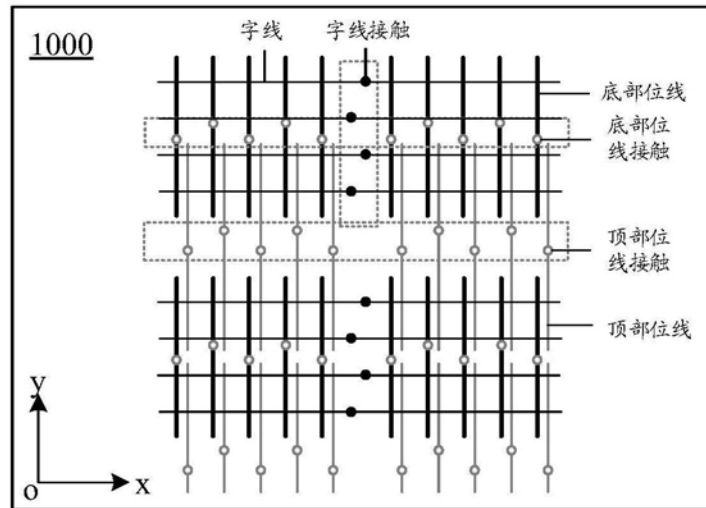


图1c

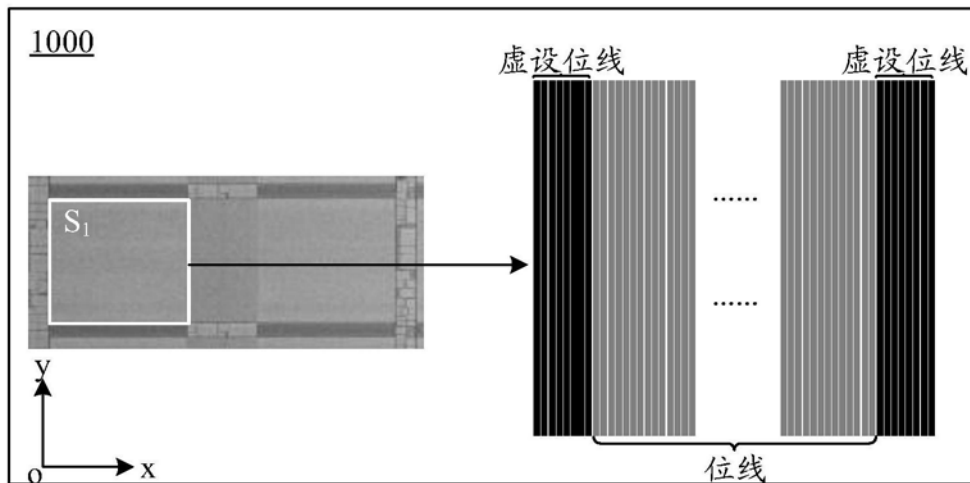


图2a

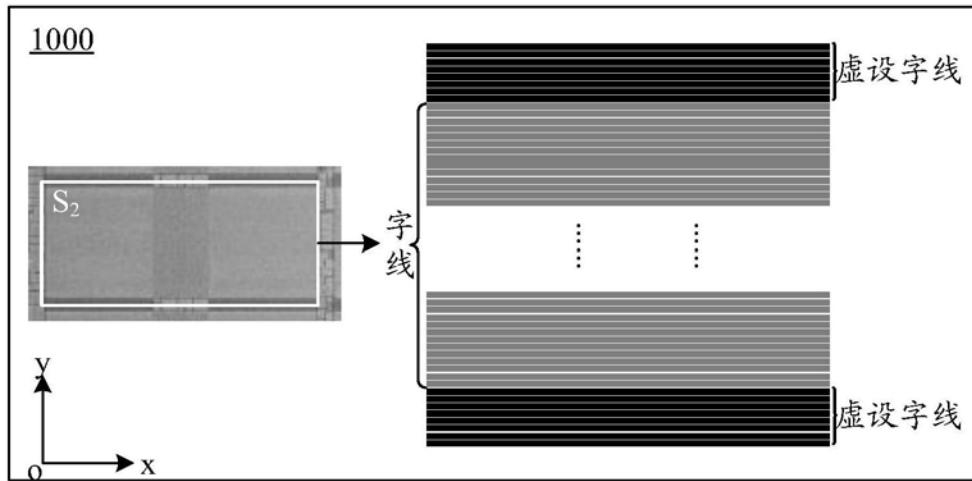


图2b

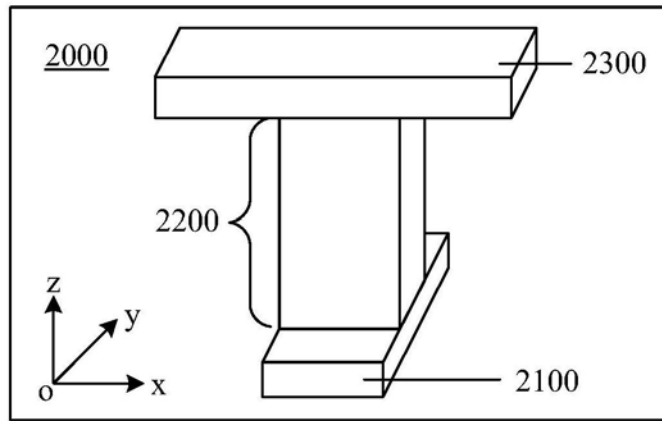


图3a

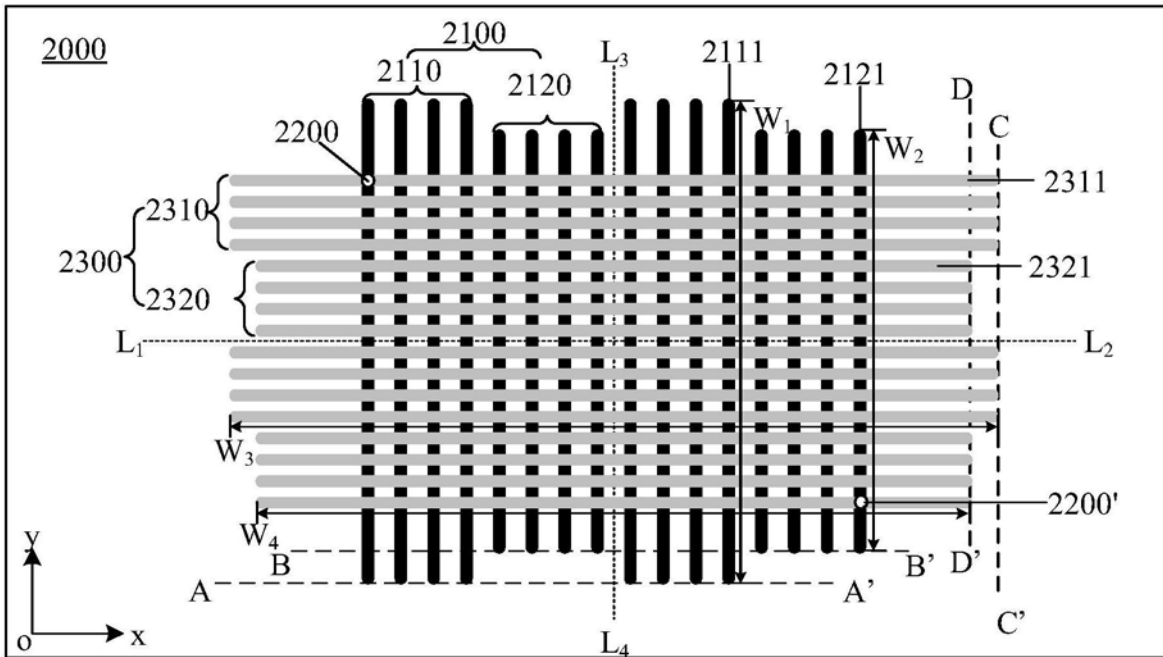


图3b

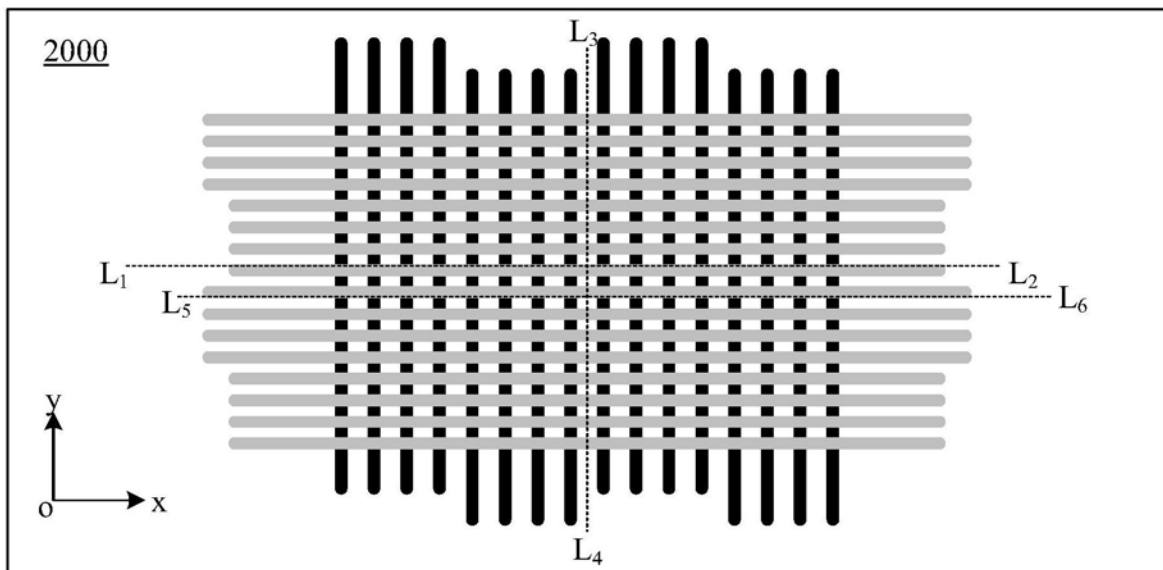


图3c

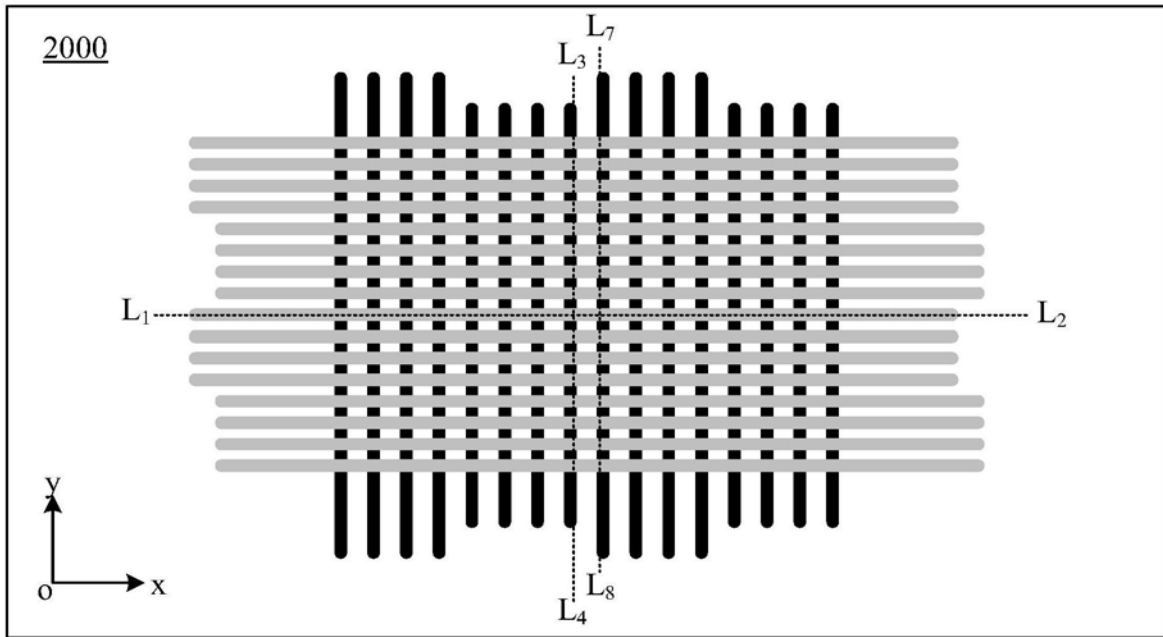


图3d

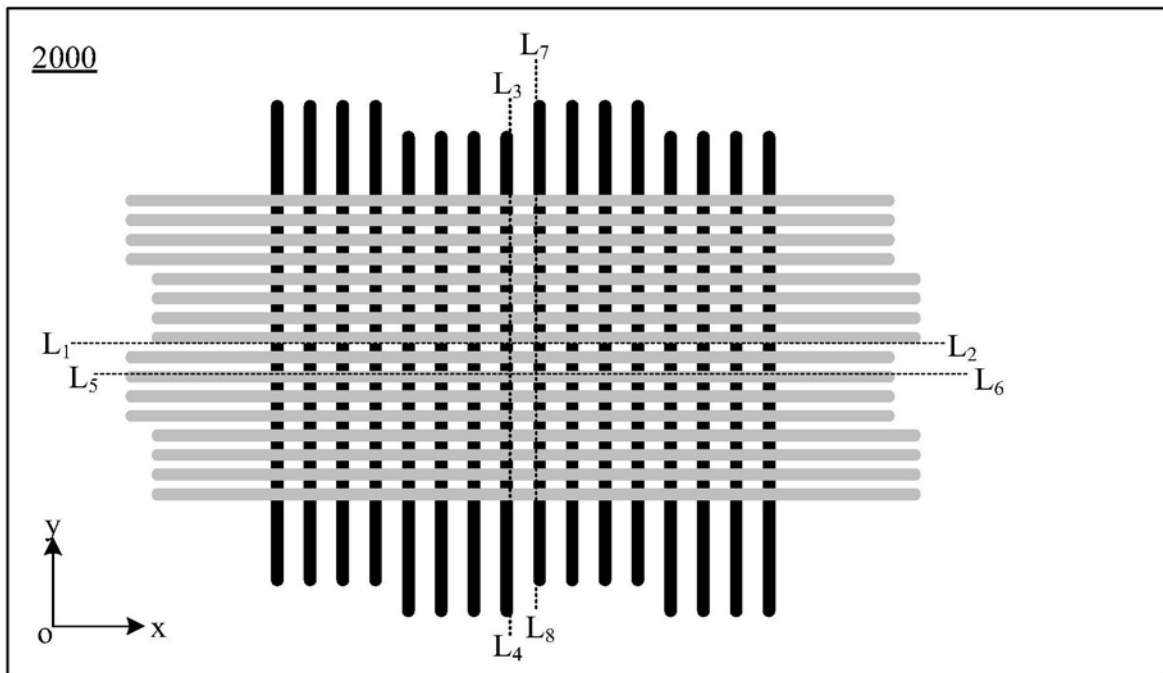


图3e

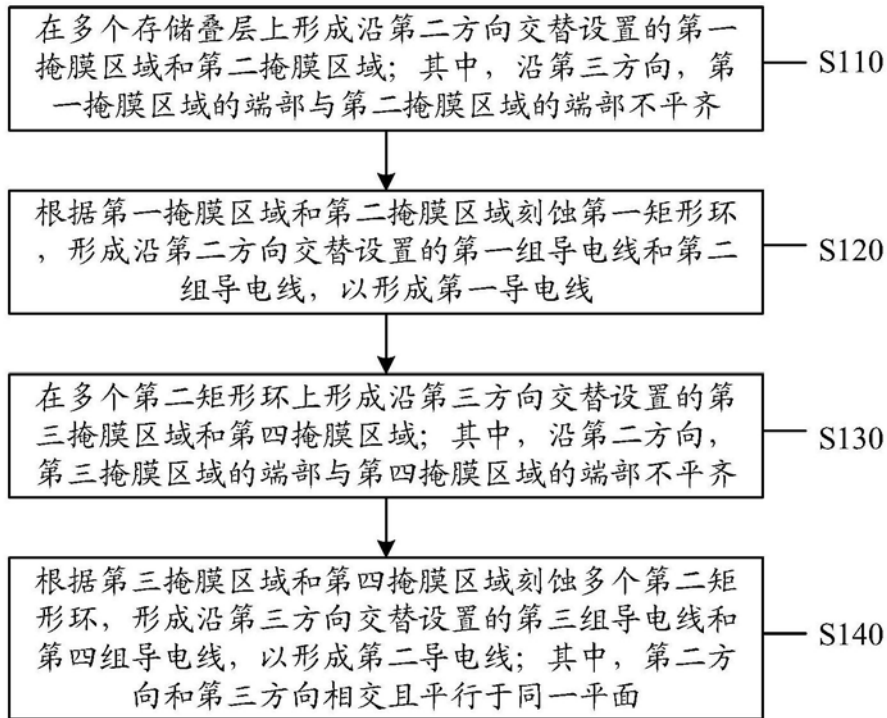


图4

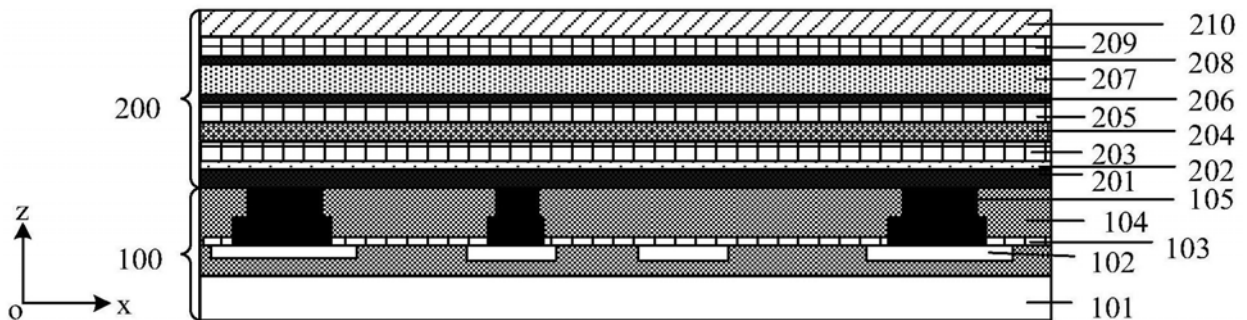


图5a

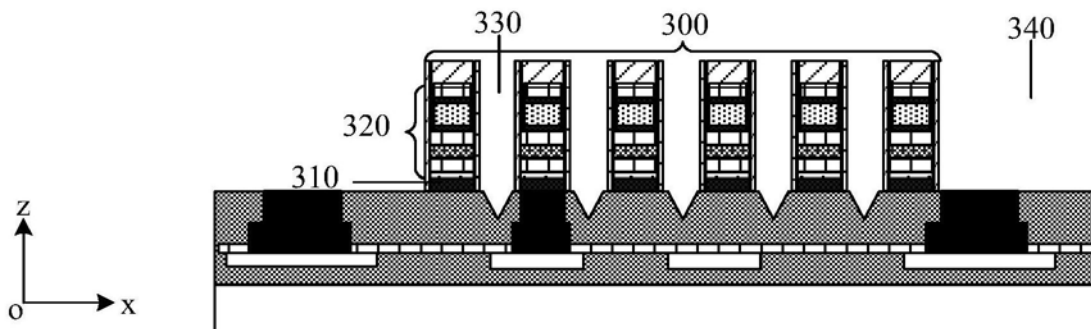


图5b

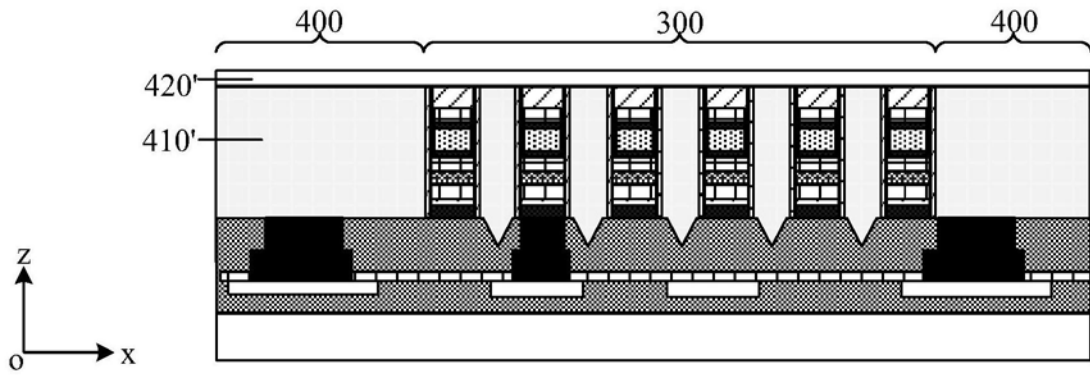


图5c

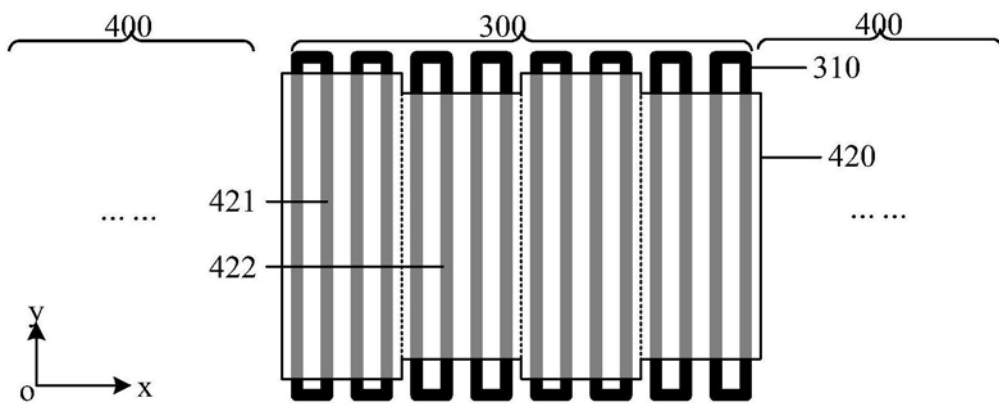


图5d

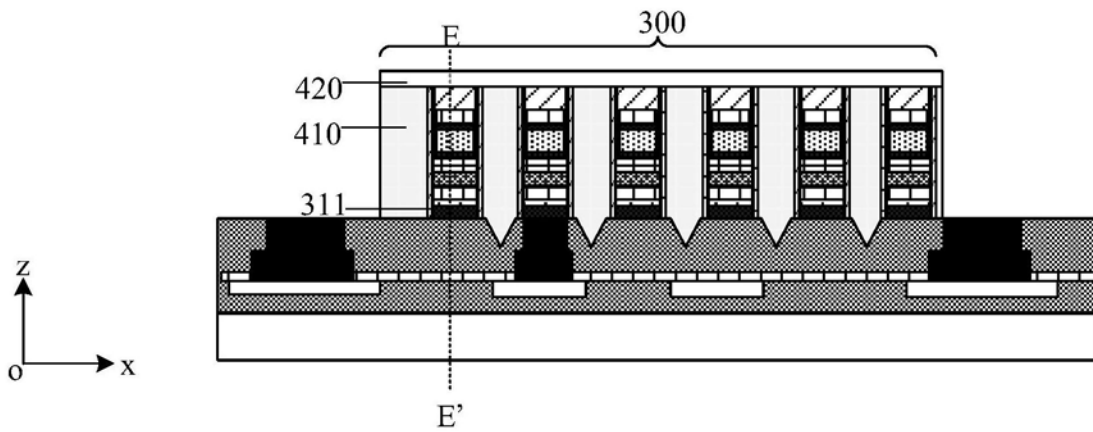


图5e

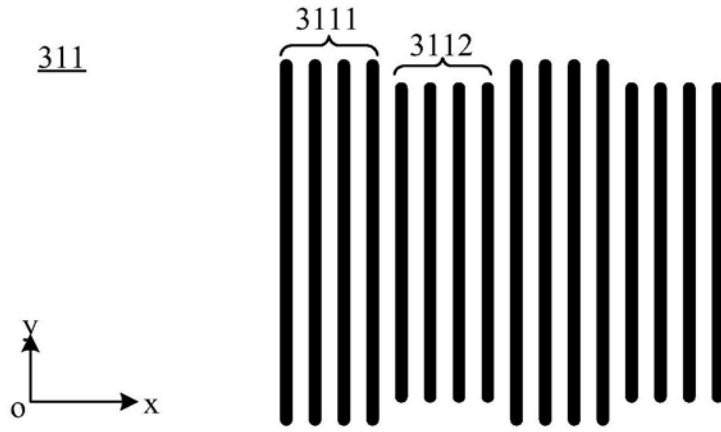


图5f

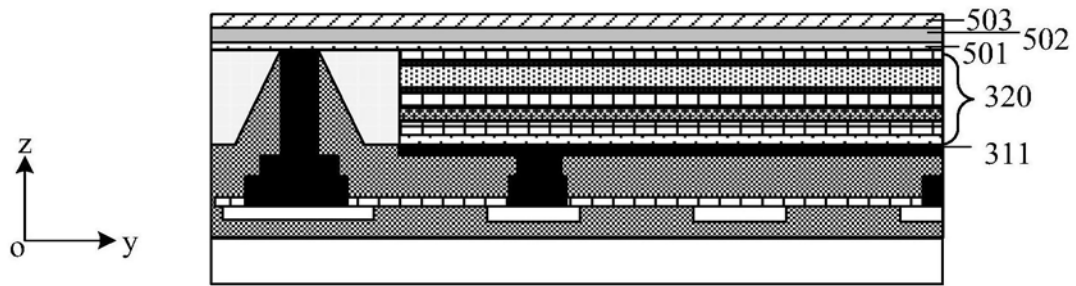


图5g

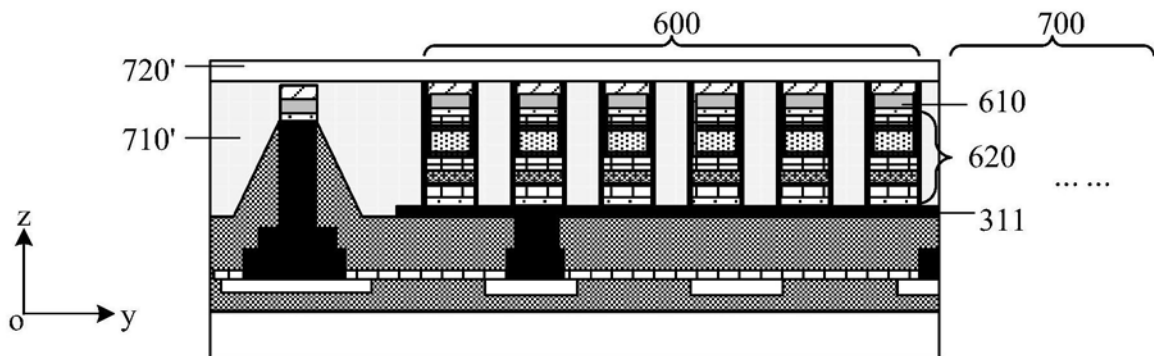


图5h

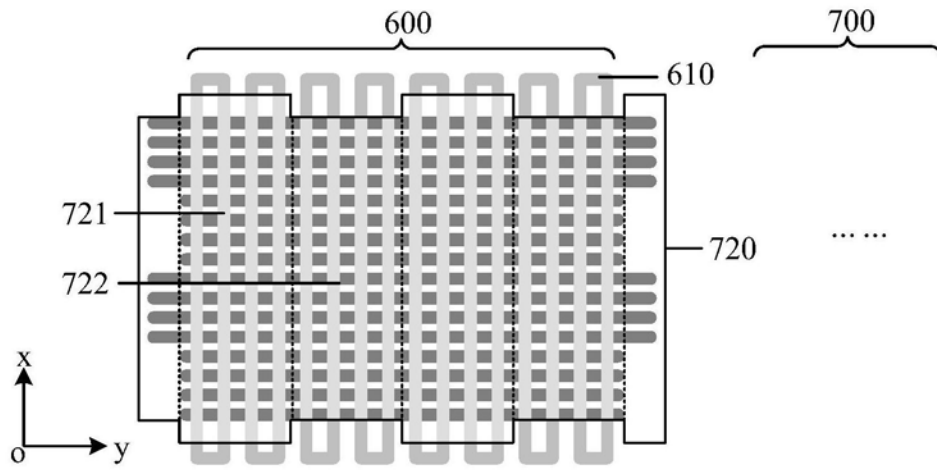


图5i

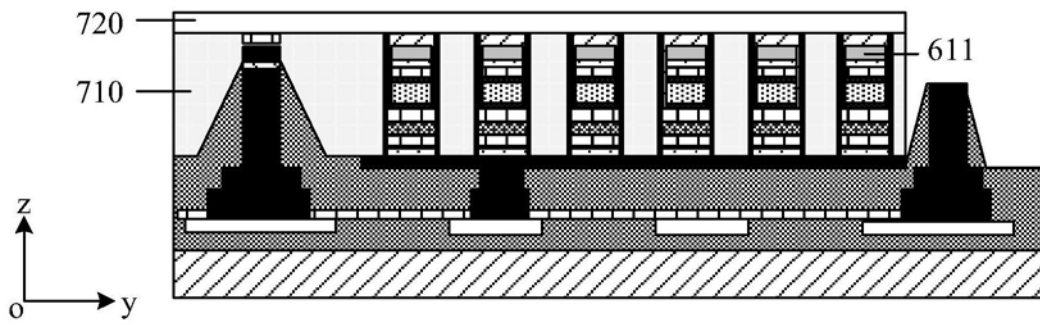


图5j

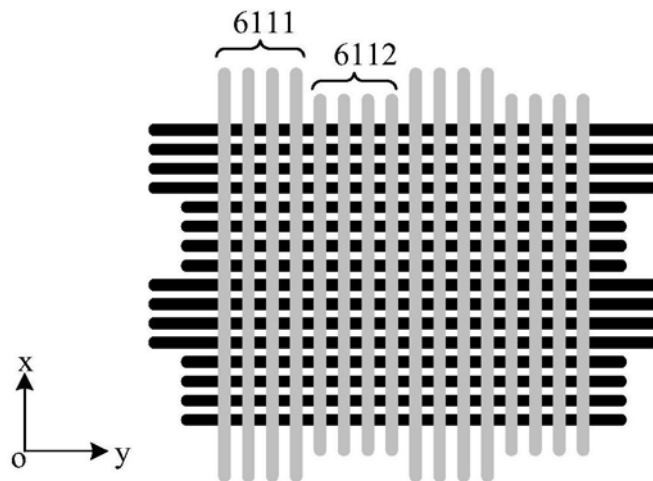


图5k

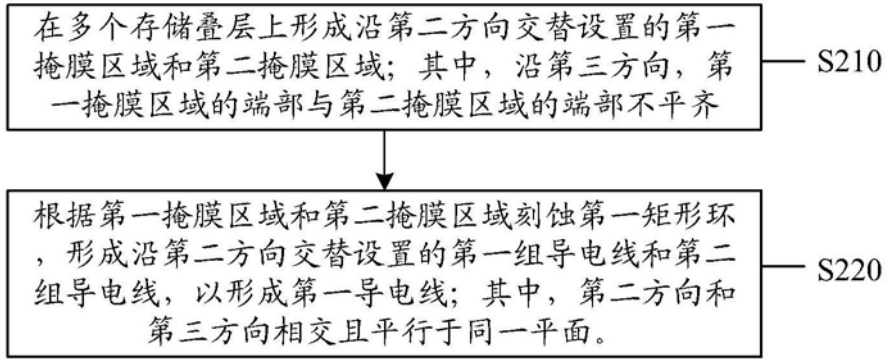


图6

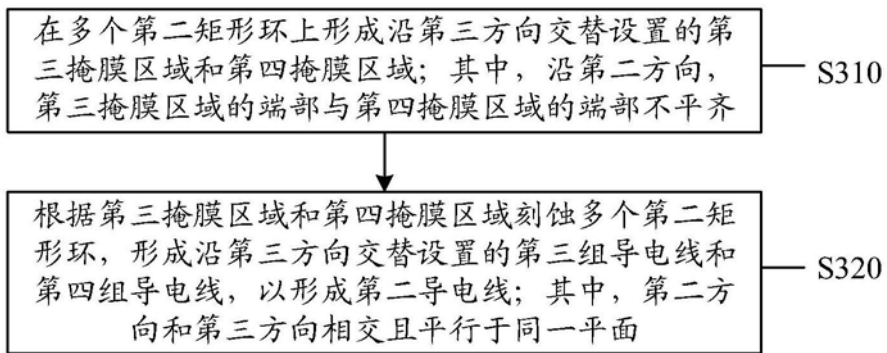


图7

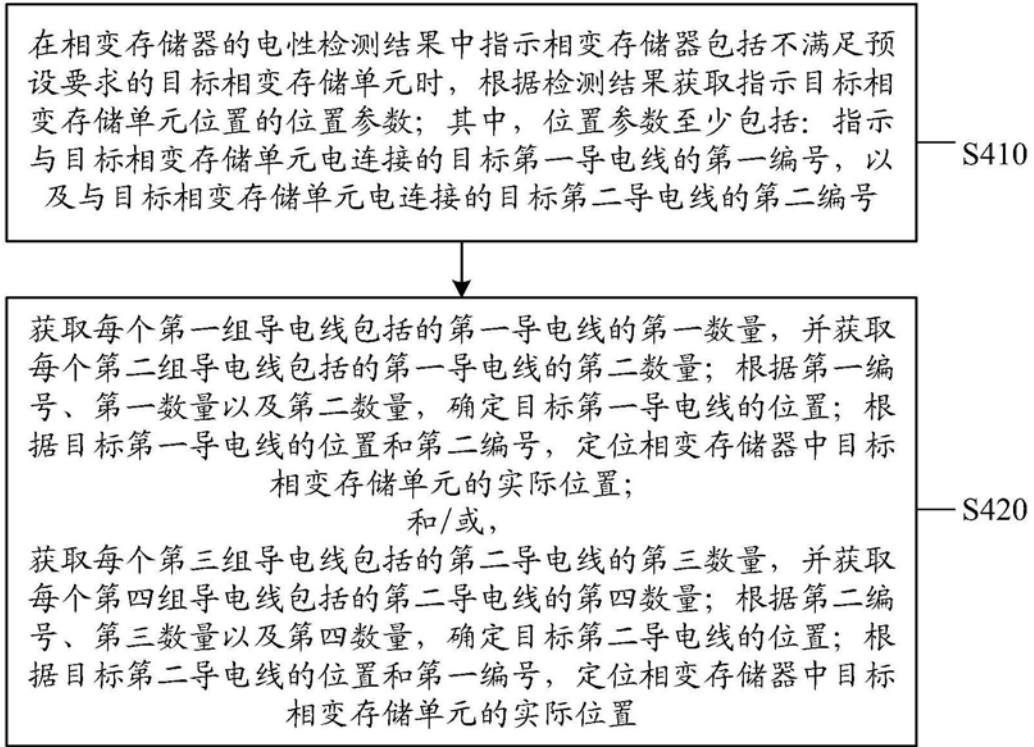


图8

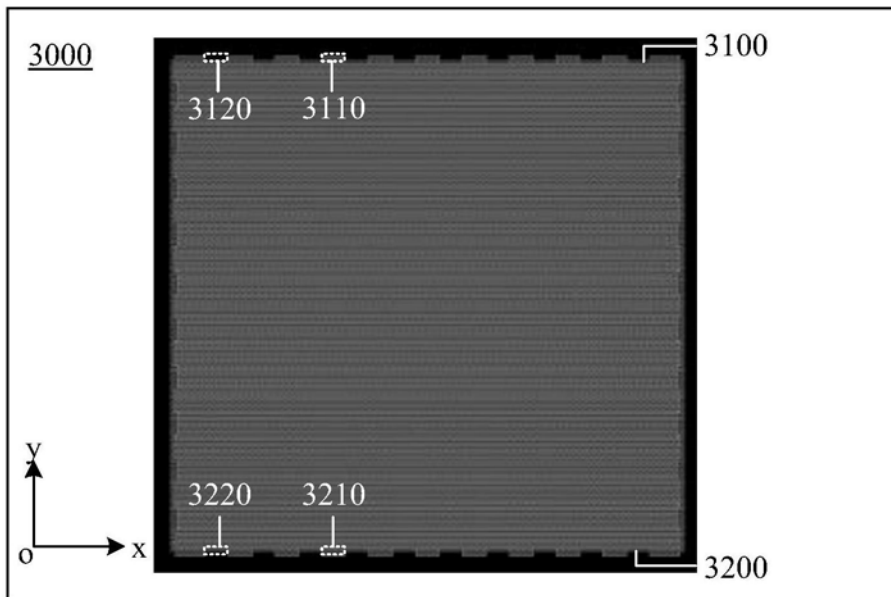


图9