

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-181676

(P2016-181676A)

(43) 公開日 平成28年10月13日(2016.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 25/07 (2006.01)	HO1L 25/04 C	5H770
HO1L 25/18 (2006.01)	HO2M 7/48 Z	
HO2M 7/48 (2007.01)		

審査請求 未請求 請求項の数 21 O L (全 14 頁)

(21) 出願番号 特願2015-238930 (P2015-238930)
 (22) 出願日 平成27年12月7日 (2015.12.7)
 (31) 優先権主張番号 特願2015-61797 (P2015-61797)
 (32) 優先日 平成27年3月24日 (2015.3.24)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 高尾 和人
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 飯島 良介
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

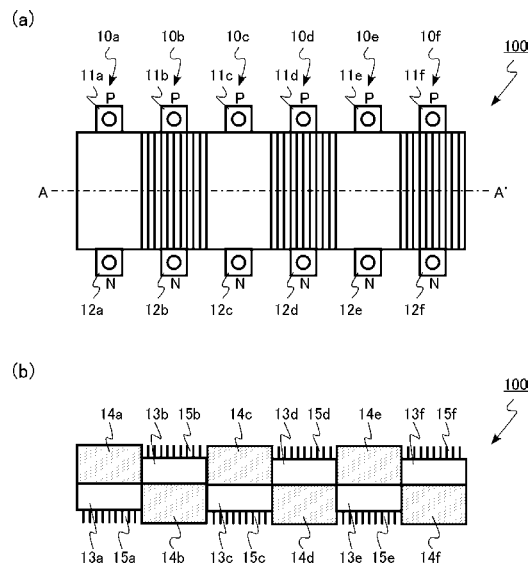
(54) 【発明の名称】 半導体装置、インバータ回路、駆動装置、車両、及び、昇降機

(57) 【要約】

【課題】 インダクタンスの低減が可能な半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、第1の電極、第2の電極、第1の電極と第2の電極との間に電氣的に直列に接続される第1のスイッチング素子と第2のスイッチング素子を有するスイッチング素子部、第1の電極と第2の電極との間に第1のスイッチング素子と第2のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有しスイッチング素子部と積層されるコンデンサ部、を有する複数の回路ユニット、を備え、隣り合う2個の回路ユニットにおいて、一方のスイッチング素子部と他方のコンデンサ部とが隣り合い、一方のコンデンサ部と他方のスイッチング素子とが隣り合い、一方の第1の電極と他方の第1の電極とが隣り合い、一方の第2の電極と他方の第2の電極とが隣り合う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電極、第 2 の電極、前記第 1 の電極と前記第 2 の電極との間に電氣的に直列に接続される第 1 のスイッチング素子と第 2 のスイッチング素子を有するスイッチング素子部、前記第 1 の電極と前記第 2 の電極との間に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有し前記スイッチング素子部と積層されるコンデンサ部、を有する複数の回路ユニット、を備え、

隣り合う 2 個の前記回路ユニットにおいて、一方の前記スイッチング素子部と他方の前記コンデンサ部とが隣り合い、一方の前記コンデンサ部と他方の前記スイッチング素子部とが隣り合い、一方の前記第 1 の電極と他方の前記第 1 の電極とが隣り合い、一方の前記第 2 の電極と他方の前記第 2 の電極とが隣り合う半導体装置。

10

【請求項 2】

前記第 1 の電極が互いに接続され、前記第 2 の電極が互いに接続される請求項 1 記載の半導体装置。

【請求項 3】

隣り合う 2 個の前記回路ユニットにおいて、一方の前記スイッチング素子部と他方の前記コンデンサ部との距離が、一方の前記スイッチング素子部と他方の前記スイッチング素子部との距離よりも短い請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記回路ユニットが、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子との間に接続される第 3 の電極を有する請求項 1 乃至請求項 3 いずれか一項記載の半導体装置

20

【請求項 5】

前記スイッチング素子部の、前記コンデンサ部を挟んで反対側に、ヒートシンクを有する請求項 1 乃至請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記回路ユニットが環状に配置される請求項 1 乃至請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子が、MOSFET 又は IGBTであることを特徴とする請求項 1 乃至請求項 6 いずれか一項記載の半導体装置。

30

【請求項 8】

隣り合う 2 個の前記回路ユニットにおいて、一方の磁束の向きと他方の磁束の向きが反対である請求項 1 乃至請求項 7 いずれか一項記載の半導体装置。

【請求項 9】

第 1 の電極、第 2 の電極、前記第 1 の電極と前記第 2 の電極との間に電氣的に直列に接続される第 1 のスイッチング素子と第 2 のスイッチング素子を有するスイッチング素子部、前記第 1 の電極と前記第 2 の電極との間に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有し前記スイッチング素子部と積層されるコンデンサ部、を有する第 1 の回路ユニットと第 2 の回路ユニット、を備え、

40

前記第 1 の回路ユニットの前記スイッチング素子部と前記第 2 の回路ユニットの前記コンデンサ部とが隣り合い、前記第 1 の回路ユニットの前記コンデンサ部と前記第 2 の回路ユニットの前記スイッチング素子部とが隣り合い、前記第 1 の回路ユニットの前記第 1 の電極と前記第 2 の回路ユニットの前記第 1 の電極とが隣り合い、前記第 1 の回路ユニットの前記第 2 の電極と前記第 2 の回路ユニットの前記第 2 の電極とが隣り合う半導体装置。

【請求項 10】

前記第 1 の電極が互いに接続され、前記第 2 の電極が互いに接続される請求項 9 記載の半導体装置。

【請求項 11】

50

前記第 1 の回路ユニットの前記スイッチング素子部と前記第 2 の回路ユニットの前記コンデンサ部との距離が、前記第 1 の回路ユニットの前記スイッチング素子部と前記第 2 の回路ユニットの前記スイッチング素子部との距離よりも短い請求項 9 又は請求項 10 記載の半導体装置。

【請求項 12】

前記第 1 のスイッチング素子と前記第 2 のスイッチング素子との間に接続される第 3 の電極を有する請求項 9 乃至請求項 11 いずれか一項記載の半導体装置。

【請求項 13】

前記スイッチング素子部の、前記コンデンサ部を挟んで反対側に、ヒートシンクを有する請求項 9 乃至請求項 12 いずれか一項記載の半導体装置。

10

【請求項 14】

前記回路ユニットが環状に配置される請求項 9 乃至請求項 13 いずれか一項記載の半導体装置。

【請求項 15】

前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子が、MOSFET 又は IGBT であることを特徴とする請求項 9 乃至請求項 14 いずれか一項記載の半導体装置。

【請求項 16】

前記第 1 の回路ユニットの磁束の向きと前記第 2 の回路ユニットの磁束の向きが反対である請求項 9 乃至請求項 15 いずれか一項記載の半導体装置。

【請求項 17】

第 1 の電極、第 2 の電極、前記第 1 の電極と前記第 2 の電極との間に電氣的に直列に接続される第 1 のスイッチング素子と第 2 のスイッチング素子を有するスイッチング素子部、前記第 1 の電極と前記第 2 の電極との間に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有し前記スイッチング素子部と積層されるコンデンサ部、を有する第 1 の回路ユニットと第 2 の回路ユニット、を備え、

20

前記第 1 の回路ユニットの磁束の向きと前記第 2 の回路ユニットの磁束の向きが反対である半導体装置。

【請求項 18】

請求項 1 乃至請求項 17 いずれか一項記載の半導体装置を備えるインバータ回路。

30

【請求項 19】

請求項 1 乃至請求項 17 いずれか一項記載の半導体装置を備える駆動装置。

【請求項 20】

請求項 1 乃至請求項 17 いずれか一項記載の半導体装置を備える車両。

【請求項 21】

請求項 1 乃至請求項 17 いずれか一項記載の半導体装置を備える昇降機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置、インバータ回路、駆動、車両、及び、昇降機に関する。

40

【背景技術】

【0002】

例えば、電力変換モジュールのようなパワー半導体モジュールでは、スイッチング動作が高速になるにつれ、ターンオフ時の過電圧による素子破壊やノイズの発生が問題となる。ターンオフ時の過電圧は、回路配線中のインダクタンスとパワー半導体モジュールを流れる電流の時間変化率 (di/dt) に比例する。

【0003】

過電圧を抑制するためにスイッチング時間を長くすると、スイッチング動作が遅くなる。同時に、電流と電圧の積の時間積分で表されるスイッチング損失が大きくなる。過電圧

50

を抑制し、かつ、スイッチング損失を低減するには、パワー半導体モジュールのインダクタンスを低減させることが望ましい。インダクタンスを低減するため、パワー半導体モジュールを複数の回路ユニットに分割する方法がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-67760号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

本発明が解決しようとする課題は、インダクタンスの低減が可能な半導体装置、インバータ回路、駆動装置、車両、及び、昇降機を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の電極、第2の電極、前記第1の電極と前記第2の電極との間に電氣的に直列に接続される第1のスイッチング素子と第2のスイッチング素子を有するスイッチング素子部、前記第1の電極と前記第2の電極との間に前記第1のスイッチング素子と前記第2のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有し前記スイッチング素子部と積層されるコンデンサ部、を有する複数の回路ユニット、を備え、隣り合う2個の前記回路ユニットにおいて、一方の前記スイッチング素子部と他方の前記コンデンサ部とが隣り合い、一方の前記コンデンサ部と他方の前記スイッチング素子部とが隣り合い、一方の前記第1の電極と他方の前記第1の電極が隣り合い、一方の前記第2の電極と他方の前記第2の電極が隣り合う。

20

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式図。

【図2】第1の実施形態の回路ユニットの等価回路図。

【図3】比較形態の半導体装置の模式図。

【図4】比較形態及び第1の実施形態の半導体装置の動作時の電流の向きと磁束の向きを示す図。

30

【図5】第2の実施形態の半導体装置の模式平面図。

【図6】第3の実施形態の駆動装置の模式斜視図。

【図7】第4の実施形態の車両の模式図。

【図8】第5の実施形態の車両の模式図。

【図9】第6の実施形態の昇降機の模式図。

【図10】実施例の説明図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

40

【0009】

(第1の実施形態)

本実施形態の半導体装置は、第1の電極、第2の電極、第1の電極と第2の電極との間に電氣的に直列に接続される第1のスイッチング素子と第2のスイッチング素子を有するスイッチング素子部、第1の電極と第2の電極との間に第1のスイッチング素子と第2のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有しスイッチング素子部と積層されるコンデンサ部、を有する複数の回路ユニット、を備える。そして、隣り合う2個の回路ユニットにおいて、一方のスイッチング素子部と他方のコンデンサ部とが隣り合い、一方のコンデンサ部と他方のスイッチング素子部とが隣り合い、一方の第1の電極と他方の第1の電極が隣り合い、一方の第2の電極と他方の第2の電極が隣り合う。

50

【0010】

また、本実施形態の半導体装置は、第1の電極、第2の電極、第1の電極と第2の電極との間に電氣的に直列に接続される第1のスイッチング素子と第2のスイッチング素子を有するスイッチング素子部、第1の電極と第2の電極との間に第1のスイッチング素子と第2のスイッチング素子に対し電氣的に並列に接続されるコンデンサを有しスイッチング素子部と積層されるコンデンサ部、を有する第1の回路用ニットと第2の回路ユニット、を備える。第1の回路ユニットのスイッチング素子部と第2の回路ユニットのコンデンサ部とが隣り合い、第1の回路ユニットのコンデンサ部と第2の回路ユニットのスイッチング素子とが隣り合い、第1の回路ユニットの第1の電極と第2の回路ユニットの第1の電極が隣り合い、第1の回路ユニットの第2の電極と第2の回路ユニットの第2の電極が隣り合う

10

【0011】

図1は、本実施形態の半導体装置の模式図である。図1(a)が平面図、図1(b)が図1(a)のAA'断面図である。本実施形態の半導体装置は、インバータ回路に用いられる半導体モジュールである。

【0012】

半導体モジュール100は、複数の回路ユニット10a~10fを備える。また、回路ユニット10a~10fは、第1の電極11a~11f、第2の電極12a~12f、スイッチング素子部13a~13f、コンデンサ部14a~14f、ヒートシンク15a~15fを備える。また、回路ユニット10a~10fは、図示しない交流電極、ゲート信号端子を備える。

20

【0013】

回路ユニット10a~10fは、スイッチング素子部13a~13fとコンデンサ部14a~14fが上下に積層された構造を備える。コンデンサ部14a~14fは、それぞれの回路ユニット10a~10fにおいて、スイッチング素子部13a~13fの上部又は下部に配置される。ヒートシンク15a~15fは、スイッチング素子部13a~13fのコンデンサ部14a~14fを挟んで反対側に設けられる。

【0014】

複数の回路ユニット10a~10fは、互いに隣り合って横並びに配置される。

【0015】

隣り合う2個の回路ユニットにおいて、一方のスイッチング素子部と他方のコンデンサ部とが隣り合い、一方のコンデンサ部と他方のスイッチング素子部とが隣り合う。例えば、隣り合う回路ユニット10aと回路ユニット10bに着目する。回路ユニット10aのスイッチング素子部13aと、回路ユニット10bのコンデンサ部14bとが隣り合う。また、回路ユニット10aのコンデンサ部14aと、回路ユニット10bのスイッチング素子部13bとが隣り合う。

30

【0016】

言い換えれば、隣り合う2個の回路ユニットにおいて、一方のスイッチング素子部と他方のコンデンサ部との距離が、一方のスイッチング素子部と他方のスイッチング素子部との距離よりも短い。また、言い換えれば、隣り合う2個の回路ユニットが、上下の向きが反転した関係で配置されている。他の、隣り合う2個の回路ユニットにおいても同様である。

40

【0017】

また、隣り合う2個の回路ユニットにおいて、第1の電極と第1の電極とが隣り合い、第2の電極と第2の電極とが隣り合う。例えば、隣り合う回路ユニット10aと回路ユニット10bに着目する。回路ユニット10aの第1の電極11aと回路ユニット10bの第1の電極11bとが隣り合う。また、回路ユニット10aの第2の電極12aと回路ユニット10bの第2の電極12bとが隣り合う。他の、隣り合う2個の回路ユニットにおいても同様である。

【0018】

50

第1の電極11a~11fには、共通の電位が印加される。第2の電極12a~12fには、共通の電位が印加される。回路ユニット10a~10fは並列に接続される。

【0019】

第2の電極12a~12fには、第1の電極11a~11fよりも低い電位が印加される。第1の電極11a~11fには、正の電位が印加される。第2の電極12a~12fは、接地されるか、又は、負の電位が与えられる。

【0020】

図2は、本実施形態の回路ユニットの等価回路図である。回路ユニット10a~10fの回路に相当する回路図である。

【0021】

回路ユニット10は、第1の電極11、第2の電極12、スイッチング素子部13、コンデンサ部14、交流電極(第3の電極)16を備える。

【0022】

スイッチング素子部13は、第1のスイッチング素子18、第2のスイッチング素子20、第1のダイオード22、第2のダイオード24を備える。第1のスイッチング素子18、第2のスイッチング素子20、第1のダイオード22、第2のダイオード24は、例えば、図示しない、絶縁性又は導電性の基板上に実装される。

【0023】

第1のスイッチング素子18と第2のスイッチング素子20は、第1の電極11と第2の電極12との間に電氣的に直列に接続される。第1のスイッチング素子18と第2のスイッチング素子20は、例えば、SiC(炭化珪素)のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)である。

【0024】

第1のダイオード22は、第1のスイッチング素子18に並列に接続される。第2のダイオード24は、第2のスイッチング素子20に並列に接続される。第1のダイオード22及び第2のダイオード24は、還流ダイオードである。

【0025】

コンデンサ部14は、コンデンサ26を備える。コンデンサ26は、第1の電極11と第2の電極12との間に、第1のスイッチング素子18と第2のスイッチング素子20に対し電氣的に並列に接続される。

【0026】

第2の電極12には、第1の電極11よりも低い電位が印加される。第1の電極11には、正の電位が印加される。第2の電極12は、接地されるか、又は、負の電位が与えられる。

【0027】

交流電極16は、第1のスイッチング素子18と第2のスイッチング素子20との間に接続される。第1のスイッチング素子18及び第2のスイッチング素子20のゲート電圧を制御することにより、交流電極16から交流電圧が出力される。

【0028】

第2のスイッチング素子20がオン状態からオフ状態へ変化する間、第1のダイオード22を通して図2中に点線矢印で示す向きに電流が流れる。また、第1のスイッチング素子18がオン状態からオフ状態へ変化する間、第2のダイオード24を通して図2中に点線矢印で示す向きに電流が流れる。

【0029】

次に、本実施形態の半導体装置の作用及び効果について説明する。

【0030】

図3は、比較形態の半導体装置の模式図である。図3(a)が平面図、図3(b)が図3(a)のAA'断面図である。比較形態の半導体装置は、インバータ回路に用いられる半導体モジュールである。

10

20

30

40

50

【0031】

半導体モジュール900は、隣り合う2個の回路ユニットにおいて、一方のスイッチング素子部と他方のスイッチング素子部とが隣り合い、一方のコンデンサ部と他方のコンデンサ部とが隣り合う点で、本実施形態の半導体モジュール100と異なる。言い換えれば、隣り合う2個の回路ユニットが、上下の向きが同じ関係で配置されている点で、本実施形態の半導体モジュール100と異なる。

【0032】

半導体モジュール900は、複数の回路ユニット10a～10fに分割されることによりインダクタンスが低減する。回路ユニット10a～10fの相互インダクタンスを無視すると、半導体モジュール900をN個の回路ユニットに分割することで、半導体モジュール900のインダクタンスは1/Nに低減する。比較形態では、回路ユニットが6個であるため、インダクタンスは1/6に低減する。

10

【0033】

したがって、インダクタンスとパワー半導体モジュールを流れる電流の時間変化率(di/dt)に比例するターンオフ時の過電圧が抑制される。よって、素子破壊やノイズの発生の抑制が可能となる。

【0034】

図4は、比較形態及び本実施形態の半導体装置の動作時の電流の向きと磁束の向きを示す図である。図4(a)が比較形態の場合、図4(b)が本実施形態の場合である。図中、黒矢印が磁束の向きを示す。

20

【0035】

図4(a)に示すように、比較形態の半導体モジュール900では、回路ユニット10a～10fの磁束の向きは同一であり、互いに強めあうことになる。したがって、相互インダクタンスがインダクタンスに加算され、半導体モジュール900のインダクタンスが増加する。

【0036】

半導体モジュール100においても、複数の回路ユニット10a～10fに分割されることによりインダクタンスが低減する。更に、図4(b)に示すように、本実施形態の半導体モジュール100では、回路ユニット10a～10fの磁束の向きは反対になり、互いに打消しあうことになる。したがって、相互インダクタンスがインダクタンスから減算され、インダクタンスが更に低減する。よって、更に、素子破壊やノイズの発生の抑制が可能となる。

30

【0037】

また、本実施形態の半導体モジュール100では、隣り合う2個の回路ユニットにおいて、第1の電極と第1の電極とが隣り合い、第2の電極と第2の電極とが隣り合う。したがって、複数の第1の電極間の接続、及び、複数の第2の電極間の接続が容易である。

【0038】

本実施形態によれば、インダクタンスが低減し、素子破壊やノイズの発生の抑制が可能となる半導体モジュールが実現される。

【0039】

なお、ここでは、回路ユニットが6個の場合を例に説明したが、回路ユニットの数は6個に限定されるものではない。回路ユニットが2個以上であれば、任意の数とすることが可能である。

40

【0040】

(第2の実施形態)

本実施形態の半導体装置は、回路ユニットが環状に配置される以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については、一部記述を省略する。

【0041】

図5は、本実施形態の半導体装置の模式平面図である。本実施形態の半導体装置は、イ

50

ンバータ回路に用いられる半導体モジュールである。

【0042】

半導体モジュール200は、複数の回路ユニット10a~10hが、環状に配置される。回路ユニット10a~10hのそれぞれの第1の電極11a~11hと第2の電極12a~12hを結ぶ方向が、放射状になるよう回路ユニット10a~10hが配置される。言い換えれば、回路ユニット10a~10hはサークル状に配置される。

【0043】

例えば、図1に示す第1の実施形態の半導体モジュールでは、両端に位置する回路ユニット10aと回路ユニット10f以外の回路ユニット10b~10eは、隣り合う2個の回路ユニットから磁束の影響を受ける。しかし、両端に位置する回路ユニット10aと回路ユニット10fでは、隣り合う1個の回路ユニットの磁束のみの影響を受ける。したがって、回路ユニット10a~10f間で磁界の分布が不均一となり、回路ユニット10a~10f間で電流分布が不均一となる。

10

【0044】

回路ユニット10a~10f間で電流分布が不均一となると、半導体モジュールの定格電流に対する設計マージンを大きくとることが必要となる。したがって、半導体モジュールの製造コストが増大する恐れがある。

【0045】

図5に示すように、本実施形態の半導体モジュール200では、すべての回路ユニット10a~10hが、隣り合う2個の回路ユニットから、同様に磁束の影響を受ける。したがって、回路ユニット10a~10h間で磁界の分布の均一性が向上し、回路ユニット10a~10h間で電流分布の均一性が向上する。

20

【0046】

回路ユニット10a~10h間で電流分布の均一性が向上すると、半導体モジュールの定格電流に対する設計マージンを小さくすることが可能となる。したがって、半導体モジュールの製造コストを削減することが可能となる。

【0047】

本実施形態によれば、インダクタンスが低減し、素子破壊やノイズの発生の抑制が可能となる半導体モジュールが実現される。更に、回路ユニット間での電流分布の均一性が向上し、半導体モジュールの製造コストを削減することが可能となる。

30

【0048】

なお、ここでは、回路ユニットが8個の場合を例に説明したが、回路ユニットの数は8個に限定されるものではない。回路ユニットが4個以上且つ偶数であれば、隣り合う回路ユニットの磁束の向きが逆方向となり、任意の数とすることが可能である。

【0049】

(第3の実施形態)

本実施形態のインバータ回路及び駆動装置は、第2の実施形態の半導体装置を備える駆動装置である。

【0050】

図6は、本実施形態の半導体装置を備える駆動装置の模式斜視図である。駆動装置300は、モーター40と、インバータ回路50を備える。

40

【0051】

インバータ回路50は、モーター40の背面に設けられる。インバータ回路50は、第2の実施形態の半導体モジュール200と同一構成の3個の半導体モジュール200a、200b、200cで構成される。3個の半導体モジュール200a、200b、200cを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路50が実現される。インバータ回路50から出力される交流電圧により、モーター40が駆動する。

【0052】

本実施形態のインバータ回路50及び駆動装置300においても、素子破壊やノイズの

50

発生の抑制が可能となる。また、製造コストを削減することが可能となる。また、半導体モジュール 200a、200b、200c のそれぞれが、回路ユニットをサークル状に配置することにより、円盤形状となっている。したがって、モーター 40 の背面に設けることが可能となり、駆動装置 300 の小型化が実現できる。

【0053】

(第4の実施形態)

本実施形態の車両は、第1の実施形態の半導体装置を備える車両である。

【0054】

図7は、本実施形態の車両の模式図である。本実施形態の車両400は、鉄道車両である。車両400は、モーター140と、インバータ回路150を備える。

10

【0055】

インバータ回路150は、第1の実施形態の半導体モジュール100と同一構成の3個の半導体モジュールで構成される。3個の半導体モジュールを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路150が実現される。

【0056】

インバータ回路150から出力される交流電圧により、モーター140が駆動する。モーター140により車両400の車輪90が回転する。

【0057】

本実施形態の車両400は、素子破壊やノイズの発生の抑制されたインバータ回路150を有することにより、高い信頼性を備える。

20

【0058】

(第5の実施形態)

本実施形態の車両は、第1の実施形態の半導体装置を備える車両である。

【0059】

図8は、本実施形態の車両の模式図である。本実施形態の車両1000は、自動車である。車両1000は、モーター140と、インバータ回路150を備える。

【0060】

インバータ回路150は、第1の実施形態の半導体モジュール100と同一構成の3個の半導体モジュールで構成される。3個の半導体モジュールを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路150が実現される。

30

【0061】

インバータ回路150から出力される交流電圧により、モーター140が駆動する。モーター140により車両1000の車輪90が回転する。

【0062】

本実施形態の車両1000は、素子破壊やノイズの発生の抑制されたインバータ回路150を有することにより、高い信頼性を備える。

【0063】

(第6の実施形態)

本実施形態の昇降機は、第1の実施形態の半導体装置を備える昇降機である。

【0064】

図9は、本実施形態の昇降機(エレベータ)の模式図である。本実施形態の昇降機1100は、かご1010、カウンターウエイト1012、ワイヤロープ1014、巻上機1016、モーター140と、インバータ回路150を備える。

40

【0065】

インバータ回路150は、第1の実施形態の半導体モジュール100と同一構成の3個の半導体モジュールで構成される。3個の半導体モジュールを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路150が実現される。

【0066】

インバータ回路150から出力される交流電圧により、モーター140が駆動する。モーター140により巻上機1016が回転し、かご1010が昇降する。

50

【0067】

本実施形態の昇降機1100は、素子破壊やノイズの発生の抑制されたインバータ回路150を有することにより、高い信頼性を備える。

【実施例】

【0068】

以下、実施例を説明する。

【0069】

図10は、実施例の説明図である。図10(a)がシミュレーションを行った構造の説明図である。図10(b)がシミュレーションの結果を示す図である。

【0070】

図10(a)に示すように、反転させた2つの回路ユニット10aと10bを相対的に上下方向に動かし、各回路ユニットの配線基板面のズレ(t)を変化させた。ズレ(t)を変化させて、各回路用ユニット間の結合係数(k)をシミュレーションにより求めた。

【0071】

配線基板面のズレ(t)と結合係数(k)との関係を占めず。配線基板面が一致する位置(t=0)から、tが正の方向(図10(a)中、回路ユニット10bが相対的に上に行く方向)にずれることで結合係数が負になることがわかる。すなわち、隣り合う2つの回路ユニット10aと10bにおいて、一方のスイッチング素子部13aと他方のコンデンサ部14bとが隣り合い、一方のコンデンサ部14aと他方のスイッチング素子部13bとが隣り合うようにすることで、結合係数が負になる。結合係数が負になることにより、相互インダクタンスがインダクタンスから減算されることになり、インダクタンスが低減する。

【0072】

実施例により、実施形態の効果が明らかになった。

【0073】

以上、第1乃至第3の実施形態においては、第1のスイッチング素子及び第2のスイッチング素子について、MOSFETを例に説明したが、IGBT(Insulated Gate Bipolar Transistor)やHEMT(High Electron Mobility Transistor)等を適用することも可能である。

【0074】

また、第1乃至第3の実施形態においては、第1のスイッチング素子及び第2のスイッチング素子の半導体材料としてSiC(炭化珪素)を例に説明したが、Si(シリコン)やGaN(窒化ガリウム)等を適用することも可能である。

【0075】

また、第4乃至第6の実施形態において、本発明の半導体装置を車両やエレベータに適用する場合を例に説明したが、本発明の半導体装置を例えば、太陽光発電システムのパワーコンディショナー等に適用することも可能である。

【0076】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0077】

10 回路ユニット
10a ~ h 回路ユニット
11 第1の電極

10

20

30

40

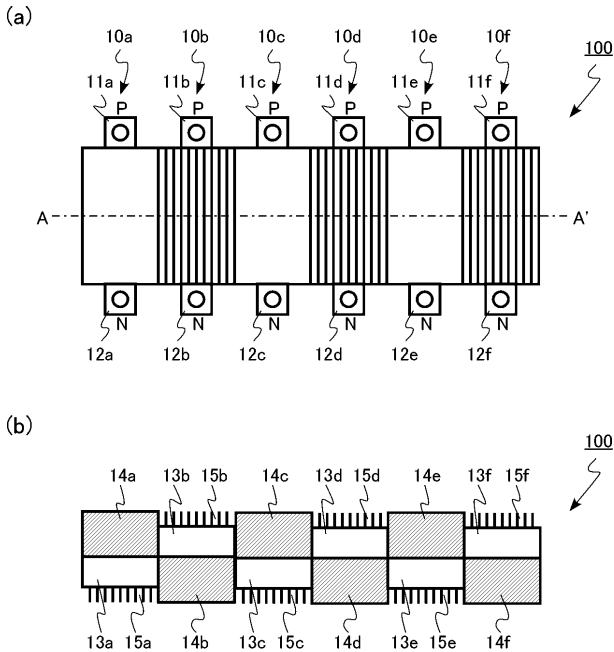
50

- 1 1 a ~ h 第 1 の 電 極
- 1 2 第 2 の 電 極
- 1 2 a ~ h 第 2 の 電 極
- 1 3 スイッチング素子部
- 1 3 a ~ f スイッチング素子部
- 1 4 コンデンサ部
- 1 4 a ~ f コンデンサ部
- 1 5 a ~ f ヒートシンク
- 1 6 交流電極 (第 3 の 電 極)
- 1 8 第 1 の スイッチング素子
- 2 0 第 2 の スイッチング素子
- 2 2 第 1 の ダイオード
- 2 4 第 2 の ダイオード
- 2 6 コンデンサ
- 4 0 モーター
- 5 0 インバータ回路
- 1 0 0 半 導 体 モ ジ ュ ー ル (半 導 体 装 置)
- 1 4 0 モーター
- 1 5 0 インバータ回路
- 2 0 0 半 導 体 モ ジ ュ ー ル (半 導 体 装 置)
- 2 0 0 a ~ c 半 導 体 モ ジ ュ ー ル (半 導 体 装 置)
- 3 0 0 駆 動 装 置
- 4 0 0 車 両
- 1 0 0 0 車 両
- 1 1 0 0 昇 降 機

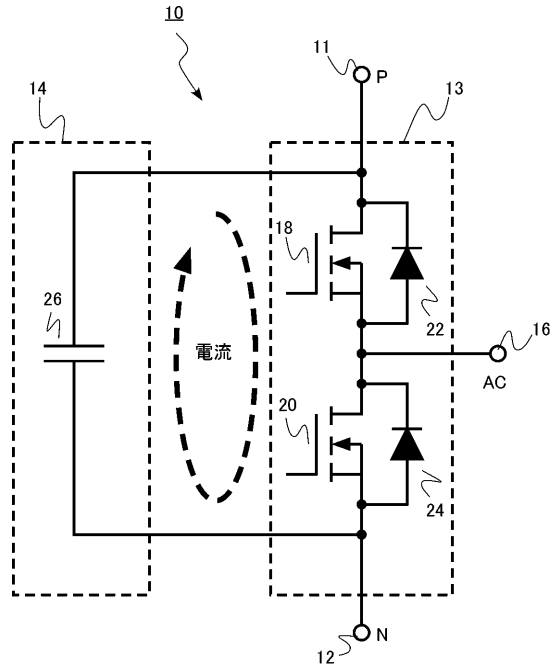
10

20

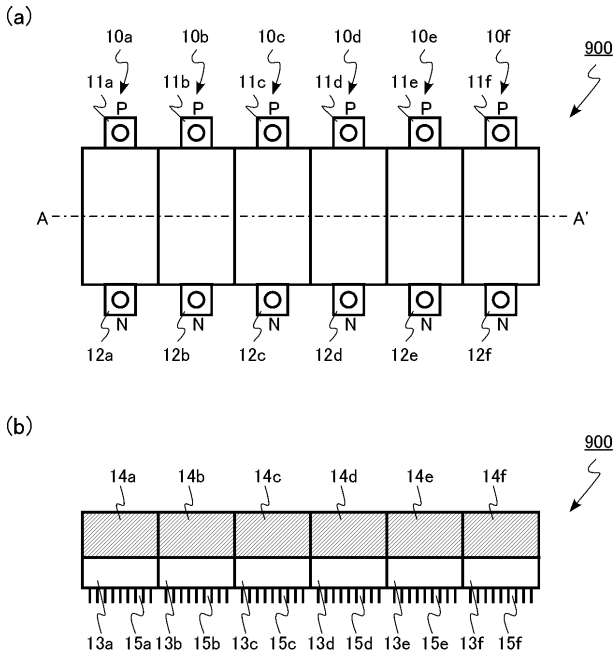
【 図 1 】



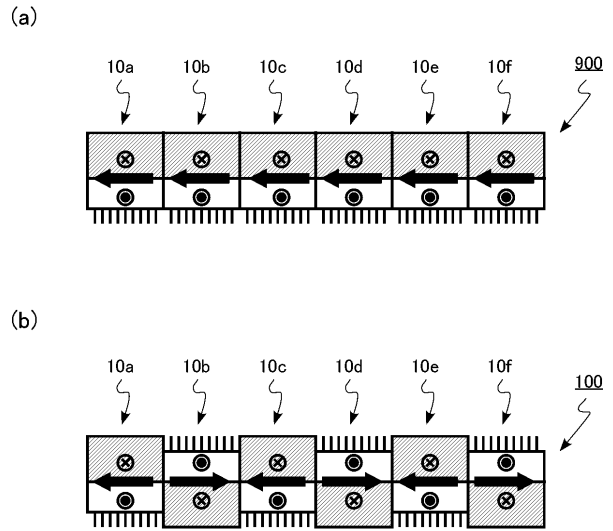
【 図 2 】



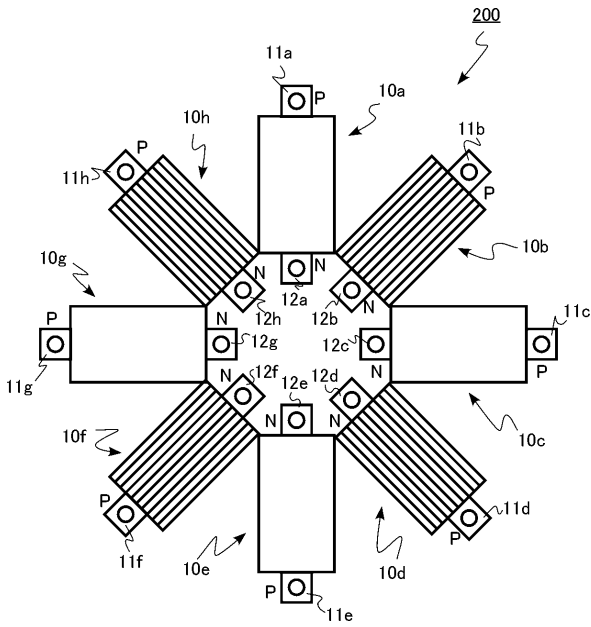
【 図 3 】



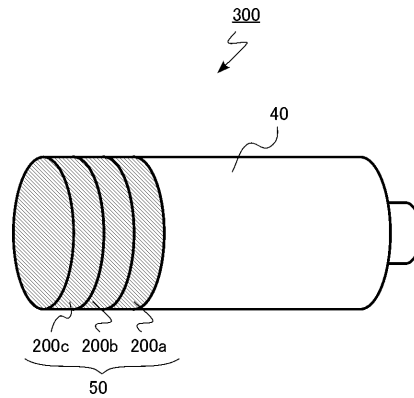
【 図 4 】



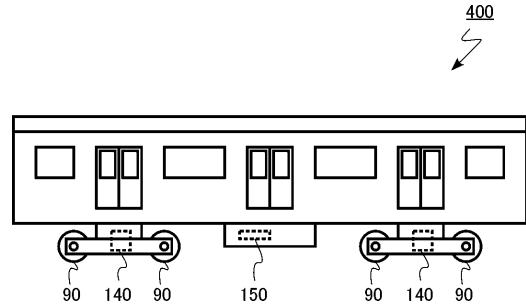
【 図 5 】



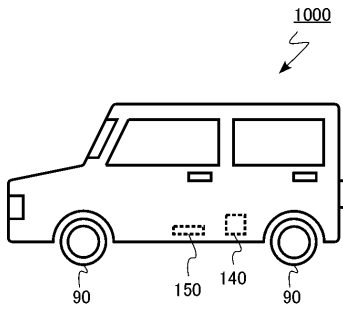
【 図 6 】



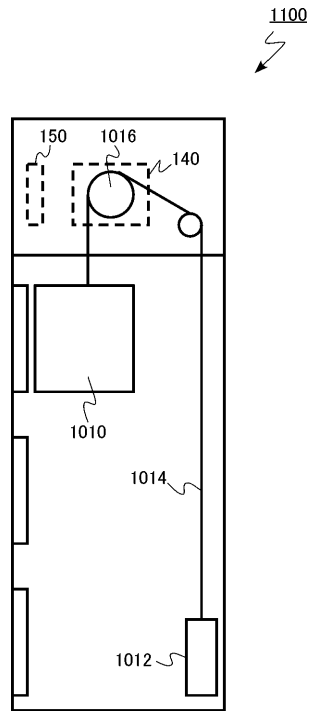
【 図 7 】



【 図 8 】

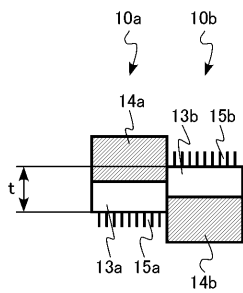


【 図 9 】

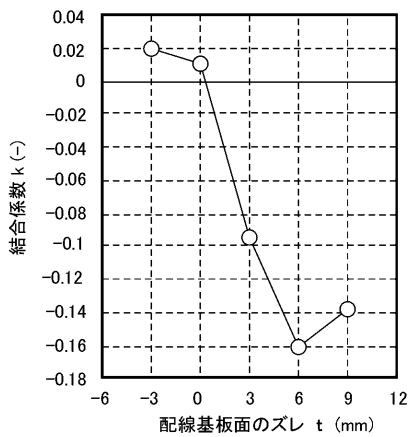


【 図 10 】

(a)



(b)



フロントページの続き

(72)発明者 清水 達雄

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 大橋 輝之

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5H770 AA21 BA02 BA03 DA44 PA22 PA42 QA06 QA08 QA22