

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5374120号
(P5374120)

(45) 発行日 平成25年12月25日 (2013. 12. 25)

(24) 登録日 平成25年9月27日 (2013. 9. 27)

(51) Int. Cl.	F I	
HO 1 L 21/822 (2006. 01)	HO 1 L 27/04	F
HO 1 L 27/04 (2006. 01)	HO 3 K 19/00	A
HO 3 K 19/00 (2006. 01)	HO 1 L 27/04	A
	HO 1 L 27/04	U
	HO 1 L 27/04	B
請求項の数 5 (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2008-291929 (P2008-291929)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年11月14日 (2008. 11. 14)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-118590 (P2010-118590A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成22年5月27日 (2010. 5. 27)	(72) 発明者	佐々木 敏夫 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成23年10月28日 (2011. 10. 28)	(72) 発明者	福岡 一樹 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	森 涼 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
最終頁に続く			

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

電源電圧が供給される第1の電源線と、
基準電圧が供給される第2の電源線と、
基準電位が供給される第3の電源線と、
前記第1の電源線と前記第2の電源線との間に接続され、個別の低消費電力モードが制御される電源領域と、

制御信号に基づいて、前記第2の電源線に前記基準電圧を供給する基準電圧用レギュレータと、

前記第2の電源線と前記第3の電源線との間に接続され、制御信号に基づいて、前記第2の電源線と前記第3の電源線とを導通または非導通、または基準電圧とする電源スイッチ制御部と、

前記電源領域の動作状況をそれぞれ判断し、前記基準電圧用レギュレータ、および前記電源スイッチ制御部を制御する消費電力制御部とを備え、

前記消費電力制御部は、

低消費電力モードの1つである低速モードとする際に、前記基準電圧用レギュレータが電源スイッチのゲートを制御し、基準電圧を前記第2の電源線に供給させるように制御し、前記電源スイッチ制御部が前記第2の電源線と前記第3の電源線とを非導通とするように制御を行い、低速モードとなる任意の前記電源領域を、前記第1の電源線に供給される電源電圧と前記第2の電源線に供給される基準電圧との間で動作させ、

低消費電力モードの1つであるスタンバイモード時には、前記基準電圧用レギュレータの動作を停止させるように制御し、前記電源スイッチ制御部が、前記第2の電源線と前記第3の電源線とが非導通となるように制御を行い、スタンバイモードとなる任意の前記電源領域への電源電圧の供給を遮断させ、

通常動作時には、前記基準電圧用レギュレータの動作を停止させ、前記電源スイッチ制御部が前記第2の電源線と前記第3の電源線とを導通するように制御を行い、通常動作となる任意の前記電源領域を、前記第1の電源線に供給される電源電圧と前記第3の電源線に供給される基準電位との間で動作させることを特徴とする半導体集積回路装置。

【請求項2】

電源電圧が供給される第1の電源線と、

基準電圧が供給される第2の電源線と、

基準電位が供給される第3の電源線と、

前記第1の電源線と前記第2の電源線との間に接続され、個別の低消費電力モードが制御される電源領域と、

前記第2の電源線と前記第3の電源線との間に接続され、制御信号に基づいて、前記第2の電源線と第3の電源線とを導通または非導通とする電源スイッチ制御部と、

前記電源領域の動作状況をそれぞれ判断し、前記電源スイッチ制御部、および外部接続され、制御信号に基づいて前記第2の電源線に前記基準電圧を供給する基準電圧用レギュレータを制御する消費電力制御部とを備え、

前記消費電力制御部は、

低消費電力モードの1つである低速モードとする際に、前記基準電圧用レギュレータが電源スイッチのゲートを制御し、基準電圧を前記第2の電源線に供給させるように制御し、前記電源スイッチ制御部が前記第2の電源線と前記第3の電源線とを非導通とするように制御を行い、低速モードとなる任意の前記電源領域を、前記第1の電源線に供給される電源電圧と前記第2の電源線に供給される基準電圧との間で動作させ、

低消費電力モードの1つであるスタンバイモード時には、前記基準電圧用レギュレータの動作を停止させるように制御し、前記電源スイッチ制御部が、前記第2の電源線と前記第3の電源線とが非導通となるように制御を行い、スタンバイモードとなる任意の前記電源領域への電源電圧の供給を遮断させ、

通常動作時には、前記基準電圧用レギュレータの動作を停止させ、前記電源スイッチ制御部が前記第2の電源線と前記第3の電源線とを導通するように制御を行い、通常動作となる任意の前記電源領域を、前記第1の電源線に供給される電源電圧と前記第3の電源線に供給される基準電位との間で動作させることを特徴とする半導体集積回路装置。

【請求項3】

請求項1または2記載の半導体集積回路装置において、

前記電源スイッチ制御部は、

前記第2の電源線と前記第3の電源線との間に接続された複数のトランジスタからなるスイッチ部と、

前記スイッチ部の動作制御を行うスイッチ制御部とよりなり、

前記スイッチ制御部は、

前記消費電力制御部から出力される制御信号に基づいて、スイッチ制御信号を生成するロジック部と、

前記ロジック部から出力されるスイッチ制御信号に基づいて、前記スイッチ部を動作制御する駆動制御信号を生成するインバータ部とを備え、

前記インバータ部は、

PチャンネルMOSからなる大電力駆動用の第1のトランジスタと、PチャンネルMOSからなる小電力駆動用の第2のトランジスタと、NチャンネルMOSからなる第3のトランジスタとからなり、並列接続された前記第1、および前記第2のトランジスタと前記第3のトランジスタとが直列接続された構成からなり、

前記ロジック部は、

10

20

30

40

50

前記消費電力制御部がスタンバイモードから通常動作に復帰する制御信号を出力した際に、任意の期間、前記第2のトランジスタを駆動させた後、前記第1のトランジスタを駆動させる制御を行うことを特徴とする半導体集積回路装置。

【請求項4】

請求項1～3のいずれか1項に記載の半導体集積回路装置において、

前記半導体集積回路装置は、少なくとも2つの半導体チップが搭載されるシステムインパッケージ構成からなり、前記基準電圧用レギュレータが1つの前記半導体チップで構成されたことを特徴とする半導体集積回路装置。

【請求項5】

請求項1～4のいずれか1項に記載の半導体集積回路装置において、

前記基準電圧用レギュレータが生成する基準電圧は、半導体チップ外部に形成された電源バスを介して前記第2の電源線に給電されることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の低消費電力化技術に関し、特に、低消費電力制御が行われる複数の電源領域を備えた半導体集積回路装置における高精度な低消費電力化に有効な技術に関する。

【背景技術】

【0002】

近年、半導体集積回路装置においては、低消費電力化の要求が非常に強くなっており、低消費電力化技術としては、たとえば、コア電源領域（たとえば、論理ブロック毎）を分割し、その分割された領域毎に電源のON/OFFを制御するとともに、低速動作時などの場合に、電源電圧VDDを制御して消費電力を低減するものが知られている。

【0003】

この低消費電力化技術は、たとえば、ソフトウェアの制御によって、半導体集積回路装置の動作状況を判断し、該半導体集積回路装置を統括するシステムコントローラなどによってコア電源領域のON/OFFを制御している。また、制御される電源電圧は、半導体集積回路装置の外部から供給されている。

【0004】

また、この種の半導体集積回路装置における低消費電力化技術においては、たとえば、横方向に2個設けられた低しきい値pチャンネルMOSトランジスタと横方向に2個設けられた低しきい値nチャンネルMOSトランジスタを縦方向に配列し、pチャンネルMOSトランジスタの上隣に高しきい値pチャンネルMOSトランジスタを配置し、低しきい値nチャンネルMOSトランジスタの下隣に高しきい値nチャンネルMOSトランジスタを配置した基本セルを使用するものがある（たとえば、特許文献1参照）。

【特許文献1】特開平10-125878号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、上記のような半導体集積回路装置における低消費電力化技術では、次のような問題点があることが本発明者により見いだされた。

【0006】

各コアに供給される電源電圧は、要求される動作速度などによって異なっているので、複数の電圧レベルの電源電圧を低速動作時に供給することが望ましい。その場合、電源電圧を供給する電源配線も異なる電源電圧毎に複数本必要となっており、レイアウト面積が大きくなるだけでなく、配線ネットとして高抵抗となってしまう、電源電圧ドロップなどを招いてしまう恐れがある。

【0007】

10

20

30

40

50

本発明の目的は、低消費電力化構造における回路レイアウト面積を大幅に増加させることなく、きめ細かな低電圧制御を行うことのできる技術を提供することにある。

【0008】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

本発明は、電源電圧が供給される第1の電源線と、基準電圧が供給される第2の電源線と、基準電位が供給される第3の電源線と、該第1の電源線と該第2の電源線との間に接続され、個別の低消費電力モードが制御される電源領域と、制御信号に基づいて、第2の電源線に基準電圧を供給する基準電圧用レギュレータと、第2の電源線と第3の電源線との間に接続され、制御信号に基づいて、第2の電源線と第3の電源線とを導通、または非導通とする電源スイッチ制御部と、電源領域の動作状況をそれぞれ判断し、基準電圧用レギュレータ、および電源スイッチ制御部を制御する消費電力制御部とを備え、該消費電力制御部は、低消費電力モードの1つである低速モードとする際に、基準電圧用レギュレータが基準電圧を第2の電源線に供給させるように制御し、電源スイッチ制御部が第2の電源線と第3の電源線とを非導通とするように制御を行い、低速モードとなる任意の電源領域を、第1の電源線に供給される電源電圧と第2の電源線に供給される基準電圧との間で動作させ、低消費電力モードの1つであるスタンバイモード時には、基準電圧用レギュレータの動作を停止させるように制御し、電源スイッチ制御部が、第2の電源線と第3の電源線とが非導通となるように制御を行い、スタンバイモードとなる任意の電源領域への電源電圧の供給を遮断させ、通常動作時には、基準電圧用レギュレータの動作を停止させ、電源スイッチ制御部が第2の電源線と第3の電源線とを非導通するように制御を行い、通常動作となる任意の電源領域を、第1の電源線に供給される電源電圧と第3の電源線に供給される基準電位との間で動作させるものである。

【0011】

また、本発明は、電源電圧が供給される第1の電源線と、基準電圧が供給される第2の電源線と、基準電位が供給される第3の電源線と、第1の電源線と第2の電源線との間に接続され、個別の低消費電力モードが制御される電源領域と、制御信号に基づいて、第2の電源線に基準電圧を供給する基準電圧用レギュレータと、第2の電源線と第3の電源線との間に接続され、制御信号に基づいて、第2の電源線と第3の電源線とを導通または非導通、または基準電圧とする電源スイッチ制御部と、該電源領域の動作状況をそれぞれ判断し、基準電圧用レギュレータ、および電源スイッチ制御部を制御する消費電力制御部とを備え、該消費電力制御部は、低消費電力モードの1つである低速モードとする際に、基準電圧用レギュレータは電源スイッチのゲートを制御し、基準電圧を第2の電源線に供給させるように制御し、電源スイッチ制御部が第2の電源線と第3の電源線とを非導通とするように制御を行い、低速モードとなる任意の電源領域を、第1の電源線に供給される電源電圧と第2の電源線に供給される基準電圧との間で動作させ、低消費電力モードの1つであるスタンバイモード時には、基準電圧用レギュレータの動作を停止させるように制御し、電源スイッチ制御部が、第2の電源線と第3の電源線とが非導通となるように制御を行い、スタンバイモードとなる任意の電源領域への電源電圧の供給を遮断させ、通常動作時には、基準電圧用レギュレータの動作を停止させ、電源スイッチ制御部が第2の電源線と第3の電源線とを導通するように制御を行い、通常動作となる任意の電源領域を、第1の電源線に供給される電源電圧と第3の電源線に供給される基準電位との間で動作させるものである。

【0012】

また、本発明は、電源電圧が供給される第1の電源線と、基準電圧が供給される第2の

10

20

30

40

50

電源線と、基準電位が供給される第3の電源線と、第1の電源線と第2の電源線との間に接続され、個別の低消費電力モードが制御される電源領域と、第2の電源線と第3の電源線との間に接続され、制御信号に基づいて、第2の電源線と第3の電源線とを導通または非導通とする電源スイッチ制御部と、電源領域の動作状況をそれぞれ判断し、電源スイッチ制御部、および外部接続され、制御信号に基づいて第2の電源線に基準電圧を供給する基準電圧用レギュレータを制御する消費電力制御部とを備え、消費電力制御部は、低消費電力モードの1つである低速モードとする際に、基準電圧用レギュレータは電源スイッチのゲートを制御し、基準電圧を第2の電源線に供給させるように制御し、電源スイッチ制御部が第2の電源線と第3の電源線とを非導通とするように制御を行い、低速モードとなる任意の電源領域を、第1の電源線に供給される電源電圧と第2の電源線に供給される基準電圧との間で動作させ、低消費電力モードの1つであるスタンバイモード時には、基準電圧用レギュレータの動作を停止させるように制御し、電源スイッチ制御部が、第2の電源線と第3の電源線とが非導通となるように制御を行い、スタンバイモードとなる任意の電源領域への電源電圧の供給を遮断させ、通常動作時には、基準電圧用レギュレータの動作を停止させ、電源スイッチ制御部が第2の電源線と第3の電源線とを導通するように制御を行い、通常動作となる任意の電源領域を、第1の電源線に供給される電源電圧と第3の電源線に供給される基準電位との間で動作させるものである。

10

【0013】

また、本願のその他の発明の概要を簡単に示す。

【0014】

20

本発明は、前記電源スイッチ制御部が、第2の電源線と第3の電源線との間に接続された複数のトランジスタからなるスイッチ部と、該スイッチ部の動作制御を行うスイッチ制御部とよりなり、該スイッチ制御部は、消費電力制御部から出力される制御信号に基づいて、スイッチ制御信号を生成するロジック部と、該ロジック部から出力されるスイッチ制御信号に基づいて、スイッチ部を動作制御する駆動制御信号を生成するインバータ部とを備え、該インバータ部は、PチャネルMOSからなる大電力駆動用の第1のトランジスタと、PチャネルMOSからなる小電力駆動用の第2のトランジスタと、NチャネルMOSからなる第3のトランジスタとからなり、並列接続された第1、および第2のトランジスタと第3のトランジスタとが直列接続された構成からなり、ロジック部は、消費電力制御部がスタンバイモードから通常動作に復帰する制御信号を出力した際に、任意の期間、第2のトランジスタを駆動させた後、第1のトランジスタを駆動させる制御を行うものである。

30

【0015】

また、本発明は、前記半導体集積回路装置が、少なくとも2つの半導体チップが搭載されるシステムインパッケージ構成からなり、基準電圧用レギュレータが1つの半導体チップで構成されたものである。

【0016】

さらに、本発明は、前記基準電圧用レギュレータが生成する基準電圧が、半導体チップ外部に形成された電源バスを介して第2の電源線に給電されるものである。

【発明の効果】

40

【0017】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0018】

(1) 各電源領域毎に高精度な低消費電力制御を行うことができる。

【0019】

(2) 電源領域における低速モードから通常動作モードへの復帰を高速化することができる。

【0020】

(3) 上記(1)、(2)により、半導体集積回路装置における性能を低下させること

50

なく、最適な低消費電力化を実現することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0022】

(実施の形態1)

図1は、本発明の実施の形態1による半導体集積回路装置の構成例を示す説明図、図2は、図1の半導体集積回路装置におけるチップレイアウトの一例を示すレイアウト図、図3は、図1の半導体集積回路装置に設けられた低電力駆動回路におけるレイアウト例を示した説明図、図4は、図1の半導体集積回路装置に設けられた電源スイッチコントローラの構成を示す説明図、図5は、図1の半導体集積回路装置に設けられた電源スイッチコントローラ、および低電力駆動回路による仮想基準電位の電圧制御例を示す説明図、図6は、本発明の実施の形態1による電源スイッチコントローラの他の構成例を示す説明図、図7は、図1の半導体集積回路装置に設けられた電源遮断制御部の動作例を示すタイミングチャートである。

10

【0023】

本実施の形態1において、半導体集積回路装置1は、図1に示すように、電源領域となる領域 $2_1 \sim 2_5$ 、不定伝播防止回路3~5、電源スイッチコントローラ6~8、低電力駆動回路9、10、電源スイッチ部11~13、およびシステムコントローラ14などから構成されている。

20

【0024】

領域 $2_1 \sim 2_5$ は、たとえば、機能ブロック毎の領域であり、たとえば、領域 $2_1 \sim 2_3$ は、CPU(Central Processing Unit)、DSP(Digital Signal Processor)、RAM(Random Access Memory)などからなる。また、領域 2_4 は、たとえば、クロック系統の論理回路領域であり、領域 2_5 は、アナログ回路などから構成されている。これら領域 2_4 、 2_5 は、低消費電力制御が行われず、常時電源電圧が供給される領域である。

30

【0025】

領域 2_1 と領域 2_2 、領域 2_2 と領域 2_3 、ならびに領域 2_3 と領域 2_4 とは、不定伝播防止回路3~5を介してそれぞれ接続されている。領域 $2_1 \sim 2_4$ には、電源電圧VDDが供給されるように接続されている。領域 2_5 は、アナログ電源電圧VCCAとアナログ基準電位VSSAとの間に接続されている。

【0026】

また、電源スイッチ制御を構成する電源スイッチコントローラ6~8、基準電圧用レギュレータである低電力駆動回路9、10、電源スイッチ制御を構成する電源スイッチ部11~13、ならびに消費電力制御部となるシステムコントローラ14によって電源遮断制御部PCが構成されている。

【0027】

電源スイッチ部11は、領域 2_1 と基準電位VSSとの間に接続されており、電源スイッチ部12は、領域 2_2 と基準電位VSSとの間に接続され、電源スイッチ部13は、領域 2_3 と基準電位VSSとの間に接続されている。

40

【0028】

さらに、電源スイッチ部11と領域 2_1 と接続部には、低電力駆動回路9が接続されており、該接続部が、仮想基準電位VSSM1となる。電源スイッチ部12と領域 2_2 と接続部には、低電力駆動回路10が接続されており、この接続部が仮想基準電位VSSM2となっている。

【0029】

低電力駆動回路9は、システムコントローラ14から出力されるイネーブル信号EN1

50

に基づいて、仮想基準電位 V_{SSM1} の電圧レベルを制御する。低電力駆動回路 10 は、システムコントローラ 14 から出力されるイネーブル信号 E_{N2} に基づいて、仮想基準電位 V_{SSM2} の電圧レベルを制御する。

【0030】

電源スイッチ部 11 ~ 13 は、たとえば、複数の N チャネル MOS (Metal Oxide Semiconductor) トランジスタが並列接続された構成からなる。電源スイッチコントローラ 6 は、電源スイッチ部 11 の ON (導通) または OFF (非導通) 動作の制御を行う。また、電源スイッチコントローラ 7 は、電源スイッチ部 12 の ON / OFF 動作の制御を行い、電源スイッチコントローラ 8 は、電源スイッチ部 13 の ON / OFF 動作の制御を行う。

10

【0031】

また、電源スイッチコントローラ 6 ~ 8、ならびに低電力駆動回路 9, 10 には、システムコントローラ 14 が接続されており、これら電源スイッチコントローラ 6 ~ 8、ならびに低電力駆動回路 9, 10 は、システムコントローラ 14 の制御に基づいて動作を行う。システムコントローラ 14 は、半導体集積回路装置 1 の動作を統括する。

【0032】

半導体集積回路装置 1 においては、各領域 $2_1 \sim 2_3$ と基準電位 V_{SS} との間に設けられた電源スイッチ部 11 ~ 13 を ON / OFF させることによって、各領域 $2_1 \sim 2_3$ 内での内部電源遮断を行い、スタンバイ (待機) 時のリーク電流 (サブスレッショルドリーク、ゲートトンネルリーク、GIDL (Gate Induced Drain Leakage) など) を削減する。

20

【0033】

電源スイッチコントローラ 6 ~ 8 は、システムコントローラ 14 から出力されるリクエスト信号 REQ を受けると、電源スイッチ部の ON / OFF 制御を行う。そして、ON 制御処理が完了した時点で電源復帰完了信号 ack をシステムコントローラ 14 に出力する。

【0034】

また、システムコントローラ 14 と電源スイッチコントローラ 6 ~ 8 の間には、必要に応じて、レベルシフタが挿入される。レベルシフタは、電源電圧 V_{CC} / 電源電圧 V_{DD} 変換を行う。

30

【0035】

低消費電力制御による電源遮断時には、遮断された領域からの出力信号はすべて不定となるため、システムコントローラ 14 からの制御信号により、不定伝播防止回路 3 ~ 5 で信号レベルを固定し、電源オン領域への不定伝播による誤動作を防ぐ。

【0036】

以上のように、半導体集積回路装置 1 の電源遮断は機能ブロック (領域 $2_1 \sim 2_3$) 毎に実施され、電源の遮断 / 復帰はシステムコントローラ 14 とのハンドシェイクで実施される。

【0037】

さらに、仮想基準電位 V_{SSM1} , V_{SSM2} の電圧レベルを低電力駆動回路 9, 10 によってそれぞれ制御するので、システムコントローラ 14 の指示で半導体集積回路装置 1 の動作モードに応じた仮想基準電位の電圧レベルが制御される。

40

【0038】

たとえば、CPU / DSP などは、通常の動作モードは高速で使用し、スタンバイ状態に移行したり、低速 (モード) で処理したい場合に、低電力駆動回路 9, 10 によって仮想基準電位 V_{SSM1} / V_{SSM2} に、基準電圧となる任意の電圧を印加する。

【0039】

また、電源スイッチ部によって電源を遮断したスタンバイ状態から、高速動作に移行する際には復帰処理に手続き時間を要するので、高速動作にすばやく復帰したい領域などに低電力駆動回路を付加適用することも有効である。

50

【 0 0 4 0 】

図 2 は、図 1 の半導体集積回路装置におけるチップレイアウトの一例を示すレイアウト図である。

【 0 0 4 1 】

図 2 において、半導体チップ 2 6 の左上方には、領域 2₃ がレイアウトされており、該半導体チップ 2 6 の右上方には、領域 2₂ がレイアウトされている。これら領域 2₃ と領域 2₂ との間には、不定伝播防止回路 5 が配置されている。

【 0 0 4 2 】

領域 2₂ の下方には、不定伝播防止回路 3 がレイアウトされており、該不定伝播防止回路 3 の下方には、領域 2₁ がレイアウトされている。また、領域 2₃ の下方には、領域 2₄ がレイアウトされており、該領域 2₄ の下方には、領域 2₅ がレイアウトされている。領域 2₄ と領域 2₁ との間には、不定伝播防止回路 5 が配置されている。

10

【 0 0 4 3 】

領域 2₃ の左右両側には、電源スイッチ部 1 3 がそれぞれレイアウトされており、領域 2₂ の左右両側には、電源スイッチ部 1 2 がそれぞれレイアウトされている。領域 2₁ の左右両側には、電源スイッチ部 1 1 がそれぞれレイアウトされている。

【 0 0 4 4 】

また、領域 2₄ の上方には、システムコントローラ 1 4 がレイアウトされており、このシステムコントローラ 1 4 内に電源スイッチコントローラ 6 ~ 8 がレイアウトされている。

20

【 0 0 4 5 】

さらに、領域 2₃ の右側に配置された電源スイッチ部 1 3 の下方には、低電力駆動回路 1 0 がレイアウトされており、領域 2₁ の左側に配置された電源スイッチ部 1 3 の上方には、低電力駆動回路 9 がレイアウトされている。

【 0 0 4 6 】

図 3 は、低電力駆動回路 9 (, 1 0) におけるレイアウト例を示した説明図である。

【 0 0 4 7 】

低電力駆動回路 9 (, 1 0) のレイアウトは、図 2 に示したレイアウトの他に、たとえば、図 3 (a) に示すように、領域 2₁ (, 2₃) の上方、または領域 2₁ (, 2₃) の上方と下方にレイアウトしたり、図 3 (b) に示すように、領域 2₁ (, 2₃) の左右側にそれぞれ配置された電源スイッチ部 1 1 (, 1 3) の左右側にそれぞれ配置レイアウトするようにしてもよい。

30

【 0 0 4 8 】

さらに、低電力駆動回路 9 (, 1 0) は、図 3 (c) に示すように、領域 2₁ (, 2₃) の 4 つのコーナ部近傍にレイアウトしたり、図 3 (d) に示すように、領域 2₁ (, 2₃) の左右側にそれぞれ配置された電源スイッチ部 1 1 (, 1 3) のレイアウト領域に低電力駆動回路 9 (, 1 0) をそれぞれレイアウトするようにしてもよい。

【 0 0 4 9 】

ここで、図 3 (c) に示す低電力駆動回路 9 (, 1 0) を領域 2₁ (, 2₃) の 4 つのコーナ部近傍にレイアウトした場合には、該低電力駆動回路 9 (, 1 0) の能力によって、4 つの低電力駆動回路 9 (, 1 0) を駆動するようにしてもよいし、4 つのうち、任意の低電力駆動回路 9 (, 1 0) を駆動するようにしてもよい。

40

【 0 0 5 0 】

また、電源スイッチコントローラ 6 の構成について、図 4 を用いて説明する。

【 0 0 5 1 】

電源スイッチコントローラ 6 は、図示するように、ロジック部 1 5、およびトランジスタ 1 6 ~ 1 8 から構成されている。ロジック部 1 5 は、システムコントローラ 1 4 のリクエスト信号 R E Q に制御に基づいて、トランジスタ 1 6 ~ 1 8 の動作制御を行う。

【 0 0 5 2 】

トランジスタ 1 6 , 1 7 は、Pチャネル M O S からなり、第 1 のトランジスタとなるト

50

ランジスタ 16 は、大駆動電流用のランジスタであり、第 2 のランジスタとなるランジスタ 17 は、小駆動電流用のランジスタである。ランジスタ 18 は、Nチャネル MOS からなる。

【0053】

ランジスタ 16, 17 の一方の接続部には、電源電圧 VCC がそれぞれ供給されており、これらランジスタ 16, 17 の他方の接続部には、ランジスタ 18 の一方の接続部が接続されている。また、ランジスタ 18 の他方の接続部には、基準電位 VSS が接続されている。

【0054】

これらランジスタ 16 ~ 18 は、インバータ構成となっており、ランジスタ 16, 17 とランジスタ 18 との接続部が出力部となり、該出力部からゲート信号 GATE が電源スイッチ部 11 に出力される。

10

【0055】

また、ロジック部 15 には、モニタ信号 MONI が入力されるように接続されている。このモニタ信号 MONI は、電源スイッチコントローラ 6 から最も離れた電源スイッチ部 11 を構成するランジスタ (図 2 のノード a) のゲート電位モニタ信号である。

【0056】

ロジック部 15 は、モニタ信号 MONI によって電源スイッチ部 11 のゲート電位モニタを可能としている。電源復帰の際、ロジック部 15 は、先に小電流駆動用のランジスタ 17 を駆動させることによって、突入電流 (仮想基準電位 VSSM - 基準電位 VSS は、 $\sim nF$ オーダの電荷が蓄積されているため大電流が流れる) を抑制し、その後、大電流駆動用のランジスタ 16 を ON させるように切替えた後、ロジック部 15 に設けられたコンパレータによって、モニタ信号 MONI (たとえば、電源電圧 VCC $\times 90\%$ 程度) の電位を検出し、電源復帰完了信号 ack (たとえば、アクティブ Hi) をシステムコントローラ 14 に出力する。

20

【0057】

なお、図 4 では、電源スイッチコントローラ 6 の構成について説明したが、電源スイッチコントローラ 7, 8 も同様の構成からなる。

【0058】

図 5 は、仮想基準電位 VSSM の電圧制御例を示す説明図である。

30

【0059】

この図では、半導体集積回路装置 1 (図 1) において、領域 2₁、電源スイッチコントローラ 6、低電力駆動回路 9、および電源スイッチ部 11 に着目した例を示しているが、領域 2₃、電源スイッチコントローラ 8、低電力駆動回路 10、および電源スイッチ部 13 における動作についても同様である。

【0060】

低電力駆動回路 9 は、オペアンプ 19、およびランジスタ 20, 21 から構成されるレギュレータからなる。Pチャネル MOS からなるランジスタ 20 の一方の入力部には、オペアンプ 19 の負 (-) 側入力端子が接続されており、該オペアンプ 19 の正 (+) 側入力端子には、基準電圧 Vref が入力されるように接続されている。

40

【0061】

また、ランジスタ 20 のゲートには、システムコントローラ 14 からのイネーブル信号 EN1 が入力されるように接続されており、該ランジスタ 20 の他方の接続部には、Nチャネル MOS からなるランジスタ 21 の一方の接続部が接続されている。

【0062】

このランジスタ 21 のゲートには、オペアンプ 19 の出力部が接続されており、該ランジスタ 21 の他方の接続部には、基準電位 VSS が接続されている。そして、ランジスタ 20 とランジスタ 21 との接続部が、仮想基準電位 VSSM1 となる。

【0063】

この仮想基準電位 VSSM1 には、領域 2₁、および電源スイッチ部 11 を構成する複

50

数のトランジスタ T_{sw} の一方の接続部が接続されている。これらトランジスタ T_{sw} の他方の接続部には、基準電位 V_{SS} がそれぞれ接続されており、該トランジスタ T_{sw} のゲートには、電源スイッチコントローラ 6 から出力されるゲート信号 $GATE$ が入力されるようにそれぞれ接続されている。

【0064】

図5において、イネーブル信号 $EN1$ が Lo 信号の際には、電源スイッチコントローラ 6 が Lo 信号 (OFF 動作) であり、仮想基準電位 V_{SSM1} の電圧レベルは、オペアンプ 19 で、たとえば、 $0.2V \sim 0.3V$ 程度の低電圧に制御され、このとき、領域 2₁ は、低速モード (低消費電力モード) として制御される。

【0065】

また、イネーブル信号 $EN1$ が Hi 信号となると、仮想基準電位 V_{SSM1} は開放となり、電源スイッチコントローラ 6 から出力されるゲート信号 $GATE$ が Hi 信号 (= 電源電圧 V_{CC}) であり、仮想基準電位 V_{SSM1} は、 Lo 信号レベル (= 基準電位 V_{SS}) に制御される。

【0066】

このように、電源遮断制御部 PC は、通常動作時において、電源スイッチ部 11 を導通状態とし、仮想基準電位 V_{SSM1} の電圧レベルを基準電位 V_{SS} とするように設定し、低速モードでは、電源スイッチ部 11 を導通状態、仮想基準電位 V_{SSM1} を低電圧レベル ($0.2V \sim 0.3V$ 程度) とするように設定を行う。

【0067】

また、電源遮断制御部 PC は、スタンバイモード時において、電源スイッチ部 11 を非導通状態とし、仮想基準電位 V_{SSM1} の電圧レベルをフローティング状態するように設定を行う。

【0068】

通常、スタンバイ状態から通常動作への復帰は、 μsec のオーダーが必要とされるが、低速モードでは、仮想基準電位 V_{SSM1} に低電圧を印加することにより、電源電位をある程度下げておくことによって、スタンバイ状態から通常動作への復帰に比べて、通常の電源電圧 V_{DD} レベルになるまでの時間を大幅に短縮することが可能となり、通常動作への復帰を短時間で行うことができる。

【0069】

たとえば、電源電圧 V_{DD} を約 $1.2V$ から約 $1.0V$ に低下させることによって、電源電流 I_{DD} (ゲート/ソース間電圧 - しきい値電圧 V_{th}) より、電源電流 I_{DD} を $40\% \sim 50\%$ 減ずることが可能 (飽和領域) となる。

【0070】

また、電源電位が低下することによって、クロック信号の周波数が低下し、動作速度も低下することになるので、消費電力 $P = V^2 \cdot f$ (電源電圧) \times f (クロック周波数) であるので、低速モードとなった領域におけるロジックを構成する $CMOS$ などの貫通電流を低減することが可能となり、消費電力を低減することができる。

【0071】

図5では、電源スイッチ部 11 と仮想基準電位 V_{SSM1} とを個別に駆動する場合について説明したが、たとえば、図6に示すように、電源スイッチ部 11 と仮想基準電位 V_{SSM1} と複合的にドライブする構成としてもよい。

【0072】

この場合、電源スイッチコントローラ 6 は、一例として突入電流対策を施した図4と同様の構成からなり、この電源スイッチコントローラ 6 に低電力駆動回路 9 としてのオペアンプが設けられた構成となっている。

【0073】

オペアンプの負 (-) 側入力端子は、仮想基準電位 V_{SSM1} となり、該オペアンプの正 (+) 側入力端子には、基準電圧 V_{ref} が入力されるように接続されている。そして、オペアンプの出力部には、電源スイッチコントローラ 6 のロジック部 15 が接続されて

10

20

30

40

50

いる。

【 0 0 7 4 】

ここで、オペアンプ 19 の出力部は、図示しないが、電源スイッチ部 11 を構成するトランジスタのゲート、トランジスタ 16, 17 の他方の接続部、ならびにトランジスタ 18 の一方の接続部にもそれぞれ接続されている。

【 0 0 7 5 】

図 6 では、電源スイッチコントローラ 6 のゲート信号 G A T E が L o 信号 (O F F 動作) の時に、たとえば、低電力駆動回路 10 がアクティブとなり、イネーブル信号 E N 1 が L o 信号となると仮想基準電位 V S S M 1 のレベルが低電圧 (0 . 2 V ~ 0 . 3 V 程度) となり、領域 2₁ の動作が低速に設定 (低速モード) され、イネーブル信号 E N 1 が H i 信号で仮想基準電位 V S S M 1 が開放状態となる。

10

【 0 0 7 6 】

また、低速モードから通常モードに復帰する際には、ゲート信号 G A T E が H i 信号 (復帰 O N 動作) となり、イネーブル信号 E N 1 が H i 信号となって低電力駆動回路 9 がインアクティブとなり、仮想基準電位 V S S M 1 に供給される電源が切れる。

【 0 0 7 7 】

低消費電力制御としての低電力駆動 (低速モード) を適用する領域 (機能モジュール) の例としては、高速かつ低速低電力動作させ、低速に動作させても可能な領域が有効であり、たとえば、C P U や高速バスなどである。

【 0 0 7 8 】

一方、あまり適しないモジュールとしては、プロトコルなどで一定速度で動作する必要があるプリンタインタフェース、U S B、低速バスなどの周辺回路などの機能モジュールと思われるが、これに限定するものではない。

20

【 0 0 7 9 】

図 7 は、電源遮断制御部 P C の動作例を示すタイミングチャートである。

【 0 0 8 0 】

図 7 において、上方から下方にかけて、システムコントローラ 14 から出力されるイネーブル信号 E N 1、システムコントローラ 14 から出力されるリクエスト信号 R E Q、電源スイッチコントローラ 6 から出力されるゲート信号 G A T E、ならびに仮想基準電位 V S S M における信号タイミングについてそれぞれ示している。

30

【 0 0 8 1 】

まず、半導体集積回路装置 1 の立ち上げ時 (期間 T 1) においては、電源スイッチ部 11 を O N させる際に、先にトランジスタ 17 を O N させて突入電流を抑制しつつ立ち上げた後、トランジスタ 16 を O N させて電源スイッチ部 11 を確実に動作状態に固定させる。

【 0 0 8 2 】

その後、通常の動作 (期間 T 2) 状態となり、電源電圧 V D D はフル振幅 (V D D ~ V S S) で最速となる。続いて、スタンバイ動作 (期間 T 0) では、リクエスト信号 R E Q が L o レベルとなって、電源スイッチコントローラ 6 は、電源スイッチ部 11 を O F F させる。

40

【 0 0 8 3 】

これによって、領域 2₁ には、電源が供給されなくなり、休止状態となる。このとき、仮想基準電位 V S S M = 電源電圧 V D D となる。そして、スタンバイ動作から低速モードである低電力動作 (期間 T 3) に遷移する際には、リクエスト信号 R E Q が H i 信号となると共に、システムコントローラ 14 から出力されるイネーブル信号 E N 1 が H i 信号となる。

【 0 0 8 4 】

これによって、低電力駆動回路 9 は、仮想基準電位 V S S M を、たとえば、約 0 . 2 V ~ 約 0 . 3 V 程度となるように制御することによって、領域 2₁ が低速モードである低電力動作となる。

50

【 0 0 8 5 】

それにより、本実施の形態 1 によれば、低電力駆動回路 9 , 1 0 が仮想基準電位 V_{SSM} の電圧レベルを制御することにより、領域 2_1 , 2_3 に供給される電源電圧 V_{DD} の電圧レベルを可変することができるので、より細かな低消費電力制御を実現することができる。

【 0 0 8 6 】

また、電源スイッチ部 1 1 を OFF する場合に比較して、通常動作への復帰をより高速にすることができる。

【 0 0 8 7 】

(実施の形態 2)

図 8 は、本発明の実施の形態 2 による半導体集積回路装置の構成例を示す説明図、図 9 は、図 8 の半導体集積回路装置と低電力駆動回路との実装イメージ例を示した説明図である。

【 0 0 8 8 】

本実施の形態 2 においては、前記実施の形態 1 の半導体集積回路装置 1 (図 1) の構成から、低電力駆動回路 9 , 1 0 を取り除いた構成となっており、領域 2_1 の仮想基準電位 V_{SSM} の電圧を可変する低電力駆動回路 9 が半導体集積回路装置 1 と外部接続されている。

【 0 0 8 9 】

半導体集積回路装置 1 には、図 8 に示すように、電源端子 P_{vdd} 、グランド端子 P_{vss} 、および第 2 グランド端子 P_{vssm} がそれぞれ設けられている。そして、低電力駆動回路 9 は、第 2 グランド端子 P_{vssm} を介して領域 2_1 に配線されたリング状の仮想基準電位配線 2_2 に接続されている。

【 0 0 9 0 】

低電力駆動回路 9 は、アンプ 9 a、およびスイッチ 9 b からなり、アンプ 9 a の正 (+) 側入力端子には、基準電圧 V_{ref} が入力されるように接続されている。また、アンプ 9 a の負 (-) 側入力端子には、該アンプ 9 a の出力部が接続されている。

【 0 0 9 1 】

スイッチ 9 b の一方の接続部には、アンプ 9 a の出力部が接続されており、該スイッチ 9 b の他方の接続部には、第 2 グランド端子 P_{vssm} が接続されている。また、スイッチ 9 b の制御端子には、外部端子であるイネーブル端子 P_{en} を介してイネーブル信号 E_{N1} が入力されるように接続されている。

【 0 0 9 2 】

スイッチ 9 b は、制御端子に入力されるイネーブル信号 E_{N1} に基づいて、ON/OFF 動作を行い、アンプ 9 a が生成する電圧を第 2 グランド端子 P_{vssm} を介して仮想基準電位配線 2_2 に供給制御する。その他の構成については、前記実施の形態 1 の図 5、図 6 と同様となっている。

【 0 0 9 3 】

低電力駆動回路 9 の配置は、仮想基準電位 V_{SSM} を比較的低電圧に制御することから電源ノイズを考慮し、また配線抵抗の影響を排除する構成が望ましく、寄生素子を考慮した領域 2_1 のなるべく近傍に配置することが望ましい。

【 0 0 9 4 】

なお、図 8 では、領域 2_1 の仮想基準電位 V_{SSM} の電圧を可変する場合について記載したが、前記実施の形態 1 と同様に、領域 2_3 における仮想基準電位 V_{SSM} の電圧も可変する際には、低電力駆動回路 1 0 (図 1) と該低電力駆動回路 1 0 が接続される図示しない第 2 グランド端子、およびイネーブル端子を新たに設けるようにすればよい。

【 0 0 9 5 】

図 9 は、図 8 における半導体集積回路装置 1 と低電力駆動回路 9 との実装イメージ例を示した説明図である。

【 0 0 9 6 】

10

20

30

40

50

まず、半導体集積回路装置 1、および電源 IC などからなる低電力駆動回路 9 が、プリント配線基板 2 3 にそれぞれ実装されている。そして、低電力駆動回路 9 の出力端子と半導体集積回路装置 1 の第 2 グランド端子 P v s s m とは、プリント配線基板 2 3 に形成された配線 2 4 を介して接続されている。

【 0 0 9 7 】

また、低電力駆動回路 9 の制御端子と半導体集積回路装置 1 のイネーブル端子 P e n とは、プリント配線基板 2 3 に形成された配線 2 5 を介して接続されている。

【 0 0 9 8 】

それにより、本実施の形態 2 では、低電力駆動回路 9 を半導体集積回路装置 1 外部に設けることによって、より安定した仮想基準電位 V S S M の電源制御を行うことができ、低消費電力制御の精度を向上させることができる。

10

【 0 0 9 9 】

(実施の形態 3)

図 1 0 は、本発明の実施の形態 3 による半導体集積回路装置の上面図、図 1 1 は、図 1 0 の A - B 断面図、図 1 2 は、図 1 0 の半導体集積回路装置に設けられた半導体チップの一例を示す断面図である。

【 0 1 0 0 】

前記実施の形態 2 では、低電力駆動回路 9 が、半導体集積回路装置 1 に外部接続された例について説明したが、本実施の形態 3 では、低電力駆動回路 9 と半導体集積回路装置 1 とが、1つのパッケージ内に収納された半導体集積回路装置 1 a の例について説明する。

20

【 0 1 0 1 】

図 1 0 は、半導体集積回路装置 1 a の上面図であり、図 1 1 は、図 1 0 の A - B 断面図である。

【 0 1 0 2 】

半導体集積回路装置 1 a は、図 1 0、図 1 1 に示すように、半導体集積回路装置 1 を構成する半導体チップ 2 6 と低電力駆動回路 9 を構成する半導体チップ 2 7 とが設けられて 1 つのパッケージを構成するシステムインパッケージからなる。

【 0 1 0 3 】

この半導体集積回路装置 1 a には、実装基板 2 8 が設けられており、該実装基板 2 8 の中央部には、半導体チップ 2 6 が実装され、その左側には、半導体チップ 2 7 が実装されている。

30

【 0 1 0 4 】

半導体チップ 2 6、2 7 に設けられた複数の電極部とそれに対応する実装基板 2 8 の主面に形成された電極部とは、 bumps 2 9 を介してそれぞれ接続されている。実装基板 2 8 の主面に形成された電極部には、該実装基板 2 8 に形成された配線パターンやスルーホールなどを介して実装基板 2 8 の裏面に形成された任意の外部端子 2 8 a にそれぞれ接続されている。

【 0 1 0 5 】

そして、実装基板 2 8 に搭載された半導体チップ 2 6、2 7、およびそれら近傍は、封止樹脂 3 0 によって封止され、パッケージが形成されている。

40

【 0 1 0 6 】

また、半導体チップ 2 6 には、2つの第 2 グランド端子 P v s s m が設けられており、これら 2つの第 2 グランド端子 P v s s m と半導体チップ 2 7 の出力端子とは、実装基板 2 8 に形成された配線パターン P 1 を介してそれぞれ接続されている。

【 0 1 0 7 】

半導体チップ 2 6 のイネーブル端子 P e n と半導体チップ 2 7 のイネーブル信号 E N 1 の入力端子とは、実装基板 2 8 に形成された配線パターン P 2 を介して接続されている。

【 0 1 0 8 】

図 1 2 は、図 1 0 の半導体集積回路装置 1 a に設けられた半導体チップ 2 6 の一例を示す断面図である。

50

【0109】

半導体チップ26は、図示するように、該半導体チップ26主面側の周辺部にI/O領域26aが形成されており、該I/O領域26aに囲まれるように、論理回路などからなるコア領域26bが形成されている。また、半導体チップ26の主面には、アレイ状に配列された複数のバンプ29が形成されている。このバンプ29は、たとえば、球状のはんだなどはんだバンプからなる。

【0110】

このように、半導体集積回路装置1aと低電力駆動回路9とをシステムインパッケージ構成とすることによって、半導体集積回路装置1aと低電力駆動回路9とをプリント配線基板上で外部接続する場合に比べて配線などの寄生容量や寄生抵抗などを大幅に削減することができるので、より高精度な仮想基準電位VSSMの制御を行うことができる。

10

【0111】

それにより、本実施の形態3においては、システムインパッケージ構成の半導体集積回路装置1aによって、効率の良い低消費電力制御を実現することができる。

【0112】

また、システムインパッケージ構成によって、部品コストを低減することができる。

【0113】

(実施の形態4)

図13は、本発明の実施の形態4による半導体集積回路装置の上面図、図14は、図13のA-B断面図である。

20

【0114】

本実施の形態4では、仮想基準電位VSSMの給電技術について説明する。前記実施の形態3においては、配線パターンP1(図11)を介して仮想基準電位VSSMを給電する構成としたが、電源バスを用いて給電を行うようにしてもよい。

【0115】

図13は、半導体集積回路装置1bの上面図であり、図14は、図13のA-B断面図であり、これらは、パッケージが形成される前の状態となっている。

【0116】

半導体集積回路装置1bは、たとえば、QFP(Quad Flat Package)やQFN(Quad Flat Non-Leaded Package)などからなる。

30

【0117】

この半導体集積回路装置1bは、半導体チップ26と低電力駆動回路9を構成する半導体チップ27とが設けられた前記実施の形態3の半導体集積回路装置1a(図10、図11)と同じシステムインパッケージからなる。半導体チップ26は、ベース基材31上に搭載されており、該半導体チップ26の左側には、半導体チップ27が搭載されている。

【0118】

半導体チップ26の外周側には、電源電圧VDDを供給する額縁状の電源バス32が形成されており、該電源バス32の外周側には、仮想基準電位VSSMを供給する額縁状の仮想基準電位バス33が形成されている。この仮想基準電位バス33の外周側、および半導体チップ27の外周部側には、基準電位VSSを供給する額縁状の基準電位バス34が形成されている。

40

【0119】

ベース基材31の4辺の外周部には、複数のリード35が形成されている。半導体チップ26に設けられた2つの第2グランド端子Pvssmは、ボンディングワイヤ36、36aを介して最短距離で仮想基準電位バス33に接続されている。

【0120】

この仮想基準電位バス33は、ボンディングワイヤ37を介して半導体チップ27の出力端子に接続されている。また、電源バス32は、複数のリード35のうち、リード35bとボンディングワイヤ39は電源端子として割り付けられ、基準電位バス34、リード

50

35c、ボンディングワイヤ40、および半導体チップ27は、グランド端子として割り付けられる。

【0121】

これら半導体チップ26、27、電源バス32、仮想基準電位バス33、基準電位バス34、およびボンディングワイヤ36、36a、37~40などは、樹脂によって封止され、パッケージが形成されている。

【0122】

このように、仮想基準電位バス33を用いて、半導体チップ26の第2グランド端子Pvssmに最も近い位置で仮想基準電位VSSMを供給することができるので、安定した仮想基準電位VSSMの制御を行うことができる。

10

【0123】

また、半導体チップ26内での仮想基準電位VSSM用の配線領域を少なくすることが可能となり、半導体チップ26における電源配線の占有面積を低減することができる。

【0124】

(実施の形態5)

図15は、本発明の実施の形態5による半導体集積回路装置の構成例を示す上面図、図16は、本発明の実施の形態5による半導体集積回路装置の他の構成例を示す説明図である。

【0125】

本実施の形態5において、半導体集積回路装置1cは、前記実施の形態4と同様に、たとえば、QFPやQFNなどのパッケージからなるが、低電力駆動回路9が半導体チップではなく、電源ICからなるところが異なる点である。

20

【0126】

この場合、半導体集積回路装置1cは、図15に示すように、ベース基材31の中央部に半導体チップ26が搭載されており、該半導体チップ26の外周部には、半導体チップ26を囲むように額縁状の仮想基準電位バス33が形成されている。

【0127】

そして、仮想基準電位バス33の外周側には、仮想基準電位バス33を囲むように額縁状の基準電位バス34が形成されており、該基準電位バス34の外周側には、基準電位バス34を囲むように額縁状の電源バス32が形成されている。

30

【0128】

半導体チップ26の上面には、アレイ状に複数の電極が形成されている。また、電源バス32の外周側には、複数のインナリード67が形成されており、このインナリード67が延在してパッケージから突出してアウトリード68となっている。

【0129】

そして、電源ICとして形成された低電力駆動回路9の外部端子が、仮想基準電位バス33、基準電位バス34、ならびに電源バス32とそれぞれ接続されている。また、仮想基準電位バス33は、ボンディングワイヤ39を介して半導体チップ26の第2グランド端子Pvssmと接続されており、基準電位バス34は、ボンディングワイヤ40を介して半導体チップ26のグランド端子Pvssと接続されている。

40

【0130】

さらに、電源バス32は、ボンディングワイヤ41を介して半導体チップ26の電源端子Pvddと接続されている。低電力駆動回路9の電源部には、電源用のインナリード69からボンディングワイヤ42を介して接続されており、これにより、電源電圧VCCが低電力駆動回路9に供給される。また、図示していないが、半導体チップ26のその他の電極部と任意のインナリード67ともそれぞれボンディングワイヤで接続されている。

【0131】

このように、仮想基準電位バス33、基準電位バス34、ならびに電源バス32に電源ICである低電力駆動回路9を配置することにより、バス上の上方空間を有効に活用することができ、半導体集積回路装置1cを小型化することができる。

50

【 0 1 3 2 】

また、図 1 6 に示すように、電源 I C である低電力駆動回路 9 をバス上に配置するのではなく、半導体チップ 2 6 の上部に搭載するようにしてもよい。この場合、仮想基準電位 V S S M は、ボンディングワイヤ 4 2 を介して仮想基準電位バス 3 3 と接続される。

【 0 1 3 3 】

これにより、半導体集積回路装置 1 c をより小型化することができる。

【 0 1 3 4 】

(実施の形態 6)

図 1 7 は、本発明の実施の形態 6 による半導体集積回路装置の構成例を示す説明図である。

10

【 0 1 3 5 】

本実施の形態 6 においては、前記本実施の形態 1 に示したように、低電力駆動回路 9 が同一チップ内に設けられた際の仮想基準電位バス 3 3 への給電技術について説明する。ここでも、パッケージ形態は、前記実施の形態 4 , 5 と同じく Q F P や Q F N などからなるものとする。

【 0 1 3 6 】

この場合、半導体チップ 2 6 の外周側には、図 1 7 に示すように、該半導体チップ 2 6 を囲むように額縁状の仮想基準電位バス 3 3 が形成されており、この仮想基準電位バス 3 3 の外周側には、該仮想基準電位バス 3 3 を囲むように額縁状の基準電位バス 3 4 が形成されている。

20

【 0 1 3 7 】

そして、基準電位バス 3 4 の外周側には、該基準電位バス 3 4 を囲むように額縁状の電源バス 3 2 が形成されている。この電源バス 3 2 の外周側には、複数のインナリード 6 7 が形成されている。

【 0 1 3 8 】

半導体チップ 2 6 の左上部には、低電力駆動回路 9 がレイアウトされている。この低電力駆動回路 9 の下方には、半導体チップ 2 6 の上方から下方にかけて、該低電力駆動回路 9 から出力される仮想基準電位 V S S M が出力される電極部 4 3 が形成されている。

【 0 1 3 9 】

そして、電極部 4 3 は、ボンディングワイヤ 4 4 を介して仮想基準電位バス 3 3 と接続されている。また、半導体チップ 2 6 の下方には、仮想基準電位 V S S M が入力される電極部 4 5 が形成されている。

30

【 0 1 4 0 】

この電極部 4 5 は、ボンディングワイヤ 4 6 を介して仮想基準電位バス 3 3 に接続されている。よって、低電力駆動回路 9 から出力される仮想基準電位 V S S M は、電極部 4 3 、ボンディングワイヤ 4 4 、仮想基準電位バス 3 3 、電極部 4 5 、およびボンディングワイヤ 4 6 を介して給電されることになる。

【 0 1 4 1 】

この場合も、仮想基準電位バス 3 3 を半導体チップ 2 6 の外周部に形成することによって、低速モードに制御したい任意の領域に対して、効率よく仮想基準電位 V S S を給電することができる。

40

【 0 1 4 2 】

(実施の形態 7)

図 1 8 は、本発明の実施の形態 7 による半導体集積回路装置の構成例を示す説明図である。

【 0 1 4 3 】

本実施の形態 7 においては、低速モードに制御したい領域が複数ある場合の仮想基準電位バス 3 3 による給電技術について説明する。

【 0 1 4 4 】

ここでは、たとえば、低速モードに制御したい 3 つの領域 4 7 ~ 4 9 があるものとする

50

。この場合、図18に示すように、半導体チップ26の外周側に、該半導体チップ26を囲むように額縁状の仮想基準電位バス33aが形成されており、この仮想基準電位バス33aの外周側には、額縁状の仮想基準電位バス33bが仮想基準電位バス33aを囲むように形成されている。仮想基準電位バス33bの外周側には、額縁状の仮想基準電位バス33cが仮想基準電位バス33bを囲むように形成されている。

【0145】

仮想基準電位バス33aは、領域48に仮想基準電位VSSM1を供給する。仮想基準電位バス33bは、領域47に仮想基準電位VSSM2を供給する。仮想基準電位バス33cは、領域49に仮想基準電位VSSM3を供給する。また、領域47～49の左右側には、それぞれ電源スイッチ部11が形成されている。

10

【0146】

この図18において、半導体集積回路装置1は、図9と同様に、仮想基準電位VSSM1～VSSM3が外部給電されるものとし、たとえば、インナリード37b～37dからボンディングワイヤ50～52を介して仮想基準電位バス33a～33cにそれぞれ給電されることになる。

【0147】

このように、仮想基準電位VSSM1～VSSM3を外部給電とすることによって、パッケージ封止された後でも、任意に仮想基準電位VSSM1～VSSM3のレベルを容易に制御することが可能となる。

【0148】

(実施の形態8)

図19は、本発明の実施の形態8による半導体装置に設けられた半導体チップの仮想基準電位に用いられる給電用配線の一例を示す説明図である。

20

【0149】

本実施の形態8においては、半導体チップ26における仮想基準電位VSSM1～VSSM3の給電用配線について説明する。

【0150】

図19は、半導体チップ26の最上位メタル配線のレイアウト例を示した説明図である。

【0151】

半導体チップ26の左辺から右辺にかけて、直線状の複数の配線53、および配線54が等間隔でそれぞれ形成されている。配線53は、基準電位VSS用の配線であり、配線54は、電源電圧VDD用の配線である。

30

【0152】

また、領域47の上方には、仮想基準電位VSSM1用の配線である配線55が、領域47の左辺から右辺にかけて等間隔で形成されている。領域48の上方には、仮想基準電位VSSM2用の配線である配線56が、領域48の左辺から右辺にかけて等間隔で形成されており、領域49の上方には、仮想基準電位VSSM3用の配線である配線57が、領域49の左辺から右辺にかけて等間隔で形成されている。

【0153】

このように、電源電圧の給電用の幹線となる配線53, 54を分離することなく、仮想基準電位VSSM3用の配線55～57のみを供給する領域47～49において分離する構成とすることにより、レイアウト面積を低減することができる。

40

【0154】

(実施の形態9)

図20は、本発明の実施の形態9による半導体集積回路装置に設けられたアウトリードの形成例を示す説明図、図21は、本発明の実施の形態9による半導体集積回路装置の断面図である。

【0155】

本実施の形態9は、基準電位バス34をアウトリードとして形成する場合の例について

50

説明する。

【0156】

この場合、図20、および図21に示すように、ベース基材31の中央部には、半導体チップ26が搭載されている。このベース基材31において、半導体チップ26の外周部には、額縁状の仮想基準電位バス33が半導体チップ26を囲むように形成されている。

【0157】

仮想基準電位バス33の外周側には、額縁状の電源バス32が仮想基準電位バス33を囲むように形成されており、同様に、電源バス32の外周側には、額縁状の基準電位バス34が形成されている。

【0158】

また、半導体チップ26の周辺部には、複数の電極部が形成されており、任意の電極部と半導体チップ26の外周部近傍のベース基材31に形成された仮想基準電位バス33、電源バス32、ならびに基準電位バス34とがボンディングワイヤ58を介してそれぞれ接続されている。

【0159】

半導体チップ26の他の電極部は、基準電位バス34周辺部に設けられたリード35とボンディングワイヤ70を介して接続されている。また、基準電位バス34の4つのコーナー部が延在してリード59～62が形成されている。

【0160】

そして、ベース基材31、半導体チップ26、仮想基準電位バス33、電源バス32、基準電位バス34、リード35、59～62、およびボンディングワイヤ58、70などが封止樹脂30によって封止され、パッケージが形成されている。

【0161】

また、仮想基準電位バス33、電源バス32、ならびに基準電位バス34は、たとえば、テープやヒートスプレッタ接着材などによって接着されている。

【0162】

(実施の形態10)

図22は、本発明の実施の形態10による本発明の実施の形態9による半導体集積回路装置に設けられた仮想基準電位バスの一例を示す説明図である。

【0163】

前記本実施の形態7(図18)では、3つの額縁状の仮想基準電位バス33による給電技術について説明したが、本実施の形態10では、その変形例として、額縁状の仮想基準電位バス33を分割して給電する技術について説明する。

【0164】

この場合、図22に示すように、半導体チップ26の外周側に、該半導体チップ26を囲むように額縁状の電源バス32が形成されており、その外周側は、額縁状の基準電位バス34が形成されている。

【0165】

そして、電源バス32の上辺と基準電位バス34の上辺との間には、直線状の仮想基準電位バス33aが形成されている。また、電源バス32の右辺と基準電位バス34の右辺との間には、直線状の仮想基準電位バス33bが形成されており、電源バス32の下辺と基準電位バス34の下辺との間には、直線状の仮想基準電位バス33cが形成されている。さらに、電源バス32の左辺と基準電位バス34の左辺との間には、直線状の仮想基準電位バス33dが形成されている。

【0166】

仮想基準電位バス33a～33dは、半導体チップ26に設けられた4つの第2グランド端子Pvs smにボンディングワイヤ63～66を介して仮想基準電位VSSM1～VSSM4をそれぞれ供給する。

【0167】

このように、仮想基準電位バスを任意に分割することによって、仮想基準電位の種類が

10

20

30

40

50

多くなっても対応が可能となり、低消費電力を制御する領域が多くなっても高精度な低消費電力制御が可能となる。

【0168】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0169】

本発明は、1つ以上の機能モジュールが配置された電源領域毎に低消費電力化を制御する半導体集積回路装置に適している。

【図面の簡単な説明】

【0170】

【図1】本発明の実施の形態1による半導体集積回路装置の構成例を示す説明図である。

【図2】図1の半導体集積回路装置におけるチップレイアウトの一例を示すレイアウト図である。

【図3】図1の半導体集積回路装置に設けられた低電力駆動回路におけるレイアウト例を示した説明図である。

【図4】図1の半導体集積回路装置に設けられた電源スイッチコントローラの構成を示す説明図である。

【図5】図1の半導体集積回路装置に設けられた電源スイッチコントローラ、および低電力駆動回路による仮想基準電位の電圧制御例を示す説明図である。

【図6】本発明の実施の形態1による電源スイッチコントローラの他の構成例を示す説明図である。

【図7】図1の半導体集積回路装置に設けられた電源遮断制御部の動作例を示すタイミングチャートである。

【図8】本発明の実施の形態2による半導体集積回路装置の構成例を示す説明図である。

【図9】図8の半導体集積回路装置と低電力駆動回路との実装イメージ例を示した説明図である。

【図10】本発明の実施の形態3による半導体集積回路装置の上面図である。

【図11】図10のA-B断面図である。

【図12】図10の半導体集積回路装置に設けられた半導体チップの一例を示す断面図である。

【図13】本発明の実施の形態4による半導体集積回路装置の上面図である。

【図14】図13のA-B断面図である。

【図15】本発明の実施の形態5による半導体集積回路装置の構成例を示す上面図である。

【図16】本発明の実施の形態5による半導体集積回路装置の他の構成例を示す説明図である。

【図17】本発明の実施の形態6による半導体集積回路装置の構成例を示す説明図である。

【図18】本発明の実施の形態7による半導体集積回路装置の構成例を示す説明図である。

【図19】本発明の実施の形態8による半導体装置に設けられた半導体チップの仮想基準電位に用いられる給電用配線の一例を示す説明図である。

【図20】発明の実施の形態9による半導体集積回路装置に設けられたアウトリードの形成例を示す説明図である。

【図21】本発明の実施の形態9による半導体集積回路装置の断面図である。

【図22】本発明の実施の形態10による本発明の実施の形態9による半導体集積回路装置に設けられた仮想基準電位バスの一例を示す説明図である。

【符号の説明】

10

20

30

40

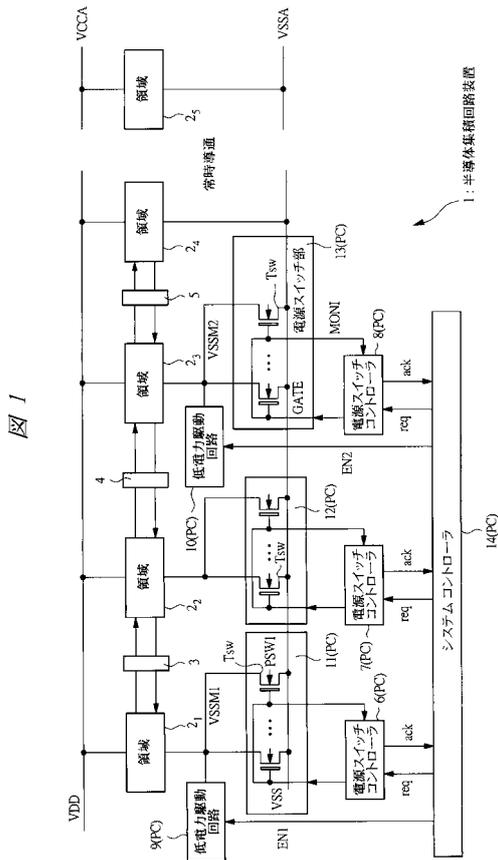
50

【 0 1 7 1 】

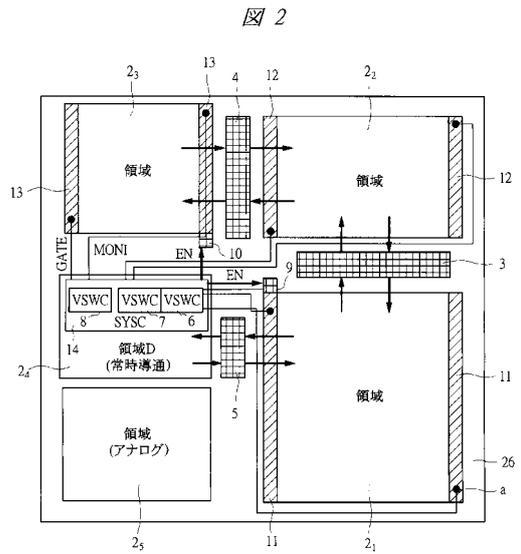
1	半導体集積回路装置	
2 ₁ ~ 2 ₅	領域	
3 ~ 5	不定伝播防止回路	
6 ~ 8	電源スイッチコントローラ	
9	低電力駆動回路	
9 a	アンプ	
9 b	スイッチ	
1 0	低電力駆動回路	
1 1 ~ 1 3	電源スイッチ部	10
1 4	システムコントローラ	
1 5	ロジック部	
1 6 ~ 1 8	トランジスタ	
1 9	オペアンプ	
2 0 , 2 1	トランジスタ	
2 2	仮想基準電位配線	
2 3	プリント配線基板	
2 4 , 2 5	配線	
2 6 , 2 7	半導体チップ	
2 8	実装基板	20
2 8 a	外部端子	
2 9	バンプ	
3 0	封止樹脂	
3 1	ベース基材	
3 2	電源バス	
3 3	仮想基準電位バス	
3 3 a	仮想基準電位バス	
3 3 b	仮想基準電位バス	
3 3 c	仮想基準電位バス	
3 4	基準電位バス	30
3 5	リード	
3 6 , 3 6 a	ボンディングワイヤ	
3 7 , 3 7 a	ボンディングワイヤ	
3 7 b ~ 3 7 d	インナリード	
3 8 ~ 4 0	ボンディングワイヤ	
4 1 , 4 2	ボンディングワイヤ	
4 3	電極部	
4 4	ボンディングワイヤ	
4 5	電極部	
4 6	ボンディングワイヤ	40
4 7 ~ 4 9	領域	
5 0 ~ 5 2	ボンディングワイヤ	
5 3	配線	
5 4	配線	
5 5	配線	
5 5 ~ 5 7	配線	
5 8	ボンディングワイヤ	
5 9 ~ 6 2	リード	
6 3 ~ 6 6	ボンディングワイヤ	
6 7 ~ 6 9	インナリード	50

- 7 0 ボンディングワイヤ
- T s w トランジスタ
- P v d d 電源端子
- P v s s グランド端子
- P v s s m 第2グランド端子
- P e n イネーブル端子

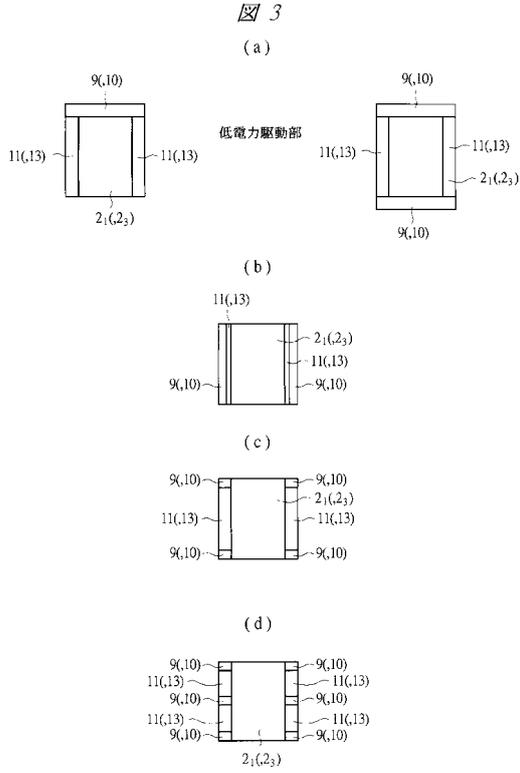
【図1】



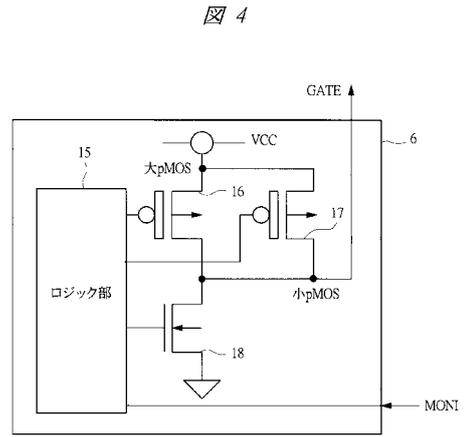
【図2】



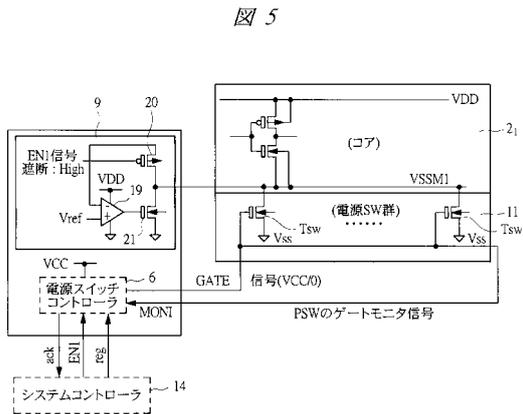
【図3】



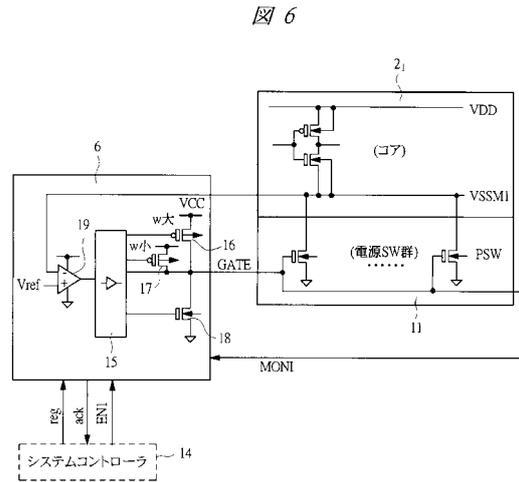
【図4】



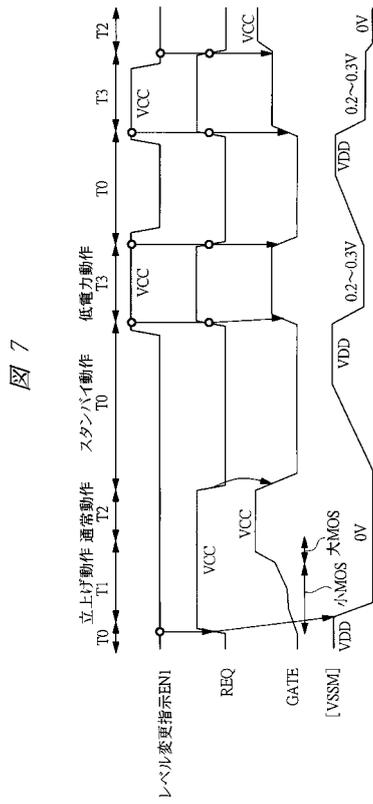
【図5】



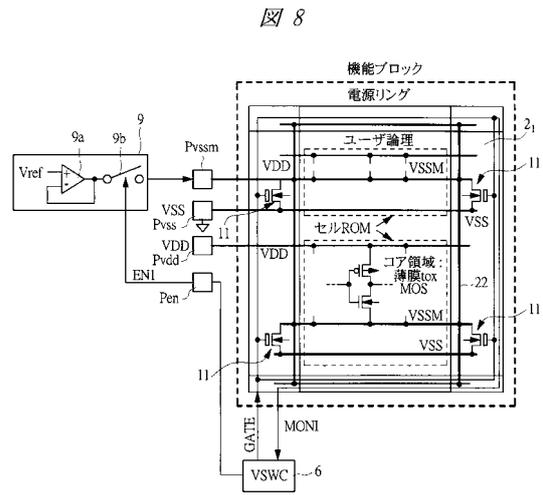
【図6】



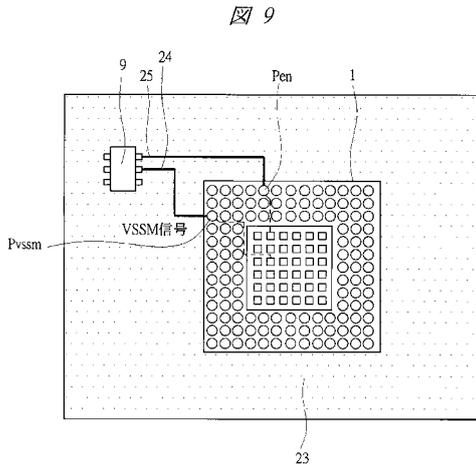
【 図 7 】



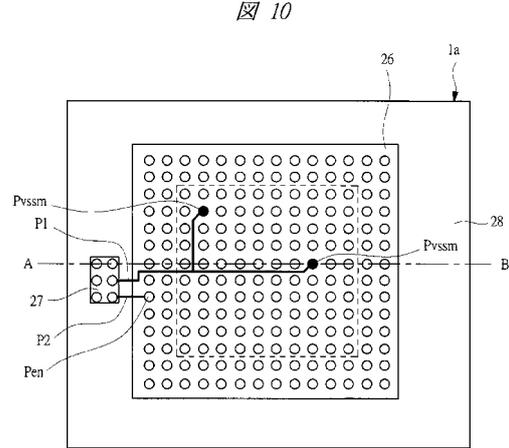
【 図 8 】



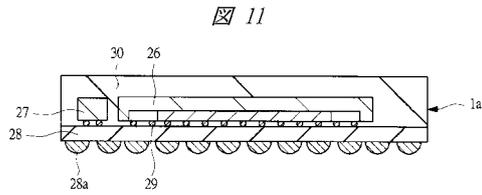
【 図 9 】



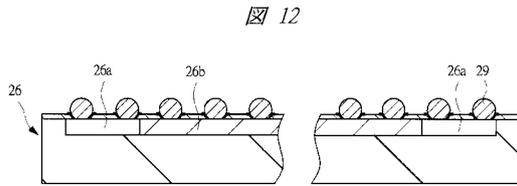
【 図 10 】



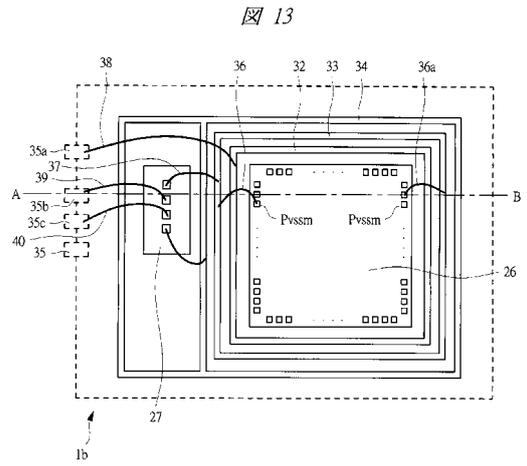
【図 1 1】



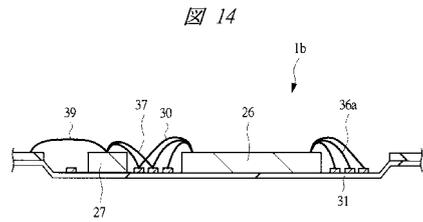
【図 1 2】



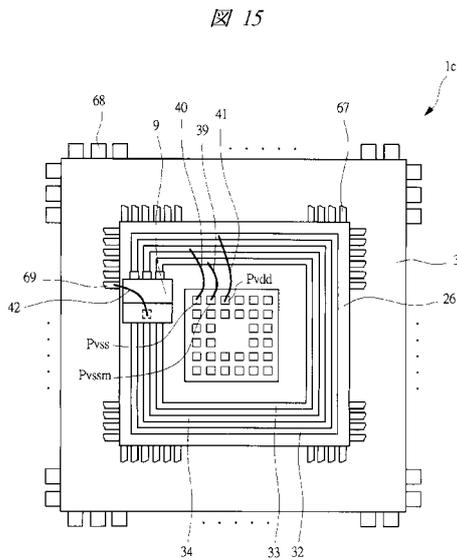
【図 1 3】



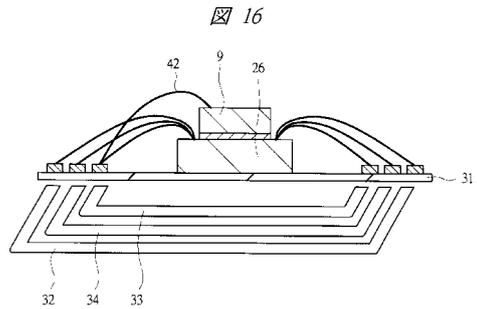
【図 1 4】



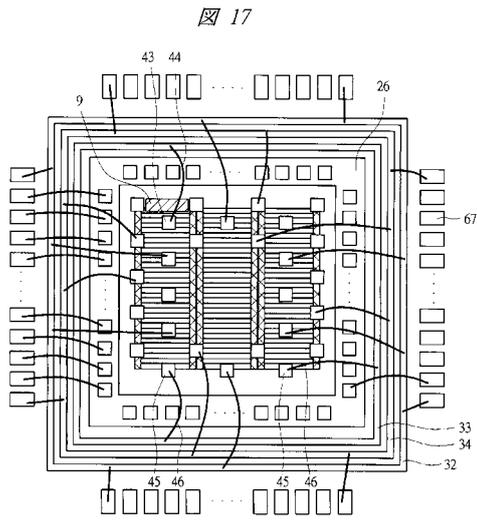
【図 1 5】



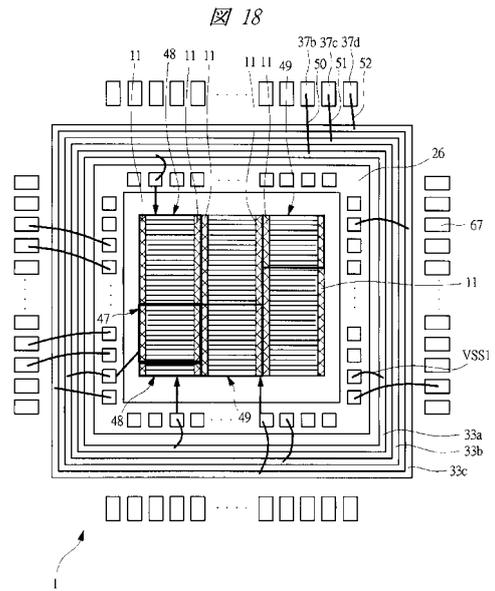
【図 1 6】



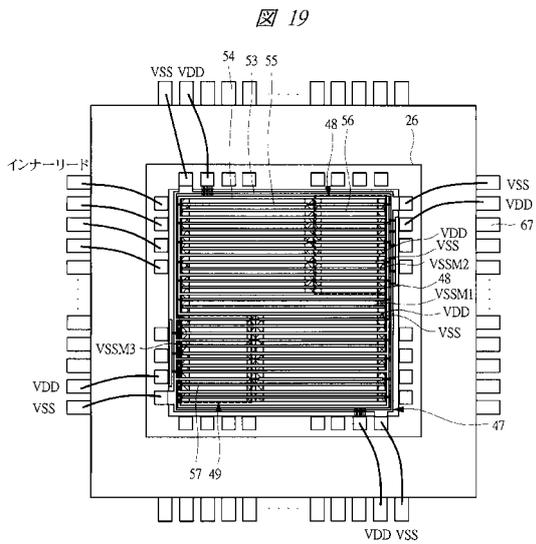
【図17】



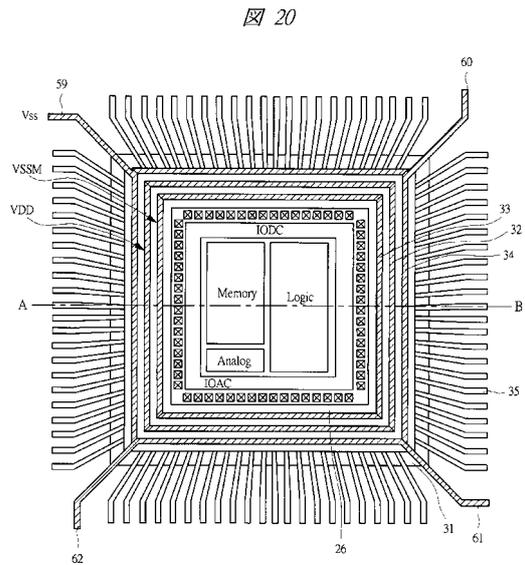
【図18】



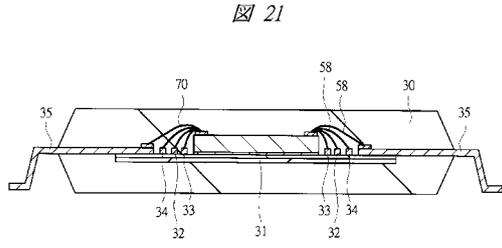
【図19】



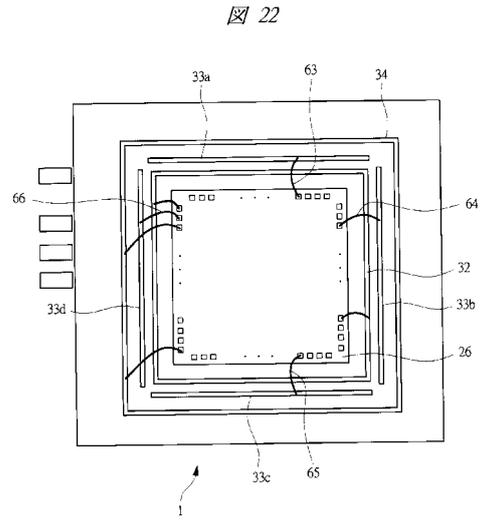
【図20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/04 E

(72)発明者 安 義彦
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 榎本 剛

(56)参考文献 特開2005-268694(JP,A)
特開平08-083487(JP,A)
国際公開第2007/133899(WO,A1)
特開2008-218722(JP,A)
特開2005-175489(JP,A)
特開2007-201414(JP,A)
特開2004-171777(JP,A)
特開2004-015670(JP,A)
特開2008-060370(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 3 K 1 9 / 0 0