



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년12월13일
G09G 3/30 (2006.01)	(11) 등록번호	10-0655779
G09G 3/20 (2006.01)	(24) 등록일자	2006년12월04일

(21) 출원번호	10-2005-0096959	(65) 공개번호
(22) 출원일자	2005년10월14일	(43) 공개일자
심사청구일자	2005년10월14일	

(73) 특허권자 한국과학기술원
 대전 유성구 구성동 373-1

(72) 발명자 조규형
 충남 공주시 반포면 상신리 585-1 도예촌 밤골

 손영석
 경기 화성시 태안읍 반월리 신영통 현대1차아파트 112동 802호

 김상경
 대전 유성구 어은동 한빛아파트 127-1001

 전진용
 대구 서구 평리6동 평리광명맨션 3동 502호

 이건호
 경기 부천시 원미구 상동 325-4

(74) 대리인 이원희

(56) 선행기술조사문헌	
JP2003195812 A	JP2005164864 A
KR1020030084377 A	KR1020040102580 A
KR1020050041665 A	KR1020050069025 A
KR1020060031370 A	
* 심사관에 의하여 인용된 문헌	

심사관 : 천대식

전체 청구항 수 : 총 10 항

(54) AMOLED 구동을 위한 프리차지 회로

(57) 요약

본 발명은 AMOLED를 사용하는 평판 표시장치의 데이터 라인 프리차지 구현시 연산 증폭기를 사용하지 않고 보다 간단한 구성 및 저 동작 전류로 프리차지가 가능토록 한 AMOLED 구동을 위한 프리차지 회로를 제공한다.

본 발명은 입력 디지털 데이터에 해당하는 전류를 생성하는 전류 DAC; 상기 전류 DAC에서 생성된 전류에 따라 필요한 데이터 라인 프리차지 전압을 생성하는 제 1 트랜지스터; 상기 데이터 라인의 용량성 부하를 의도한 전압이 되도록 충전하는 제 2 트랜지스터; 상기 제 2 트랜지스터에 연결되어 데이터 라인의 용량성 부하의 방전 통로를 제공하는 전류원; 및 상기 제 1 및 제 2 트랜지스터의 동작 제어를 위한 제 1 및 제 2 스위칭용 트랜지스터;를 구비함으로써 달성될 수 있다.

이러한 본 발명은 매우 간단한 형태로 구성 가능하므로 데이터 구동 칩의 면적과 소모 전력을 크게 줄일 수 있게 된다.

대표도

도 8

특허청구의 범위

청구항 1.

소정의 전류 입력에 따라 데이터 라인의 프리차지 전압을 생성하는 프리차지 전압 생성용 제 1 트랜지스터;
 상기 데이터 라인의 용량성 부하를 의도한 전압이 되도록 충/방전하는 충전용 제 2 트랜지스터 및 방전용 전류원; 및
 상기 제 1 및 제 2 트랜지스터의 동작을 제어하는 제 1, 제 2 스위칭용 트랜지스터;
 를 포함하는 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 2.

제 1 항에 있어서, 상기 제 1 및 제 2 트랜지스터는 각각 N 타입 트랜지스터로, 상기 제 1 트랜지스터의 게이트단에 제 2 트랜지스터의 소우스단이 연결되어 제 1 트랜지스터의 게이트-소우스간 턴 온 전압을 제 2 트랜지스터의 소우스단을 통해 공급받도록 구성됨을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 3.

제 1 항에 있어서, 프리차지 회로 비동작시 상기 각 요소의 동작 전류를 줄이기 위한 전력소모 방지요소를 더 포함하는 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 4.

제 3 항에 있어서, 상기 전력소모 방지요소는 스위칭용 트랜지스터인 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 5.

제 1 항에 있어서, 상기 제 1 트랜지스터는 소우스 디제너레이션(Source Degeneration) 저항이 삽입되거나 또는 두개의 트랜지스터가 직렬로 연결된 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 6.

입력 디지털 데이터에 해당하는 전류를 생성하는 전류 DAC;

상기 전류 DAC에서 생성된 전류에 따라 필요한 데이터 라인 프리차지 전압을 생성하는 제 1 트랜지스터;

상기 데이터 라인의 용량성 부하를 의도한 전압이 되도록 충전하는 제 2 트랜지스터;

상기 제 2 트랜지스터에 연결되어 데이터 라인의 용량성 부하의 방전 통로를 제공하는 전류원; 및

상기 제 1 및 제 2 트랜지스터의 동작 제어를 위한 제 1 및 제 2 스위칭용 트랜지스터;

를 포함하는 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 7.

제 6 항에 있어서, 상기 제 1 및 제 2 트랜지스터는 각각 N 타입 트랜지스터로, 제 1 트랜지스터의 드레인단은 상기 제 1 스위칭용 트랜지스터를 통해 전류 DAC에서 출력되는 전류가 입력되도록 됨과 더불어 상기 제 2 트랜지스터의 게이트단과 연결되며, 게이트단은 상기 제 2 트랜지스터 소우스단과 연결되어 제 1 트랜지스터의 게이트-소우스간 턴 온 전압을 상기 제 2 트랜지스터를 통해 공급받도록 된 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 8.

제 7 항에 있어서, 상기 제 1 및 제 2 트랜지스터는 각각 P타입으로, 상기 N타입 트랜지스터와 상보형으로 구성됨을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 9.

제 6 항에 있어서, 프리차지 회로 비동작시 상기 프리차지 전압 생성용 제 1 트랜지스터와 충전용 제 2 트랜지스터, 방전용 전류원 및 제 1, 제 2 스위칭용 트랜지스터의 동작 전류를 줄이기 위한 전력소모 방지요소를 더 포함하는 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

청구항 10.

제 6 항에 있어서, 상기 제 1 트랜지스터는 소우스 디제너레이션(Source Degeneration) 저항을 삽입하거나 또는 두개의 트랜지스터를 직렬로 연결하여 입력 전류에 대한 프리차지 전압을 다양하게 제어가능토록 된 것을 특징으로 하는 AMOLED 구동을 위한 프리차지 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이 구동장치에 관한 것으로, 특히 액티브 매트릭스 유기발광 표시소자(AMOLED)를 전류모드로 구동할 경우 저 전류 영역에서 데이터 구동 속도를 높이기 위하여 사용되는 AMOLED 구동을 위한 프리차지 회로에 관한 것이다.

기관 상에 박막 트랜지스터(TFT : Thin Film Transistor)를 형성하는 기술들은 최근 몇 년 동안 광범위하게 진보되고 있으며, 액티브 매트릭스 형 디스플레이 장치에 대한 그 응용 개발이 진행되고 있다.

특히, 폴리실리콘 막을 사용하는 TFT는 종래의 비정질 실리콘 막을 사용하는 TFT보다 더 높은 전계 효과 이동도를 가지므로 높은 속도의 동작이 가능하다. 결과적으로, 종래에는 기관 외부의 구동회로에 의해 실행된 픽셀 제어를 픽셀과 동일한 기관 상에 형성된 구동회로에 의해 픽셀 제어를 실행할 수 있게 되었다.

이러한 형태의 액티브 매트릭스 디스플레이 장치는, 동일한 기관 상에 다양한 회로들 및 소자들을 통합함으로써 얻을 수 있는 감소된 제조 비용, 디스플레이 장치의 소형화, 생산량 증가, 및 더 높은 작업 처리량과 같은 많은 장점 때문에 집중을 받아 왔다.

현재, 자기-발광(Self-Light Emitting) 소자로서 EL(Electro Luminescence)소자들을 구비한 액티브 매트릭스 EL 디스플레이 장치들이 활발하게 연구되고 있다. EL 디스플레이 장치는 또한 유기 EL 디스플레이(OELD) 또는 유기 발광 표시소자(OLED)로 부르며, 액티브 매트릭스 유기 발광 표시소자를 AMOLED라 부른다.

액정 디스플레이 장치들과는 다르게, 유기 디스플레이 장치는 자기 발광 형이다. EL소자는 EL층이 한쌍의 전극들 사이에 끼워지도록 구성되며, 전자주입전극(Cathode)인 제 1 전극(음극)과, 정공주입전극(Anode)인 제 2 전극(양극) 사이에 형성된 유기 발광층에 각각 전자와 정공을 주입하면 전자와 정공이 결합하여 쌍을 이루어 생성된 엑시톤(Exciton)이 여기 상태에서 기저 상태로 떨어지면서 소멸하여 발광하는 소자이다.

이러한 OLED는 2 내지 30볼트의 DC바이어스로 동작한다. OLED의 휘도는 애노드 및 캐소드에 인가되는 전압 또는 전류를 조절함으로써 제어될 수 있다. 발생하는 상대적인 광량을 그레이 레벨이라고 한다.

OLED는 일반적으로 전류 모드에서 동작할 때 최적으로 동작한다.

광출력은 정전압 구동에서 보다 정전류 구동에서 더 안정된다. 이는 일반적으로 전압 모드에서 동작하는 많은 다른 디스플레이 기술과 대조적이다. 따라서 OLED기술을 이용하는 액티브 매트릭스 디스플레이는 전류 동작 모드를 제공하기 위하여 특정 픽셀 구조를 필요로 한다.

일반적으로 매트릭스 어드레스형 OLED(AMOLED) 디바이스에서, 다수의 OLED는 단일 기관 위에 형성되며, 규칙적인 그리드 패턴 그룹으로 배열된다. 그리드의 칼럼을 형성하는 몇 개의 OLED그룹은 공통 캐소드 또는 캐소드 라인을 공유할 수 있다. 그리드의 로우를 형성하는 몇 개의 OLED 그룹은 공통 애노드 또는 애노드 라인을 공유할 수 있다. 소정 그룹의 개별 OLED는 그들의 캐소드 라인 및 애노드 라인이 동시에 활성화될 때 광을 방출시킨다. 매트릭스 내의 OLED 그룹은 디스플레이에 하나의 픽셀을 형성할 수 있으며, 각각의 OLED는 일반적으로 하나의 서브 픽셀 또는 픽셀 셀 역할을 한다.

OLED는 넓은 시야각, 고속 응답성, 고 콘트라스트(Contrast) 등의 뛰어난 특징을 갖고 있으므로, 그래픽 디스플레이의 픽셀, 텔레비전 영상 디스플레이나 표면광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 플라스틱과 같이 휘 수 있는(Flexible) 투명 기관 위에도 소자를 형성할 수 있고, 매우 얇고 가볍게 만들 수 있으며, 색감이 좋기 때문에 평판 디스플레이(Flat Panel Display : FPD)에 적합한 소자이다.

또한, R(Red), G(Green), B(Blue)의 3가지 색을 나타낼 수 있고, 이미 잘 알려진 액정표시장치(Liquid Crystal Display : LCD)에 비해 백라이트(Backlight)가 필요치 않아 전력소모가 적으며, 색감이 뛰어나 차세대 풀 컬러 디스플레이(Full Color Display) 소자로 많은 관심의 대상이 되고 있다.

상기와 같은 표시소자를 사용하는 종래의 표시장치에 대하여 JP-2004-00022974 및 JP-P-2004-00282758을 우선권 주장하여 국내 출원한 대한민국 특허출원 제 2005-8376호의 "표시장치, 및 표시장치를 위한 구동회로"의 내용 및 이 특허에서 인용한 종래의 기술을 중심으로 살펴보면 다음과 같다.

도 1에 나타난 표시장치(100)는 순차적인 선 구동 및 스캐닝 방법에 기초하여 구동된다. 스캐닝선 구동회로(102)는 스캐닝 동기신호에 응답하여 소정의 순서대로 복수의 스캐닝선(121)을 구동한다.

데이터선 구동회로(101)는 스캐닝선 구동회로(102)에 의해 선택적으로 구동되는 스캐닝선(121)과 관련되어 복수의 데이터선(111)을 구동시켜, 픽셀(105)이 표시데이터를 표시할 수 있도록 한다.

데이터선 구동회로(101)는 표시데이터를 표시하기 위한 기간을, 프리차지 기간이라 하는 제 1 기간 및 전류구동기간이라 하는 제 2 기간인, 2 개의 기간으로 나눔으로써 각각의 데이터선(111)을 구동시킨다.

도 2는 도 1의 표시장치(100)의 픽셀(105) 회로도를 나타낸 것이다.

도 2에 도시한 바와 같이, 픽셀(105)은 EL(전계발광) 현상에 따라서 광을 방출하는 전계발광소자(130), 구동 TFT(131), 스위치(132) 및 용량성 소자인 캐패시터(135)를 포함하고 있다.

도 3은 도 1의 데이터선 구동회로(101)의 회로구성을 나타낸 것이다.

도 3에 도시한 바와 같이, 데이터선 구동회로(101)는 시프트 레지스터 회로(112), 데이터 레지스터 회로(113), 데이터 래치 회로(114), D/A변환회로(115), 입력버퍼회로(116), 타이밍 제어회로(117) 및 기준전류 소스(118)를 포함하고 있다.

상기 데이터 레지스터 회로(113)는 표시데이터를 저장하는 메모리 회로로, 데이터 레지스터 회로(113)는 시프트 레지스터 회로(112)로부터 출력되는 신호와 동기하여 표시데이터를 저장한다.

상기 데이터 래치 회로(114)는 타이밍 제어회로(117)로부터의 래치신호와 동기하여 데이터 레지스터 회로(113)에 저장된 표시데이터를 판독한 다음, 그 판독 데이터를 D/A변환회로(115)로 출력한다. D/A변환회로(115)는 데이터 래치 회로(114)로부터의 데이터에 기초하여 데이터선(111) 상으로 출력되어질 전류를 생성한다.

도 4는 상기 D/A변환회로(115)의 상세 회로 구성을 나타낸 것이다.

도 4에 도시한 바와 같이, D/A변환회로(115)는 데이터선(111) 마다 변환 회로(151)와 프리차지 회로(152)를 포함한다. 변환 회로(151)는 표시데이터를 이용하여 이진 방식으로 가중 처리된 복수의 기준전류의 D/A변환을 수행하여 표시데이터에 대한 계조전류를 생성한다.

프리차지 회로(152)는 쿼지-추가 회로(153), 전압 드라이버(154) 및 스위치(155, 156 및 157)를 포함하는 것으로, 도 2에 나타낸 픽셀(105)의 입력 임피던스 특성과 동일한 임피던스 특성을 가지는 쿼지-추가 회로(153) 및 전압 드라이버(154)에 의해 변환 회로(151)로부터의 계조전류에 기초하여 픽셀(105)의 입력 임피던스 특성에 적응 가능한 계조전압을 생성한다.

또한, 프리차지 회로(152)는 계조전압과 계조전류를 출력하여, 하나의 수평 구동 기간에서의 프리차지 기간과 전류 구동 기간의 순서로 상기 스위치(155, 156 및 157)의 스위칭을 통하여 데이터선(111)의 전압구동과 전류구동을 수행한다.

데이터선 구동회로(101)에서는 데이터선(111)의 구동을 위한 데이터선 구동기간이 프리차지 기간과 전류구동 기간인 2개의 기간으로 나누어진다.

프리차지 기간에서는 데이터선 구동회로(101)가 높은 구동능력으로 전압구동회로에 의해 데이터선(111)을 구동시키며, 이러한 구동을 전압구동이라 한다. 전류구동 기간에서는 데이터선 구동회로(101)가 정전류 소스회로에 의해 정전류값을 가진 전류에서 데이터선(111)을 구동시키며, 이러한 구동을 전류 구동이라 한다.

데이터선 구동회로(101)는 프리차지 기간에서 계조전압을 출력하여 전압 구동시 데이터선(111)을 구동시킨다. 각각의 픽셀(105)에 대한 캐패시터(135)는 그 출력 계조전압을 이용하여 단기간에 소정의 전압까지 충전된다. 또한, 픽셀(105)을 전류구동 기간에서 데이터선 구동회로(101)로부터 출력되는 계조전류에 의해 고정밀도로 구동시켜 고정밀도를 가진 표시를 달성할 수 있다.

도 5는 AMOLED를 사용하는 표시장치에 사용되는 종래의 D/A 변환회로와 계조전압 생성회로를 나타낸 것이고, 도 6은 도 5와 연관된 프리차지 및 픽셀회로의 동작 모형을 나타낸 것이다.

도 5에서, 계조전압 생성회로(15)는 계조 설정 데이터에 기초하여 복수의 제 1 계조 전압을 생성하는 제 1 계조 전압 생성회로(21) 및 계조 설정 데이터에 기초하여 복수의 제 2 계조 전압을 생성하는 제 2 계조 전압 생성회로(22) 및 멀티플렉서(23)를 포함한다. 상기 멀티플렉서(23)는 복수의 계조 전압으로서 복수의 제 1 계조전압 및 복수의 제 2 계조전압 중 하나의 전압을 D/A변환회로(14)로 병렬로 출력한다.

D/A 변환회로(14)는 디코더(24), 계조전압 선택회로(25), 전압 드라이버(26), 제 1 스위치(27), 전류 드라이버(28) 및 제 2 스위치(29)를 포함한다.

상기 디코더(24)는 데이터 래치회로로부터 공급되는 하나의 픽셀에 대한 표시데이터를 디코딩하여 그 디코딩 데이터를 계조전압 선택회로(25)로 출력한다. 계조전압 선택회로(25)는 디코더(24)로부터 공급되는 표시데이터에 기초하여 계조전압 생성회로(15)로부터 공급되는 복수의 계조전압 중에서 특정 계조전압을 선택한다. 계조전압 선택회로(25)는 이 선택데이터를 전압 드라이버(26) 또는 전류 드라이버(28)로 출력한다.

전압 드라이버(26)는 높은 구동능력을 가지고 데이터선(6) 들 중 대응하는 하나를 구동시킬 수 있다. 예를 들면, 전압 드라이버(26)에는 전압 팔로워 회로 또는 소스 팔로워 회로가 제공된다. 전압 드라이버(26)는 계조전압 선택회로(25)로부터 공급되는 전압에 대응하는 전압으로 데이터선(6)을 구동시킨다. 전류 드라이버(28)는 정전류로 데이터선(6)을 구동시킬 수 있다.

따라서 데이터선(6)과 픽셀(5)은 전압 드라이버(26)에 의해 프리차지 기간에서 고속으로 전압 구동되며, 데이터선(6)과 픽셀(5)은 전류 드라이버(28)에 의해 전류구동기간에서 소정의 전류로 전류 구동된다. 전압구동에서는 전류 플로우의 값과 방향이 모두 변경가능하다. 반면, 전류 구동에서는, 전류 값이 일정하고 전류 플로우의 방향은 변경되지 않는다.

도 6에 도시된 전류 드라이버(28)는 P채널 트랜지스터로 구성되며, 전류(Id)를 생성한 다음 이 전류를 계조전압 선택회로(25)로부터 공급되는 선택된 제 2 계조전압에 기초하여 데이터선(6)에 공급한다. 상기 전류 드라이버(28)는 P 채널 트랜지스터로 된 단일 트랜지스터로 구성되는데, 그 이유는, 픽셀(5)의 제 1 TFT(34)가 N 채널 트랜지스터이기 때문이다. 픽셀(5)의 제 1 TFT(34)가 P 채널 트랜지스터로 구성되는 경우에는, 전류 드라이버(28)가 N 채널 트랜지스터로 구성되는 것이 바람직하다.

도 7은 D/A 변환회로(14)에서의 전압 드라이버(26)의 상세 회로구성을 나타낸 것이다.

도 7을 참조하면, 전압 드라이버(26)의 출력 스테이지는 푸시풀 타입으로 되어 있고, 픽셀(5)의 제 1 TFT(34)가 N 채널 트랜지스터이기 때문에, 차동입력 트랜지스터들은 P 채널 트랜지스터이다. 차동입력 트랜지스터들이 N 채널 트랜지스터인 경우, 전압 범위는 임계전압(Vth)에 의해 협소화된다. 따라서 차동입력 트랜지스터들과 동일한 P 채널 트랜지스터들을 이용하여 접지전위 근방에서 전압범위를 넓힐 수 있다.

그러나 상기 도 7과 같이 연산 증폭기를 이용한 전압 드라이버는 다수의 트랜지스터 및 데이터 라인의 과도한 정전용량의 부하를 극복하기 위한 보상용 저항과 캐패시터로 구성되는 것이 통상적이며, 상술한 대한민국 특허출원 제 2005-8376 호 역시 이 범주를 벗어나지 못하고 있다.

도 7과 같은 형태의 전압 드라이버는 각 데이터 채널마다 형성되어야 하는데, 다수의 트랜지스터 및 보상용 캐패시터들로 구성됨으로 데이터 구동 칩에서 상당한 면적을 차지할 수밖에 없으며, 과도한 전류 소모가 필연적이다.

또한 SOG(System on Glass) 회로 설계를 이용하여 패널에 직접 전압 드라이버 설계를 시도하여 구동 시스템의 생산단가 절감을 추구할 경우 전압 드라이버 회로의 복잡성으로 인하여 충분한 전압 드라이버 성능을 얻지 못할 가능성이 매우 높다.

즉, 종래 AMOLED와 같은 평판 표시소자를 사용하는 평판 표시장치를 전류 모드로 구동할 경우, 평판 표시장치의 데이터 라인에 발생하는 기생 정전용량에 의하여, 의도한 화소회로의 데이터 전류 전달 속도가 크게 저하되며, 구동 전류의 레벨이 낮을 수록 구동속도가 저하됨에 따라 데이터 라인 프리차지 회로를 사용하여 이러한 구동속도를 높이고 있다.

그러나 종래 프리차지 회로는 통상 연산 증폭기를 이용하여 전압 팔로워 형태로 구현되었으며, 이러한 프리차지 회로는 그 기능 대비 과도한 트랜지스터, 칩 면적, 소모 전류를 사용하는 등등의 문제점들이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 AMOLED를 사용하는 평판 표시장치의 데이터 라인 프리차지 구현시 연산 증폭기를 사용하지 않고 보다 간단한 구성 및 저 동작 전류로 프리차지가 가능토록 한 AMOLED 구동을 위한 프리차지 회로를 제공함에 있다.

발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명에 따른 AMOLED 구동을 위한 프리차지 회로는, 소정의 전류 입력에 따라 데이터 라인의 프리차지 전압을 생성하는 프리차지 전압 생성용 제 1 트랜지스터; 상기 데이터 라인의 용량성 부하를 의도한 전압이 되도록 충/방전하는 충전용 제 2 트랜지스터 및 방전용 전류원; 및 상기 제 1 및 제 2 트랜지스터의 동작을 제어하는 제 1, 제 2 스위칭용 트랜지스터;를 포함하는 것을 특징으로 한다.

상기 제 1 및 제 2 트랜지스터는 각각 N 타입 트랜지스터로, 상기 제 1 트랜지스터의 게이트단에 제 2 트랜지스터의 소우스단이 연결되어 제 1 트랜지스터의 게이트-소우스간 턴 온 전압을 제 2 트랜지스터의 소우스단을 통해 공급받도록 구성됨이 바람직하다.

또한, 프리차지 회로 비동작시 상기 프리차지 전압 생성용 제 1 트랜지스터와 충전용 제 2 트랜지스터, 방전용 전류원 및 제 1, 제 2 스위칭용 트랜지스터의 동작 전류를 줄이기 위한 전력소모 방지요소를 더 포함하는 것이 바람직하다.

상기 목적을 달성하기 위한 본 발명은, 입력 디지털 데이터에 해당하는 전류를 생성하는 전류 DAC; 상기 전류 DAC에서 생성된 전류에 따라 필요한 데이터 라인 프리차지 전압을 생성하는 제 1 트랜지스터; 상기 데이터 라인의 용량성 부하를 의도한 전압이 되도록 충전하는 제 2 트랜지스터; 상기 제 2 트랜지스터에 연결되어 데이터 라인의 용량성 부하의 방전 통로를 제공하는 전류원; 및 상기 제 1 및 제 2 트랜지스터의 동작 제어를 위한 제 1 및 제 2 스위칭용 트랜지스터;를 포함하는 것을 특징으로 한다.

상기 제 1 및 제 2 트랜지스터는 각각 N 타입 트랜지스터로, 제 1 트랜지스터의 드레인단은 상기 제 1 스위칭용 트랜지스터를 통해 전류 DAC에서 출력되는 전류가 입력되도록 됨과 더불어 상기 제 2 트랜지스터의 게이트단과 연결되며, 게이트단은 상기 제 2 트랜지스터 소우스단과 연결되어 제 1 트랜지스터의 게이트-소우스간 턴 온 전압을 상기 제 2 트랜지스터를 통해 공급받도록 됨이 바람직하며, 상기 제 1 및 제 2 트랜지스터는 각각 P타입으로, 상기 N타입 트랜지스터와 상보형으로 구성될 수 있음은 물론이다.

이하, 본 발명의 바람직한 실시 예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 단, 하기 실시 예는 본 발명을 예시하는 것일 뿐 본 발명의 내용이 하기 실시 예에 한정되는 것은 아니다.

도 8은 본 발명에 따른 AMOLED 구동을 위한 프리차지 회로를 나타낸 것으로, 이는 데이터 구동 칩을 구성하는 단위 채널의 기본 유닛에 대한 구성도이다.

도시한 바와 같이, n-비트 디지털 데이터 입력으로부터 이 입력 디지털 데이터에 해당하는 전류를 생성하는 전류 DAC(210), 상기 전류 DAC(210)에서 생성된 전류에 따라 필요한 데이터 라인(Data Line) 프리차지 전압을 생성하는 트랜지스터(M1), 데이터 라인(Data Line)의 기생 정전용량인 용량성 부하(C_p)를 의도한 전압이 되도록 충/방전하는 트랜지스터(M2) 및 전류원(I_{BIAS}), 상기 트랜지스터(M1, M2)의 동작 제어를 위한 스위칭용 트랜지스터(SW1, SW2) 및 스캔제어신호(SCAN) 인에이블시 스위칭되어 상기 전류 DAC(210)의 출력 전류를 데이터 라인(Data Line)으로 공급하는 스위칭용 트랜지스터(SW3)로 구성된다.

이와 같은 도 8의 구성에서 본 발명의 프리 차지 회로를 구성하는 기본 요소는 상기 트랜지스터(M1, M2) 및 전류원(I_{BIAS})이며, 상기 구성을 보다 상세히 살펴보면 다음과 같다.

먼저, 상기 스위치(SW1)는 N타입 트랜지스터로, 상기 전류 DAC(210)에 드레인단이 연결되고, 게이트단에 본 발명의 프리차지 회로를 동작시키기 위한 신호인 프리차지 인에이블신호(PCEN)가 입력되도록 되어 상기 프리차지 인에이블신호(PCEN) 입력시 스위칭 온 되도록 구성되며, 상기 스위치(SW1)의 소우스단에 상기 트랜지스터(M1)의 드레인단이 접속된다.

또한, 상기 스위치(SW2)는 N타입 트랜지스터로, 상기 스위치(SW1)와 마찬가지로 게이트단에 프리차지 인에이블신호(PCEN)가 입력될 경우 스위칭 온 되도록 구성되며, 스위치(SW2)의 소우스단이 상기 트랜지스터(M1)의 게이트단에 접속된다.

상기 트랜지스터(M1)는 N타입 트랜지스터로, 상기 스위치(SW1)의 소우스단이 드레인단에 접속되고, 스위치(SW2)의 소우스단이 게이트단에 접속되며, 소우스단은 접지에 연결된 것으로, 상기 스위치(SW1, SW2) 온시 상기 전류 DAC(210)에서 생성된 전류에 따라 필요한 데이터 라인(Data Line) 프리차지 전압을 생성하게 된다.

또한, 상기 트랜지스터(M2)는 N타입 트랜지스터로, 상기 스위치(SW1)의 소우스단과 트랜지스터(M1)의 드레인단 사이에 게이트단이 접속되고, 드레인단은 전압원(VDD)에 연결되며, 소우스단은 상기 트랜지스터(M1)의 게이트단 및 스위치(SW2)의 소우스단에 연결되어, 상기 스위치(SW1) 온시 데이터 라인(Data Line)의 용량성 부하(C_p)를 의도한 전압이 되도록 충전한다.

그리고 상기 전류원(I_{BIAS})은 정 전류원으로, 상기 트랜지스터(M2)의 소우스단에 일측단이 연결되고, 타측단은 접지되어 데이터 라인(Data Line)의 용량성 부하(C_p)가 상기 스위치(SW2)를 통해 접지로 방전될 수 있도록 방전경로를 형성한다.

상기 스위치(SW3)는 N타입 트랜지스터로, 소우스단이 상기 전류 DAC(210)에 연결되고, 드레인단은 상기 스위치(SW2)의 드레인단 및 데이터 라인(Data Line)과 연결되며, 게이트단에 스캔제어신호(SCAN)가 입력되도록 되어 상기 스캔제어신호(SCAN) 인에이블시 상기 전류 DAC(210)의 출력이 데이터 라인(Data Line)으로 공급되도록 한다.

또한, 상기 트랜지스터(M1)는 반도체 기판 위에 제작될 수도 있고, 패널의 글래스 위에 형성되는 TFT가 될 수도 있으며, 상기 전류 DAC(210)를 제외한 구성 요소(M1, M2, SW1-SW3)가 패널의 글래스 위에 TFT로 구성될 수도 있다.

그리고 데이터 라인(Data Line)의 저항(R_p) 및 용량성 부하인 캐패시터(C_p)는 기생 저항 및 기생 정전용량이다.

상기와 같이 구성된 본 발명의 동작을 도 9의 본 발명의 동작 타이밍도 및 도 8의 회로를 임의 패널의 픽셀회로(220)에 적용하였을 때의 구성을 나타낸 도 10과 함께 살펴본다.

먼저, 도 9의 타이밍도에 대하여 살펴보면, Period A는 프레임 타임으로, 통상적으로 1/60초 또는 1/30초를 사용하고 있다. 그러나 이 프레임 타임은 패널의 응용처에 따라 다양하게 가변될 수 있다.

프레임 타임은 period B로 표시되는 로우 타임(row time ; 이하, row time이라 칭함)구간과 period C로 표시되는 발광 구간(light emitting time)으로 구성된다. 그리고 row time 구간인 period B는 프리차지 구간(period D)과 전류 프로그래밍 구간(current programming time)(period E)으로 나누어지며, 이러한 시간영역에서의 동작은 종래와 동일하다.

도 9와 같은 타이밍을 바탕으로 하는 본 발명에서 임의 row(또는 스캔 라인)가 선택되면, 입력 디지털 데이터에 해당하는 전류가 전류 DAC(210)에 의하여 발생되고, 프리차지 인에이블신호(PCEN)가 인에이블된다.

상기 프리차지 인에이블신호(PCEN)가 인에이블된 구간(프리차지 구간)에서 상기 스위치(SW1, SW2)가 온 되며, 이에 따라 전류 DAC(210)의 출력 전류는 스위치(SW1)을 통과하여 트랜지스터(M1)의 드레인에 이르게 된다.

이때 트랜지스터(M1)의 게이트-소우스간 전압은 전류 DAC(210)의 출력 전류가 흐르기 위해 필요한 전압이 형성되도록 트랜지스터(M2)의 소우스 전압이 트랜지스터(M1)의 게이트로 입력되게 된다.

그리고 데이터 라인(Data Line)은 스위치(SW2)가 도통되어 있으므로 트랜지스터(M1)의 게이트 전압이 되는데, 데이터 라인(Data Line)의 기생 정전용량인 용량성 부하(C_p)는 트랜지스터(M2)에 의해 충전되고, 전류원(I_{BIAS})에 의해 방전될 수 있어 의도한 전류에 해당하는 전압을 거대한 용량성 부하(C_p)에 빠른 시간에 유기시킬 수 있게 된다.

이후, 프리차지 인에이블신호(PCEN)가 디스에이블되고, 스캔제어신호(SCAN)가 인에이블되면 전류 DAC(210)의 출력 전류는 스위치(SW3)를 통하여 패널의 데이터 라인(Data Line)으로 공급되게 된다.

프리차지 구간(period D)이 끝나면 전류 프로그래밍 구간(period E)이 시작되고, 이 구간에서는 최종적으로 전류 DAC(210)로부터 출력된 전류와 픽셀회로(220)의 구동 트랜지스터(MD)의 드레인 전류는 짧은 시간 내에 동일해질 수 있어야

하고, 이를 위해 픽셀회로(220)의 구동 트랜지스터(MD)가 상기 트랜지스터(M1)의 $I_{DS}-V_{GS}$ 특성과 유사해야 한다. 이는 상기 전류 DAC(210)에서 출력되는 전류에 의해 데이터 라인(Data Line)에 유기되는 전압은 트랜지스터(M1)의 $I_{DS}-V_{GS}$ 특성에 의해 결정되기 때문이다.

한편, 반도체 기판 위에 형성되는 상기 트랜지스터(M1)로 유기 기판 위에서 형성되는 TFT 구동 트랜지스터(MD)의 특성을 구현하기 위해서 상기 트랜지스터(M1)는 단순 트랜지스터가 아닐 수 있다. 예를 들어, 소우스 디제너레이션(Source Degeneration) 저항을 트랜지스터(M1)에 추가할 수도 있고, 두개의 트랜지스터를 직렬로 연결하여 한 개의 트랜지스터 동작을 하게 할 수도 있다.

그리고 전류 프로그래밍 구간에서는 구동 트랜지스터(MD)의 드레인 전류가 전류 DAC(210)의 전류 값으로 짧은 시간에 수렴하여야 하는데, 수렴의 정밀도는 전류 프로그래밍 구간, 데이터 전류 레벨(data current level), 데이터 라인 기생 용량(C_p)과 트랜지스터(M1)와 구동 트랜지스터(MD)의 정합 정도에 의해서 결정이 된다. 이 관계는 종래의 기술에서도 그대로 적용이 되는 것이다.

도 11은 본 발명에서 타이밍별 데이터 라인의 전압 파형도를 나타낸 것으로, T_1 에서 프리차지 인에이블신호(PCEN)가 인에이블되면 데이터 라인(Data Line) 전압은 초기 전압 V_1 에서 프리차지 전압 레벨인 V_2 로 충전된다.

이 프리차지 전압 레벨은 도 8의 전류 DAC(210)의 출력 전류인 I_{DATA} 및 트랜지스터(M1)의 디바이스 파라미터에 의해서 결정되며, 프리차지 전압 방정식은 아래와 같다.

$$V_2 = V_T + \sqrt{\frac{2 \cdot I_{DATA}}{\mu C_{OX} \frac{W}{L}}}$$

여기서, W = 트랜지스터(M1)의 채널 폭(channel width), L = 트랜지스터(M1)의 채널 길이(channel length), COX = 단위 용량(unit capacitance)/단위 영역(unit area), V_T = 트랜지스터(M1)의 문턱 전압(threshold voltage), μ = 트랜지스터(M1)의 이동도(mobility)이다.

프리차지 속도를 결정하는 것은 데이터 라인(Data Line)의 충전 시에는 트랜지스터(M2)의 전류 공급 능력에 의해서, 방전 시에는 전류원(I_{BIAS})에 의해서 결정된다.

데이터 라인(Data Line)의 필요 전압 변화량이 5V, 기생 용량 100pF, 구동 바이어스 전류가 100uA이면 필요한 프리차지 시간은 5us이면 된다. 따라서 상기와 같은 조건이면 충분한 프리차지 속도를 예상할 수 있게 된다.

프리차지 구간이 끝나고 T_2 에서 스캔제어신호(SCAN)가 인에이블되면 I_{DATA} 로 픽셀회로(220)의 구동 트랜지스터(MD)를 구동하며 약간의 전압조정이 발생하게 되는데, 이때 전압조정 양은 본 발명의 프리차지 회로의 트랜지스터(M1)의 전류-전압 특성과 픽셀회로(220)의 구동 트랜지스터(MD)의 전류-전압 특성의 정합정도에 의해 결정된다.

도 11에서 V_1 은 데이터 라인(Data Line)의 초기 전압, V_2 는 프리차지 동작에 의해서 형성되는 데이터 라인(Data Line) 전압, V_3 와 V_4 는 최종 데이터 라인(Data Line) 전압을 표시하며, 픽셀회로(220)의 구동 트랜지스터(MD)의 특성에 따라서 전류구동으로 형성하는 전압을 의미한다. 즉, 프리차지 전압으로 충전한 후, 전류 DAC(210)로 데이터 라인(Data Line) 전압을 정밀 조정해야 하는데, 정밀 조정후의 전압을 두개 표시한 것이 V_3, V_4 이다.

도 12는 본 발명의 응용 예로서, 본 발명의 동작 전류를 줄이기 위한 구성을 나타낸 것이다.

이는 도 8의 프리차지 회로에 스위치(SW4)가 더 구비된 형태이며, 상기 스위치(SW4)는 프리차지 인에이블신호(PCEN)가 게이트단에 입력되고, 소우스단은 접지되며, 드레인단은 스위치(SW1)의 소우스단과 트랜지스터(M1)의 드레인단 및 트랜지스터(M2)의 게이트단에 접속되어, 프리차지 인에이블신호(PCEN)가 디스에이블시 온 되는 P타입 트랜지스터이다.

이의 동작을 살펴보면, 상기 프리차지 인에이블신호(PCEN)가 인에이블시 스위치(SW4)는 오프 상태가 되어 도 8의 본 발명의 프리차지 회로는 정상동작을 행하게 된다.

반면, 프리차지 인에이블신호(PCEN)가 디스에이블되면 스위치(SW4)는 온 되어 도 8의 본 발명의 프리차지 회로에 더 이상 전류가 흐르지 않도록 하여 불필요한 동작 전류를 줄이게 된다.

도 13은 도 8의 본 발명의 프리차지 회로에 대한 상보(Complementary) 형태의 구성을 나타낸 것으로, 그 동작은 도 8과 동일하므로 상세 설명은 약한다. 또한, 도 13에서도 상기 도 12와 마찬가지로 동작 전류를 줄이기 위한 스위치(SW4)의 추가 구성이 가능함은 물론이다.

상술한 바와 같이, 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 또는 변형하여 실시할 수 있다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명은 다음과 같은 효과를 갖게 된다.

첫째, 본 발명은 종래와 같이 프리차지 회로에 연산 증폭기를 사용하지 않고 매우 간단한 형태로 구성 가능하므로 데이터 구동 칩의 면적과 소모 전력을 크게 줄일 수 있게 된다.

둘째, 구동회로의 간단화를 통해 구동 칩의 수율을 높일 수 있게 된다.

셋째, 반도체 칩으로 구현할 수밖에 없는 회로들을 SOG화할 수 있을 정도로 간단한 회로로 전환할 수 있어, 전류구동 기술의 획기적인 발전을 기대케 할 수 있다.

넷째, 소면적 AMOLED 디스플레이 패널 뿐만 아니라, 과도한 데이터 라인 정전용량을 가지는 대면적 패널도 프리차지 동작시 전압 드라이버의 안정도(stability)를 확보할 수 있게 된다.

도면의 간단한 설명

도 1은 종래의 AMOLED 표시장치의 구성도.

도 2는 도 1의 픽셀 회로도.

도 3은 도 1의 데이터 구동회로의 구성도.

도 4는 도 1의 D/A변환회로의 구성도.

도 5는 종래의 AMOLED 표시장치의 D/A변환회로 및 계조전압 생성회로의 구성도.

도 6은 도 5와 연관된 프리차지 및 픽셀회로의 동작 모형도.

도 7은 도 5의 D/A변환회로에서의 전압 드라이버의 회로 구성도.

도 8은 본 발명에 따른 AMOLED 구동을 위한 프리차지 회로의 구성도.

도 9는 본 발명의 동작 타이밍도.

도 10은 본 발명을 픽셀 회로에 적용한 회로도.

도 11은 본 발명에서의 타이밍별 데이터 라인의 전압 파형도.

도 12는 본 발명의 응용 예도.

도 13은 본 발명의 상보형 회로 구성도.

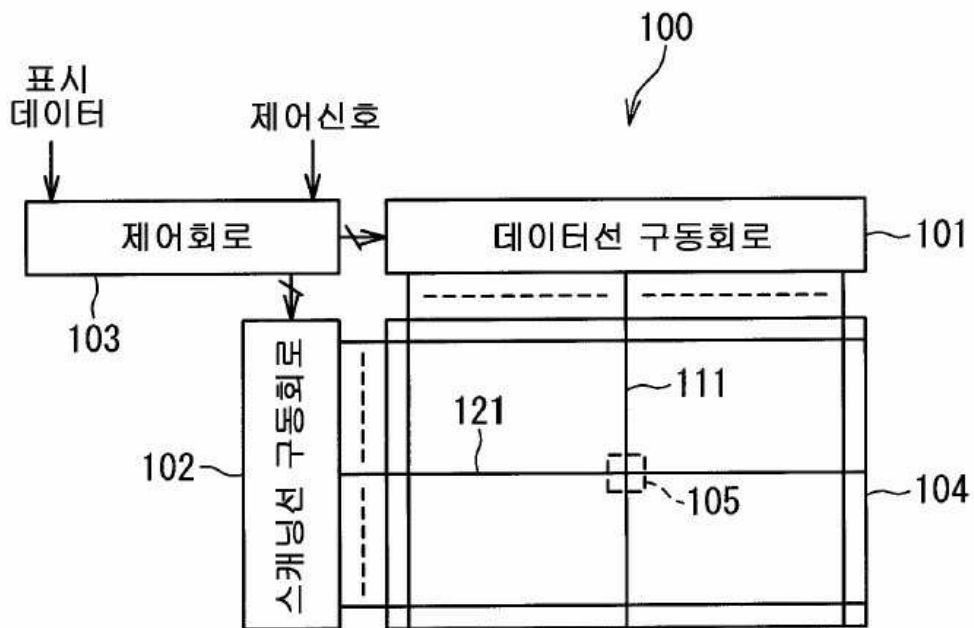
<도면의 주요부분에 대한 부호의 설명>

210 : 전류 DAC 220 : 픽셀회로

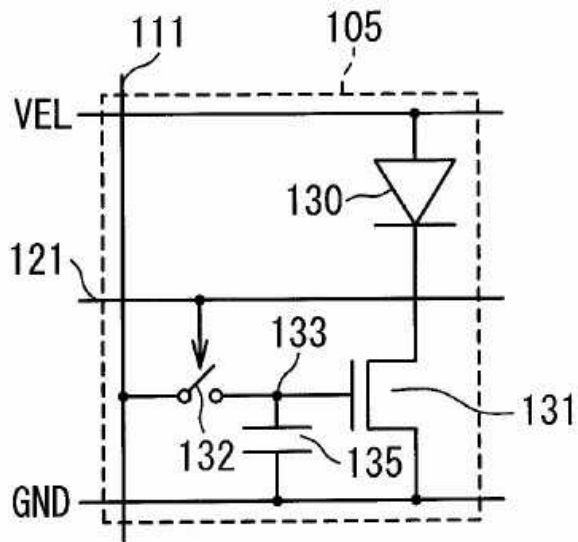
M1, M2 : 트랜지스터 SW1-SW4 : 스위치

도면

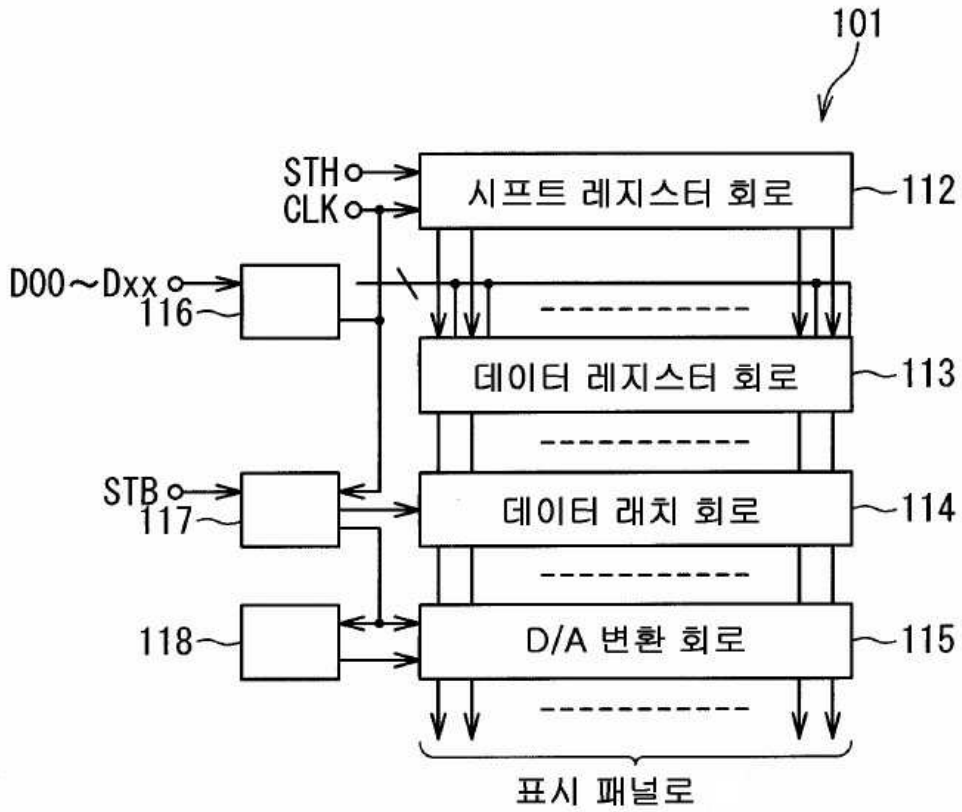
도면1



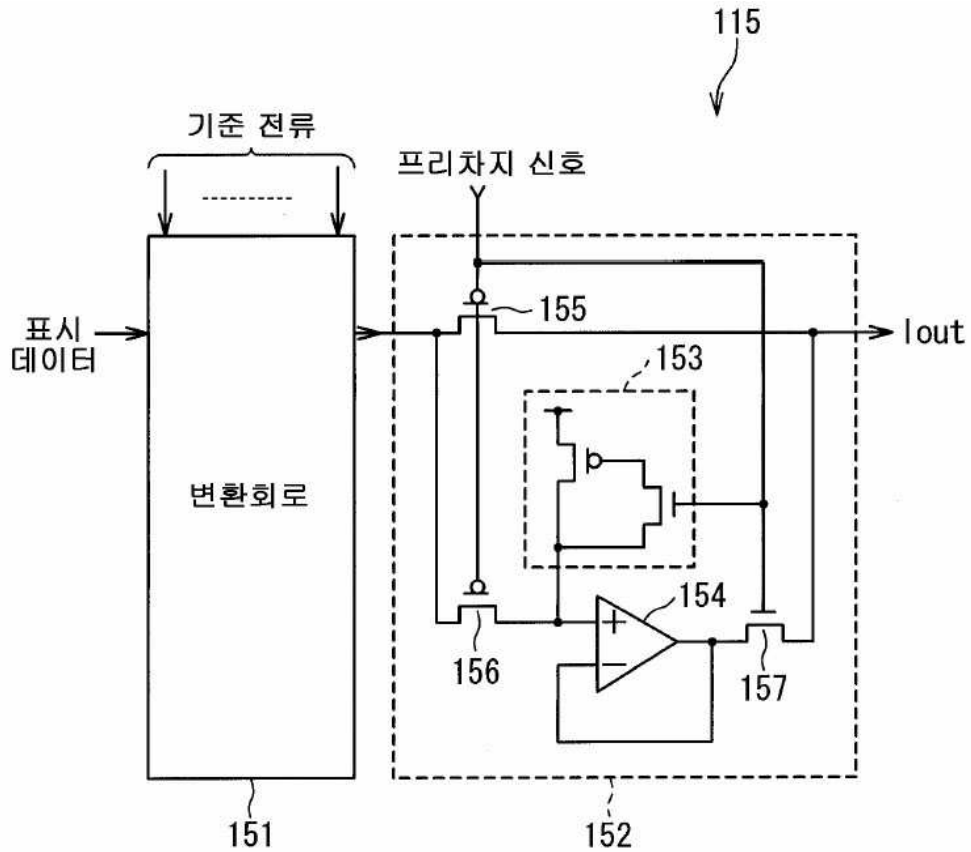
도면2



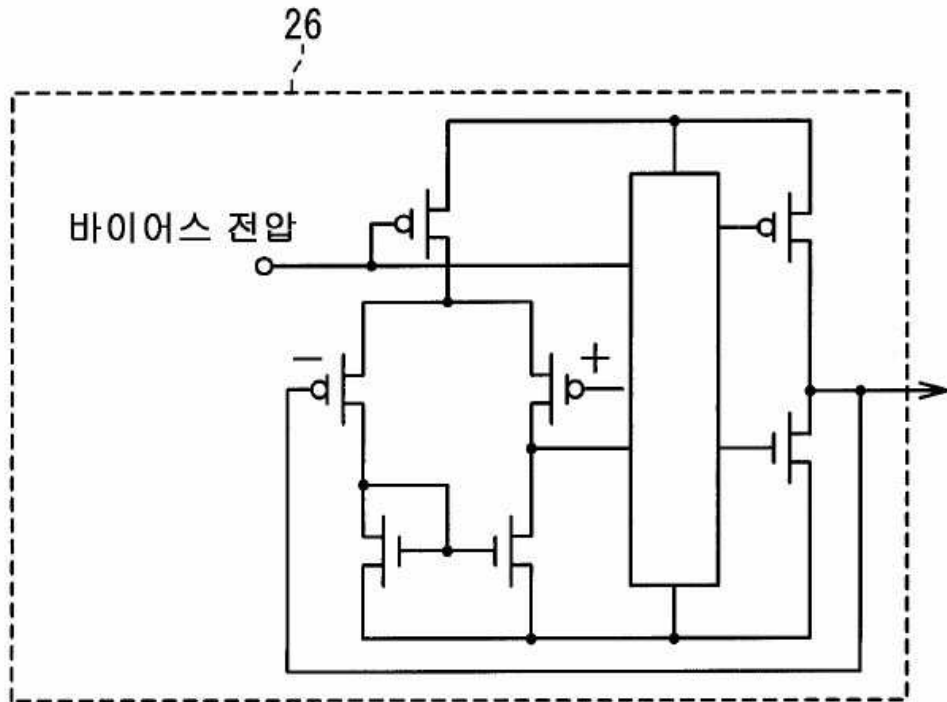
도면3



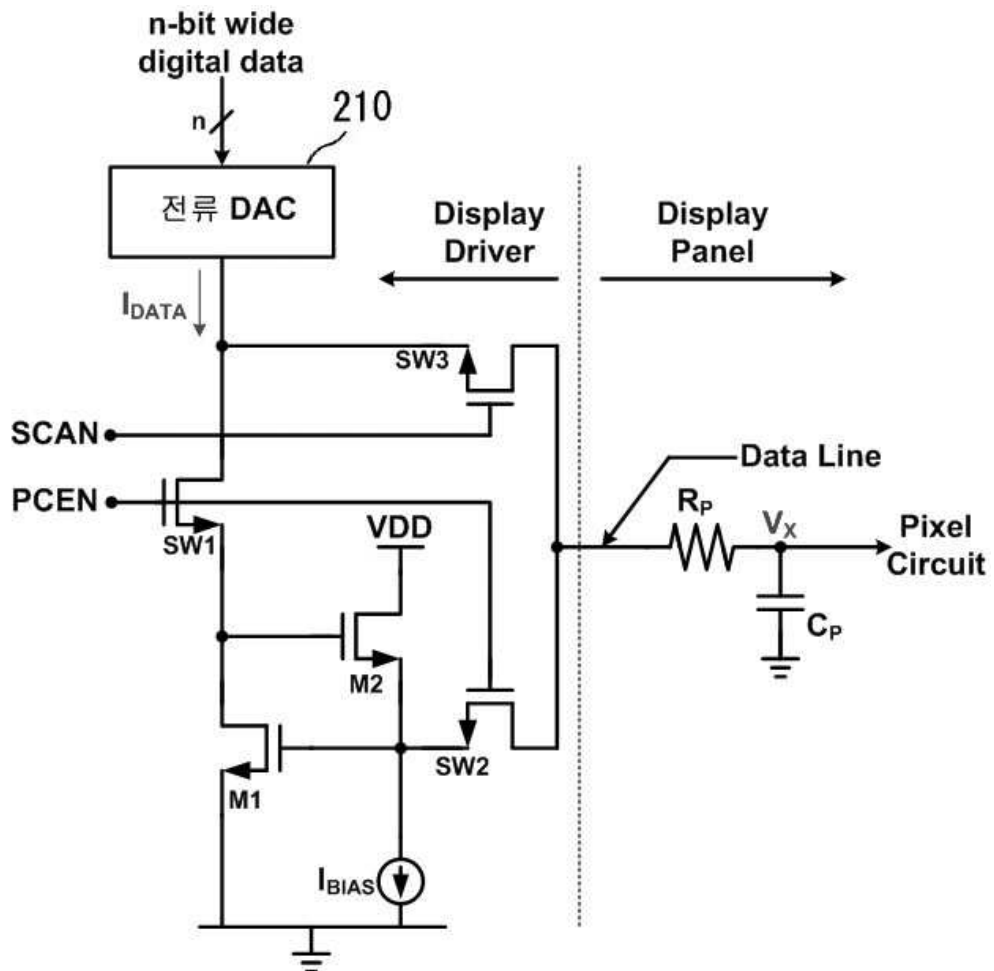
도면4



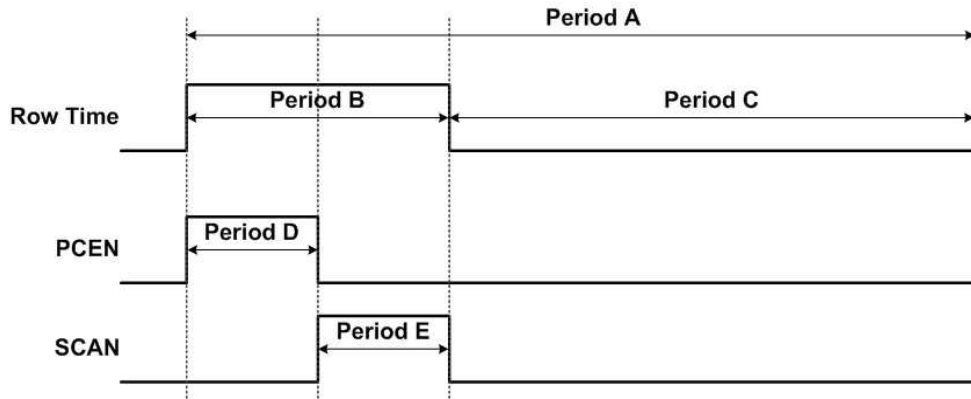
도면7



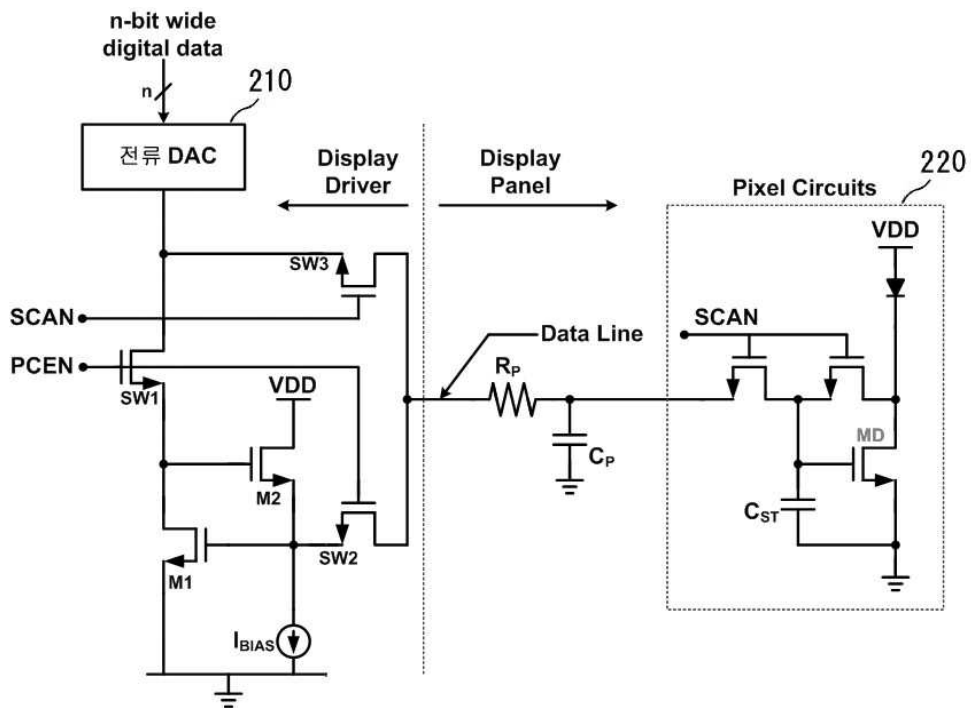
도면8



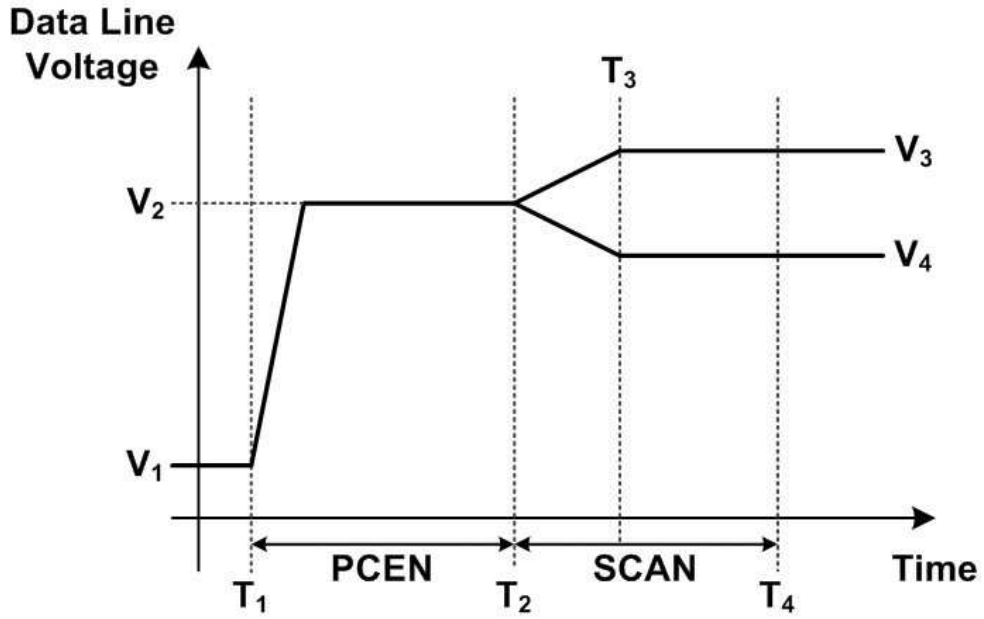
도면9



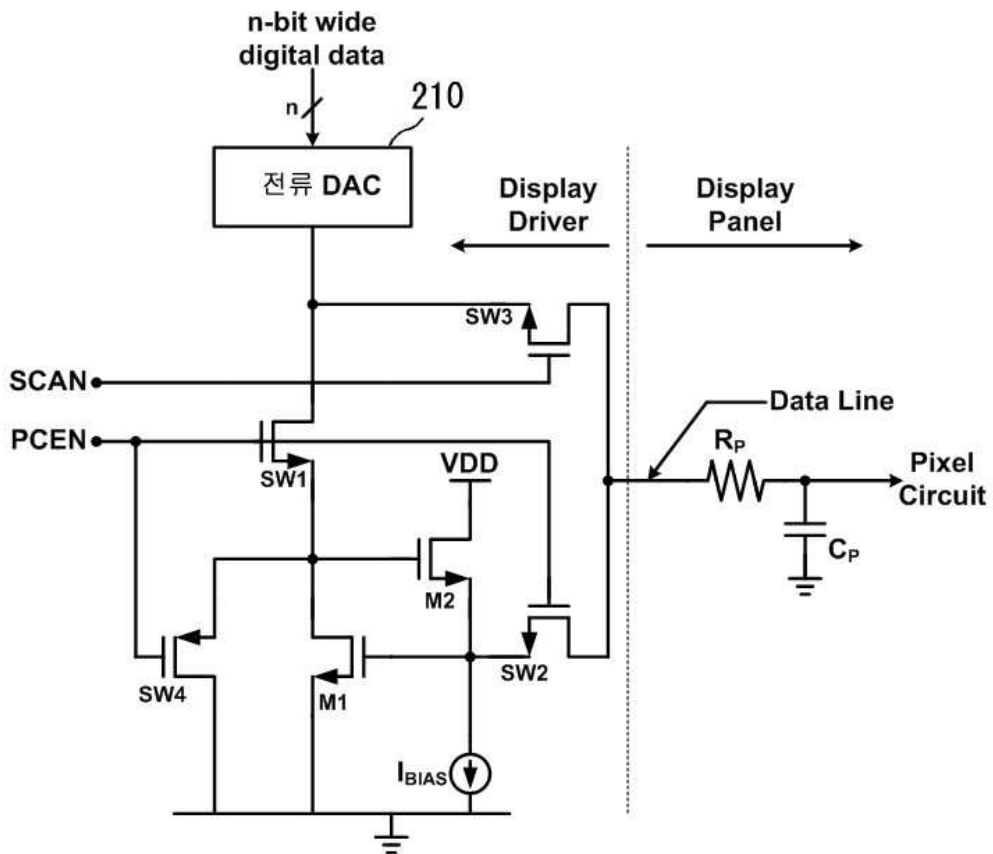
도면10



도면11



도면12



도면13

