



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 21/8247 (2006.01)  
H01L 21/335 (2006.01)  
H01L 21/31 (2006.01)  
H01L 27/115 (2006.01)

(45) 공고일자 2007년06월04일  
(11) 등록번호 10-0724566  
(24) 등록일자 2007년05월28일

(21) 출원번호 10-2005-0069863  
(22) 출원일자 2005년07월29일  
심사청구일자 2005년07월29일

(65) 공개번호 10-2007-0014880  
(43) 공개일자 2007년02월01일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 최한메  
서울 서초구 반포동 32-8 삼호가든 C동 503호

박영근  
경기 수원시 영통구 영통동 황골마을1단지아파트 129동 1401호

이승환  
서울 관악구 봉천6동 우성아파트 106동 1108호

김영선  
경기도 수원시 팔달구 영통동 988-2 살구골 성지아파트 711동1301호

(74) 대리인 박상수

(56) 선행기술조사문헌  
KR1020010082118 A  
KR1020040023528 A

KR1020030040530 A  
KR1020040058902 A

심사관 : 구본재

전체 청구항 수 : 총 33 항

(54) 다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자 및 그 제조방법들

(57) 요약

다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자 및 그 제조방법들을 제공한다. 이 방법들은 활성영역들을 갖는 반도체기판을 준비한다. 상기 반도체기판 상에 상기 활성영역들을 덮으면서 상기 활성영역들과 이격된 부유 게이트 패턴들을 형성한다. 상기 부유 게이트 패턴들을 갖는 기판 상에 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 적층시켜서 게이트 층간 유전막을 형성하되, 상기 게이트 층간 유전막은 반응가스로 오존(O<sub>3</sub>)가스를 채택하는 원자층 증착 공정을 이용하여 형성한다. 상기 게이트 층간 유전막 상에 제어 게이트막을 형성한다. 상기 제어 게이트막, 상기 게이트 층

간 유전막 및 상기 부유 게이트 패턴들을 차례로 패터닝하여 상기 활성영역들을 가로지르면서 차례로 적층된 게이트 층간 유전막 패턴들 및 제어 게이트들을 형성하고, 상기 활성영역들과 상기 게이트 층간 유전막 패턴들 사이에 부유 게이트들을 형성한다.

## 대표도

도 1

## 특허청구의 범위

### 청구항 1.

활성영역들을 갖는 반도체기판을 준비하고,

상기 반도체기판 상에 상기 활성영역들을 덮으면서 상기 활성영역들과 이격된 부유 게이트 패턴들을 형성하고,

상기 부유 게이트 패턴들을 갖는 기판 상에 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 적층시켜 게이트 층간 유전막을 형성하되, 상기 게이트 층간 유전막은 반응가스로 오존(O<sub>3</sub>)가스를 채택하는 원자층 증착공정을 이용하여 형성하고,

상기 게이트 층간 유전막 상에 제어 게이트막을 형성하고,

상기 제어 게이트막, 상기 게이트 층간 유전막 및 상기 부유 게이트 패턴들을 차례로 패터닝하여 상기 활성영역들을 가로지르면서 차례로 적층된 게이트 층간 유전막 패턴들 및 제어 게이트들을 형성하고, 상기 활성영역들과 상기 게이트 층간 유전막 패턴들 사이에 부유 게이트들을 형성하는 것을 포함하는 플래시 메모리 소자의 제조방법.

### 청구항 2.

제 1항에 있어서,

상기 게이트 층간 유전막의 최하층에 상기 지르코늄 산화막 또는 상기 알루미늄 산화막을 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 3.

제 1항에 있어서,

상기 지르코늄 산화막은 소스가스로 TEMAZ(tetrakis methylethylamino zirconium;  $Zr[N(CH_3)(C_2H_5)]_4$ )가스를 사용하여 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 4.

제 3항에 있어서,

상기 지르코늄 산화막을 형성하는 것은

캠버 내부에 TEMAZ 소스가스를 주입하여 상기 기판 상에 지르코늄 단원자층을 형성하고,

상기 챔버 내부에 퍼지(purge) 가스를 주입하여 잔존하는 상기 TEMAZ 소스가스를 제거하고,

상기 챔버 내부에 오존 반응가스를 주입하여 상기 지르코늄 단원자층과 반응시키어 지르코늄 산화막을 형성하고,

상기 챔버 내부에 퍼지 가스를 주입하여 잔존하는 상기 오존 반응가스를 제거하는 것을 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 청구항 5.

제 4항에 있어서,

상기 TEMAZ 소스가스는 상기 챔버의 상부에 설치된 샤워헤드 내부의 가스라인의 온도가 80도 내지 130도를 유지한 상태에서 상기 챔버 내부로 주입되는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 청구항 6.

제 4항에 있어서,

상기 챔버 내부에 오존 반응가스를 주입하여 상기 지르코늄 단원자층과 반응시키어 지르코늄 산화막을 형성할 때, 상기 챔버 내부에 플라즈마 전원을 인가하여 플라즈마를 형성시키는 것을 더 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 청구항 7.

제 1항에 있어서,

상기 알루미늄 산화막은 소스가스로 TMA(trimethyl aluminum;  $Al(CH_3)_3$ ) 가스를 사용하여 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 청구항 8.

제 7항에 있어서,

상기 알루미늄 산화막을 형성하는 것은

챔버 내부에 TMA 소스가스를 주입하여 상기 기판 상에 알루미늄 단원자층을 형성하고,

상기 챔버 내부에 퍼지(purge) 가스를 주입하여 잔존하는 상기 TMA 소스가스를 제거하고,

상기 챔버 내부에 오존 반응가스를 주입하여 상기 알루미늄 단원자층과 반응시키어 알루미늄 산화막을 형성하고,

상기 챔버 내부에 퍼지 가스를 주입하여 잔존하는 상기 오존 반응가스를 제거하는 것을 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 청구항 9.

제 8항에 있어서,

상기 TMA 소스가스는 상기 챔버의 상부에 설치된 샤워헤드 내부의 가스라인의 온도가 20도 내지 130도를 유지한 상태에서 상기 챔버 내부로 주입되는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 10.

제 8항에 있어서,

상기 챔버 내부에 오존 반응가스를 주입하여 상기 알루미늄 단원자층과 반응시켜 알루미늄 산화막을 형성할 때, 상기 챔버 내부에 플라즈마 전원을 인가하여 플라즈마를 형성시키는 것을 더 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 11.

제 1항에 있어서,

상기 게이트 층간 유전막을 100Å 내지 500Å의 두께로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 12.

제 1항에 있어서,

상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 13.

제 1항에 있어서,

상기 지르코늄 산화막의 단층의 두께를 0.5Å 내지 30Å으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 14.

제 1항에 있어서,

상기 알루미늄 산화막의 단층의 두께를 0.5Å 내지 20Å으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 15.

제 1항에 있어서,

상기 게이트 층간 유전막을 비정질 구조로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 16.

제 1항에 있어서,

상기 게이트 층간 유전막의 최하부층 및 최상부층으로 이루어진 일군 중 선택된 한층 또는 두층에 SiO막 또는 AlO막을 형성하는 것을 더 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 17.

제 16항에 있어서,

상기 SiO막 또는 AlO막의 두께를 0.5Å 내지 10Å으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 18.

활성영역을 갖는 반도체기판을 준비하고,

상기 활성영역을 가로지르면서 상기 반도체기판 상에 상기 활성영역들과 이격되어 차례로 적층된 부유 게이트, 게이트 층간 유전막 패턴 및 제어 게이트를 형성하되, 상기 게이트 층간 유전막 패턴은 반응가스로 오존 가스를 포함하는 원자층 증착공정을 이용하여 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 적층시켜서 형성하는 것을 포함하는 플래시 메모리 소자의 제조방법.

### 청구항 19.

제 18항에 있어서,

상기 게이트 층간 유전막 패턴의 최하층에 상기 지르코늄 산화막 또는 상기 알루미늄 산화막을 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 20.

제 18항에 있어서,

상기 지르코늄 산화막은 소스가스로 TEMAZ(tetrakis methylethylamino zirconium;  $Zr[N(CH_3)(C_2H_5)]_4$ )가스를 사용하여 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 21.

제 18항에 있어서,

상기 알루미늄 산화막은 소스가스로 TMA(trimethyl aluminum;  $Al(CH_3)_3$ ) 가스를 사용하여 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 22.

제 18항에 있어서,

상기 게이트 층간 유전막 패턴을 100Å 내지 500Å의 두께로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 23.

제 18항에 있어서,

상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 24.

제 18항에 있어서,

상기 지르코늄 산화막의 단층의 두께를 0.5Å 내지 30Å으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 25.

제 18항에 있어서,

상기 알루미늄 산화막의 단층의 두께를 0.5Å 내지 20Å으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 26.

제 18항에 있어서,

상기 게이트 층간 유전막 패턴을 비정질 구조로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

### 청구항 27.

활성영역을 갖는 반도체기판; 및

상기 활성영역을 가로지르면서 상기 반도체기판 상에 상기 활성영역들과 이격되어 차례로 적층된 부유 게이트, 게이트 층간 유전막 패턴 및 제어 게이트가 배치되되, 상기 게이트 층간 유전막 패턴은 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 반복시켜서 적층된 것을 포함하는 플래시 메모리 소자.

### 청구항 28.

제 27항에 있어서,

상기 게이트 층간 유전막 패턴의 최하층에 상기 지르코늄 산화막 또는 상기 알루미늄 산화막이 배치되는 것을 특징으로 하는 플래시 메모리 소자.

**청구항 29.**

제 27항에 있어서,

상기 게이트 층간 유전막 패턴은 100Å 내지 500Å의 두께를 갖는 것을 특징으로 하는 플래시 메모리 소자.

**청구항 30.**

제 27항에 있어서,

상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배인 것을 특징으로 하는 플래시 메모리 소자.

**청구항 31.**

제 27항에 있어서,

상기 지르코늄 산화막의 단층의 두께가 0.5Å 내지 30Å이고, 상기 알루미늄 산화막의 단층의 두께가 0.5Å 내지 20Å인 것을 특징으로 하는 플래시 메모리 소자.

**청구항 32.**

제 27항에 있어서,

상기 게이트 층간 유전막 패턴의 최하부층 및 최상부층으로 이루어진 일군 중 선택된 한층 또는 두층에 SiO막 또는 AlO막이 배치되는 것을 더 포함하는 것을 특징으로 하는 플래시 메모리 소자.

**청구항 33.**

제 32항에 있어서,

상기 SiO막 또는 AlO막은 0.5Å 내지 10Å의 두께인 것을 특징으로 하는 플래시 메모리 소자.

명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자 및 그의 제조방법에 관한 것으로, 보다 상세하게는 다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자 및 그 제조방법들에 관한 것이다.

일반적으로, 플래시 메모리 소자는 전원의 공급을 중단하여도 기록상태를 유지할 수 있는 메모리 소자로서 모스 트랜지스터 구조에 전하를 축적할 수 있는 부유 게이트(Floating gate)를 포함하고 있다. 상기 플래시 메모리 소자는 반도체기판 상에 터널 절연막이라고 불리는 얇은 게이트 산화막을 포함하여 형성된다. 상기 게이트 산화막 상에는 도전체로 이루어진 부

유 게이트(Floating gate)가 형성된다. 상기 부유 게이트(Floating gate) 상에는 게이트 층간 유전막을 개재하여 제어 게이트(Control gate)가 형성된다. 따라서, 상기 부유 게이트(Floating gate)는 상기 터널 절연막 및 상기 게이트 층간 유전막에 의해 상기 반도체기판 및 상기 제어 게이트(Control gate)와 전기적으로 절연이 되어 있다. 이때에, 상기 게이트 층간 유전막은 ONO (SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) 구조를 사용하고 있다.

그런데, 상기 ONO 구조를 갖는 게이트 층간 유전막은 유전 상수가 작기 때문에 등가 산화막 두께(EOT : equivalent oxide thickness)를 낮추는데 한계가 있다. 상기 ONO(SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) 유전막의 유전 상수가 작은 단점을 극복하기 위해서, 유전 상수가 8 이상인 금속 산화물이 게이트 층간 유전막으로 널리 사용되고 있다.

상기 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub> 및 금속 산화물의 유전 상수와 에너지 밴드갭이 [표 1]에 개시되었다.

[표 1]

게이트 층간 유전막	유전 상수	에너지 밴드갭(eV)
SiO <sub>2</sub>	3.9	8.9
Si <sub>3</sub> N <sub>4</sub>	7	5.1
Al <sub>2</sub> O <sub>3</sub>	9	8.7
ZrO <sub>2</sub>	35 ~ 40	5.5 ~ 5.8

상기 표 1에 개시된 바와 같이 ONO에 적용되고 있는 SiO<sub>2</sub>는 3.9의 유전 상수와 8.9eV의 에너지 밴드갭을 갖고, Si<sub>3</sub>N<sub>4</sub>는 7의 유전 상수와 5.1eV의 에너지 밴드갭을 갖는다. 상기 ONO(SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>)막은 낮은 유전 상수를 갖기 때문에 소자의 고집적화에 부응하지 못하는 단점이 있다. 다시 말해 낮은 유전 상수를 갖기 때문에 게이트 층간 유전막의 두께 감소가 어려워 고속/고집적 소자에는 ONO 게이트 층간 유전막을 적용하는데 한계가 있다.

상기 유전 상수가 8 이상인 알루미늄 산화막(Al<sub>2</sub>O<sub>3</sub>)은 에너지 밴드갭은 8.7eV로 양호하지만 유전 상수가 만족할 만큼 크지 않다. 상기 ZrO<sub>2</sub>는 유전 상수가 35 ~ 40으로, 높은 유전 상수에 의해 등가 산화막의 두께를 낮출 수는 있지만, 에너지 밴드갭이 5.5 ~ 5.8 eV로 작아 누설 전류 열화가 발생할 수 있다. 이에 따라, 상기 에너지 밴드갭이 낮은 지르코늄 산화막과 유전상수가 작은 알루미늄 산화막의 단점들을 해소하기 위하여 지르코늄 산화막과 알루미늄 산화막의 조합으로 이루어진 유전막을 사용하고 있다.

상기 지르코늄 산화막과 알루미늄 산화막을 적층하여 유전막을 형성하는 방법에 대해 미국특허 제6,660,660호에 "집적회로에서 유전체 스택 제조방법(methods for making a dielectric stack in an intergrated circuit)"이라는 제목으로 개시된 바 있다.

상기 미국특허 제 6,660,660호에 따르면, 상기 방법은 원자층 증착공정을 이용하여 지르코늄 산화막 및 알루미늄 산화막을 형성하며, 상기 지르코늄 산화막의 소스가스 및 반응가스로 각각 ZrCl<sub>4</sub> 및 H<sub>2</sub>O를 사용하였다. 또한, 상기 알루미늄 산화막의 소스가스 및 반응가스로 각각 TMA(trimethyl aluminum; Al(CH<sub>3</sub>)<sub>3</sub>) 및 H<sub>2</sub>O를 사용하였다. 그러나, 상기 H<sub>2</sub>O를 반응가스로 이용하여 막을 형성할 경우, 상기 지르코늄 산화막 및 상기 알루미늄 산화막 내에 -OH 기가 함유될 수 있으며 상기 -OH기에 의해 유전막 열화현상이 발생하게 된다.

또한 원자층 증착공정을 이용하여 두 가지 이상의 물질을 형성하는 경우 챔버 내부에 장착된 샤워헤드 내부에 배치된 각각의 소스 라인들을 통해 상기 소스 물질들이 이송되어 분사되게 된다. 이때, 상기 소스 물질들의 이송 및 분사될 때까지의 온도가 서로 유사한 경우가 유리하게 된다. 그러나, 상기 ZrCl<sub>4</sub> 소스가스의 경우 이송온도가 180도 내지 200도를 유지해야 하는 반면, 상기 TMA 소스가스의 경우 이송온도가 20도 내지 130도를 유지해야 한다. 만약 이송온도가 높을 경우 예를 들어, 상기 TMA 소스가스가 130도 이상의 온도를 갖는 가스 라인을 통해 이송될 경우, 상기 TMA 소스가스는 챔버 내

로 분사되기 전에 상기 가스 라인 내에서 분해되게 된다. 따라서, 소스가스의 특성을 잃게 된다. 이를 방지하게 위해 하나의 샤워헤드 내부에서 각각의 가스 라인의 온도를 조절해야 하는데, 각각의 가스 라인의 온도를 조절하는 것이 어려우며, 또한 온도 조절을 위한 로스타임(loss time)이 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 등가산화막의 두께를 줄이면서도 누설 전류 열화를 방지할 수 있는 고유전 특성의 게이트 층간 유전막을 갖는 플래시 메모리 소자 및 그의 제조방법들을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 유전막 열화현상을 방지하면서 효율적인 원자층 증착공정이 가능한 다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자의 제조방법들을 제공하는 것이다.

### 발명의 구성

본 발명의 실시예들은 다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자의 제조방법들을 제공한다. 이 방법들은 활성영역들을 갖는 반도체기판을 준비한다. 상기 반도체기판 상에 상기 활성영역들을 덮으면서 상기 활성영역들과 이격된 부유 게이트 패턴들을 형성한다. 상기 부유 게이트 패턴들을 갖는 기판 상에 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 적층시키어 게이트 층간 유전막을 형성하되, 상기 게이트 층간 유전막은 반응가스로 오존( $O_3$ )가스를 채택하는 원자층 증착공정을 이용하여 형성한다. 상기 게이트 층간 유전막 상에 제어 게이트막을 형성한다. 상기 제어 게이트막, 상기 게이트 층간 유전막 및 상기 부유 게이트 패턴들을 차례로 패터닝하여 상기 활성영역들을 가로지르면서 차례로 적층된 게이트 층간 유전막 패턴들 및 제어 게이트들을 형성하고, 상기 활성영역들과 상기 게이트 층간 유전막 패턴들 사이에 부유 게이트들을 형성한다.

본 발명의 몇몇 실시예들에서, 상기 게이트 층간 유전막의 최하층에 상기 지르코늄 산화막 또는 상기 알루미늄 산화막을 형성할 수 있다.

다른 실시예들에서, 상기 지르코늄 산화막은 소스가스로 TEMAZ(tetrakis methylethylamino zirconium;  $Zr[N(CH_3)(C_2H_5)]_4$ )가스를 사용하여 형성할 수 있다. 이때, 상기 지르코늄 산화막을 형성하는 방법은 챔버 내부에 TEMAZ 소스가스를 주입하여 상기 기판 상에 지르코늄 단원자층을 형성하고, 상기 챔버 내부에 퍼지(purge) 가스를 주입하여 잔존하는 상기 TEMAZ 소스가스를 제거하고, 상기 챔버 내부에 오존 반응가스를 주입하여 상기 지르코늄 단원자층과 반응시키어 지르코늄 산화막을 형성하고, 상기 챔버 내부에 퍼지 가스를 주입하여 잔존하는 상기 오존 반응가스를 제거하는 것을 포함할 수 있다.

상기 TEMAZ 소스가스는 상기 챔버의 상부에 설치된 샤워헤드 내부의 가스라인의 온도가 80도 내지 130도를 유지한 상태에서 상기 챔버 내부로 주입되는 것이 바람직하다. 상기 챔버 내부에 오존 반응가스를 주입하여 상기 지르코늄 단원자층과 반응시키어 지르코늄 산화막을 형성할 때, 상기 챔버 내부에 플라즈마 전원을 인가하여 플라즈마를 형성시킬 수 있다.

또 다른 실시예들에서, 상기 알루미늄 산화막은 소스가스로 TMA(trimethyl aluminum;  $Al(CH_3)_3$ ) 가스를 사용하여 형성할 수 있다. 이때, 상기 알루미늄 산화막을 형성하는 방법은 챔버 내부에 TMA 소스가스를 주입하여 상기 기판 상에 알루미늄 단원자층을 형성하고, 상기 챔버 내부에 퍼지(purge) 가스를 주입하여 잔존하는 상기 TMA 소스가스를 제거하고, 상기 챔버 내부에 오존 반응가스를 주입하여 상기 알루미늄 단원자층과 반응시키어 알루미늄 산화막을 형성하고, 상기 챔버 내부에 퍼지 가스를 주입하여 잔존하는 상기 오존 반응가스를 제거하는 것을 포함할 수 있다.

상기 TMA 소스가스는 상기 챔버의 상부에 설치된 샤워헤드 내부의 가스라인의 온도가 20도 내지 130도를 유지한 상태에서 상기 챔버 내부로 주입되는 것이 바람직하다. 상기 챔버 내부에 오존 반응가스를 주입하여 상기 알루미늄 단원자층과 반응시키어 알루미늄 산화막을 형성할 때, 상기 챔버 내부에 플라즈마 전원을 인가하여 플라즈마를 형성시킬 수 있다.

또 다른 실시예들에서, 상기 게이트 층간 유전막을 100Å 내지 500Å의 두께로 형성할 수 있다.

또 다른 실시예들에서, 상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배로 형성할 수 있다.

또 다른 실시예들에서, 상기 지르코늄 산화막의 단층의 두께를 30Å 이하로 형성할 수 있다.

또 다른 실시예들에서, 상기 알루미늄 산화막의 단층의 두께를 20Å 이하로 형성할 수 있다.

또 다른 실시예들에서, 상기 게이트 층간 유전막을 비정질 구조로 형성할 수 있다.

또 다른 실시예들에서, 상기 게이트 층간 유전막의 최하부층 및 최상부층으로 이루어진 일군 중 선택된 한층 또는 두층에 SiO막 또는 AlO막을 형성할 수 있다. 상기 SiO막 또는 AlO막을 10Å 이하의 두께로 형성할 수 있다.

본 발명의 다른 실시예들은 다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자의 제조방법들을 제공한다. 이 방법들은 활성영역을 갖는 반도체기판을 준비한다. 상기 활성영역을 가로지르면서 상기 반도체기판 상에 상기 활성영역들과 이격되어 차례로 적층된 부유 게이트, 게이트 층간 유전막 패턴 및 제어 게이트를 형성한다. 이때, 상기 게이트 층간 유전막 패턴은 반응가스로 오존 가스를 포함하는 원자층 증착공정을 이용하여 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 적층시켜서 형성한다.

본 발명의 몇몇 실시예들에서, 상기 게이트 층간 유전막 패턴의 최하층에 상기 지르코늄 산화막 또는 상기 알루미늄 산화막을 형성할 수 있다.

다른 실시예들에서, 상기 지르코늄 산화막은 소스가스로 TEMAZ(tetrakis methylethylamino zirconium;  $Zr[N(CH_3)(C_2H_5)]_4$ )가스를 사용하여 형성할 수 있다.

또 다른 실시예들에서, 상기 알루미늄 산화막은 소스가스로 TMA(trimethyl aluminum;  $Al(CH_3)_3$ ) 가스를 사용하여 형성할 수 있다.

또 다른 실시예들에서, 상기 게이트 층간 유전막 패턴을 100Å 내지 500Å의 두께로 형성할 수 있다.

또 다른 실시예들에서, 상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배로 형성할 수 있다.

또 다른 실시예들에서, 상기 지르코늄 산화막의 단층의 두께를 30Å 이하로 형성할 수 있다.

또 다른 실시예들에서, 상기 알루미늄 산화막의 단층의 두께를 20Å 이하로 형성할 수 있다.

또 다른 실시예들에서, 상기 게이트 층간 유전막 패턴을 비정질 구조로 형성할 수 있다.

본 발명의 또 다른 실시예들은 다층구조의 게이트 층간 유전막을 갖는 플래시 메모리 소자를 제공한다. 상기 플래시 메모리 소자는 활성영역을 갖는 반도체기판을 구비한다. 상기 활성영역을 가로지르면서 상기 반도체기판 상에 상기 활성영역들과 이격되어 차례로 적층된 부유 게이트, 게이트 층간 유전막 패턴 및 제어 게이트가 배치된다. 이때, 상기 게이트 층간 유전막 패턴은 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 반복시켜서 적층된 구조를 갖는다.

본 발명의 몇몇 실시예들에서, 상기 게이트 층간 유전막 패턴의 최하층에 상기 지르코늄 산화막 또는 상기 알루미늄 산화막이 배치될 수 있다.

다른 실시예들에서, 상기 게이트 층간 유전막 패턴은 100Å 내지 500Å의 두께를 갖을 수 있다.

또 다른 실시예들에서, 상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배일 수 있다.

또 다른 실시예들에서, 상기 지르코늄 산화막의 단층의 두께가 30Å 이하일 수 있고, 상기 알루미늄 산화막의 단층의 두께가 20Å 이하일 수 있다.

또 다른 실시예들에서, 상기 게이트 층간 유전막 패턴의 최하부층 및 최상부층으로 이루어진 일군 중 선택된 한층 또는 두층에 SiO막 또는 AlO막이 배치될 수 있다. 상기 SiO막 또는 AlO막의 두께는 10Å 이하일 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

도1은 본 발명의 실시예에 따른 노어형 플래시 메모리 소자의 제조방법을 나타낸 공정흐름도이고, 도 2 및 도 3은 각각 도 1의 지르코늄 산화막 형성 방법 및 알루미늄 산화막 형성 방법을 나타낸 공정흐름도들이다.

도4는 본 발명의 실시예에 따른 노어형 플래시 메모리 소자의 배치도이다. 도5a 내지 도 8a는 도 4의 절단선 I-I'에 따른 노어형 플래시 메모리 소자의 제조방법을 설명하기 위한 단면도들이고, 도 5b 내지 도 8b는 도 4의 절단선 II-II'에 따른 노어형 플래시 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

도1, 도 4, 도 5a 및 도 5b를 참조하면, 반도체기판(10)에 이온 주입 공정을 수행해서 웰 영역을 형성한다. 상기 웰 영역을 갖는 반도체기판(10)에 복수개의 활성영역들(A)을 한정하는 소자분리막(15)을 형성한다(도 1의 F0 단계). 상기 활성영역들(A)을 갖는 반도체기판(10) 상에 터널 산화막(20)을 형성한다. 상기 터널 산화막(20)은 열산화 공정을 사용해서 형성할 수 있다.

이어서, 상기 터널 산화막(20)을 갖는 기판 상에 상기 활성영역들(A)을 덮는 부유 게이트 패턴들(25)을 형성한다(도 1의 F1 단계). 상기 부유 게이트 패턴들(25)은 폴리실리콘막을 사용해서 형성하는 것이 바람직하다. 이와 달리, 상기 부유 게이트 패턴들(25)은 차례로 적층된 폴리실리콘막 및 금속질화막으로 형성할 수 있다. 또는, 상기 부유 게이트 패턴들(25)은 금속질화막으로 형성할 수 있다. 상기 금속 질화막은 텅스텐 질화막(WN), 티타늄 질화막(TiN) 및 탄탈륨 질화막(TaN)으로 이루어진 일군으로부터 선택된 적어도 하나의 막으로 형성할 수 있다. 상기 금속질화막은 원자층 증착법, SFD(sequential flow deposition), CVD(chemical vapor deposition) 및 PVD(physical vapor deposition)로 이루어진 일군으로부터 선택된 적어도 어느 하나의 방법을 사용해서 형성할 수 있다.

도1, 도2, 도3, 도 4, 도 6a 및 도 6b를 참조하면, 상기 부유 게이트 패턴들(25) 상에 게이트 층간 유전막(30)을 형성한다. 상기 게이트 층간 유전막(30)은 원자층 증착공정을 이용하여 지르코늄 산화막(ZrO)과 알루미늄 산화막(AlO)을 적어도 2 번 교대로 적층시켜서 형성한다. 상기 게이트 층간 유전막(30)의 최하부층 및 최상부층으로 이루어진 일군 중 선택된 한층 또는 두층에 누설전류의 에너지 장벽(barrier)을 높이기 위해 에너지 밴드갭(band gap)이 큰 SiO막 또는 AlO막을 형성할 수 있다. 상기 SiO막 또는 AlO막은 10Å 이하로 형성할 수 있다. 상기 게이트 층간 유전막(30)의 전체두께를 100Å 내지 500Å의 두께로 형성할 수 있다(도 1의 F2 단계).

상기 지르코늄 산화막은 TEMAZ(tetrakis methylethylamino zirconium;  $Zr[N(CH_3)(C_2H_5)]_4$ ) 소스가스와 오존 반응가스를 이용한 원자층 증착공정을 이용하여 형성할 수 있다(도 1의 F2' 단계). 자세히 설명하면, 상기 부유 게이트 패턴들(25)을 갖는 기판 상에 SiO막 또는 AlO막을 형성할 수 있다. 본 실시예에서는 하부 SiO막(27)을 형성한다. 상기 하부 SiO막(27)을 갖는 기판 상에 제 1 지르코늄 산화막(Z1)을 형성할 수 있다.

상기 제 1 지르코늄 산화막(Z1)의 형성 방법을 도 2를 참조하여 자세히 설명하면 다음과 같다. 상기 하부 SiO막(27)을 갖는 기판을 원자층 증착 장비의 챔버 내부에 로딩한다(도 2의 F2'-1단계). 상기 챔버 내부의 온도는 200도 내지 320도의 온도로 유지될 수 있다. 이때, 상기 챔버 내부의 압력은 0.1 Torr 내지 3 Torr로 유지될 수 있다. 상기 지르코늄 산화막의 두께(ZTO)를 설정한다(도 1의 F2'-2 단계). 상기 지르코늄 산화막의 두께가 30Å 이상 일 경우 결정화가 발생하기 때문에 30Å 이하로 설정하는 것이 바람직하다. 상기 챔버 내부에 TEMAZ 소스가스를 주입한다.(도 2의 F2'-3단계). 이때, 상기 TEMAZ 소스가스는 상기 챔버 내부에 배치된 샤워헤드 내부의 가스라인의 온도가 80도 내지 130도가 유지된 상태에서 챔버 내부로 주입되는 것이 바람직하다. 상기 TEMAZ 소스가스는 0.5초 내지 3초 동안 주입될 수 있다. 이와 같이, 상기 챔버 내부로 TEMAZ 소스가스를 주입함으로써 상기 하부 SiO막(27)을 갖는 기판 상에 화학 흡착된 지르코늄 단원자층이 형성된다(도 2의 F2'-4단계).

이어, 상기 챔버 내부로 퍼지 가스를 주입한다(도 2의 F2'-5단계). 상기 퍼지 가스의 예로서는 아르곤 가스 또는 질소 가스 등과 불활성 가스를 들 수 있다. 이때, 상기 퍼지 가스는 0.5초 내지 20초 동안 주입할 수 있다. 이와 같이, 상기 챔버 내부로 퍼지 가스를 주입함으로써 상기 챔버 내에 표류하거나 상기 TEMAZ의 물리 흡착된 부분들이 제거된다. 다른 실시예로서, 상기 퍼지 가스의 도입 대신에 상기 챔버 내부를 2초 내지 10초 동안 진공 상태를 유지하여도 상기 챔버 내에 표류하거나 상기 TEMAZ의 물리 흡착된 부분들의 제거가 가능하다. 또 다른 실시예로서, 상기 퍼지 가스의 도입과 진공 퍼지를 함께 수행하여도 상기 챔버 내에 표류하거나 상기 TEMAZ의 물리 흡착된 부분들의 제거가 가능하다.

이어, 상기 챔버 내부로 오존 반응가스를 주입한다(도 2의 F2'-6단계). 상기 오존 반응가스는 1초 내지 7초 동안 주입할 수 있다. 이와 같이, 상기 오존 반응가스는 상기 화학 흡착된 지르코늄 단원자층과 화학적으로 반응하여 지르코늄 산화막을 형성한다(도 2의 F2'-8단계). 다른 실시예에서, 상기 오존 반응가스를 주입하고 상기 챔버 내에 플라즈마 전원을 인가할 수 있다(도 2의 F2'-7단계). 그 결과 상기 지르코늄 산화막 형성 시 상기 챔버 내부에 플라즈마가 발생하여 우수한 막 특성을 갖는 지르코늄 산화막이 형성될 수 있다. 상기 지르코늄 산화막 형성 시 반응가스로 오존가스를 사용함으로써 종래 기술에서  $H_2O$ 를 반응가스로 사용함으로써 유전막 내에 -OH기가 포함되어 문제시 되었던 유전막 열화 현상을 방지할 수 있게 된다.

상기 챔버 내부에 퍼지 가스를 주입한다(도 2의 F2'-9단계). 상기 퍼지 가스의 예로서는 아르곤 가스 또는 질소 가스 등과 불활성 가스를 들 수 있다. 이때, 상기 퍼지 가스는 0.5초 내지 20초 동안 주입할 수 있다. 이와 같이, 상기 챔버 내부에 퍼지 가스를 주입함으로써 화학적으로 반응하지 않은 오존 반응가스를 상기 챔버로부터 제거시킨다. 다른 실시예로서, 상기 퍼지 가스의 주입 대신에 상기 챔버 내부를 2초 내지 15초 동안 진공 상태를 유지하여도 상기 화학적으로 반응하지 않은 오존 반응가스의 제거가 가능하다. 또 다른 실시예로서, 상기 퍼지 가스의 주입과 진공 퍼지를 함께 수행하여도 상기 화학적으로 반응하지 않은 오존 반응가스의 제거가 가능하다.

이어, 상기 지르코늄 산화막의 증착두께(ZT1)를 측정한다(도 2의 F2'-10단계). 상기 지르코늄 산화막의 증착두께(ZT1)가 초기 설정된 두께(ZTO)가 될 때까지 상기 도2의 F2'-3 내지 F2'-11 단계를 반복 진행한다.

연속하여, 동일한 챔버 내에서 상기 제 1 지르코늄 산화막(Z1)을 갖는 기판 상에 제 1 알루미늄 산화막(A1)을 형성한다(도 1의 F3'단계). 상기 제 1 알루미늄 산화막(A1)의 형성방법을 도 3을 참조하여 자세히 설명하면, 챔버 내부에 상기 제 1 지르코늄 산화막(Z1)을 갖는 기판을 준비한다.(도 3의 F3'-1단계). 상기 챔버 내부의 온도를 200도 내지 400도로 유지시킬 수 있다. 또한, 상기 챔버 내부의 압력을 0.1 Torr 내지 3.0 Torr로 유지시킬 수 있다.

상기 알루미늄 산화막의 두께(ATO)를 설정한다(도 3의 F3'-2 단계). 상기 알루미늄 산화막의 두께가 20Å 이상 일 경우 등가 산화막 두께가 너무 커지기 때문에 20Å 이하로 설정하는 것이 바람직하다. 상기 챔버 내부에 TMA 소스가스를 주입한다(도 3의 F3'-3단계). 이때, 상기 TMA 소스가스는 상기 챔버 내부에 배치된 샤워헤드 내부의 가스라인의 온도가 20도 내지 130도가 유지된 상태에서 챔버 내부로 주입되는 것이 바람직하다. 상기 TMA 소스가스는 0.5초 내지 3초 동안 주입될 수 있다. 그 결과, 상기 제 1 지르코늄 산화막(Z1)을 갖는 기판 상에 화학 흡착된 알루미늄 단원자층이 형성된다(도 3의 F3'-4단계).

상기 챔버 내부에 퍼지 가스를 주입한다(도 3의 F3'-5단계). 상기 퍼지 가스의 예로서는 아르곤 가스 또는 질소 가스 등과 같은 불활성 가스를 들 수 있다. 이때, 상기 퍼지 가스는 0.5초 내지 20초 동안 주입될 수 있다. 이와 같이, 상기 챔버 내부로 퍼지 가스가 제공됨으로써 상기 챔버 내에 표류하거나 상기 제 1 지르코늄 산화막(Z1)을 갖는 기판 상에 물리 흡착된 부분들이 제거된다. 다른 실시예로서, 상기 퍼지 가스의 도입 대신에 상기 챔버 내부를 2초 내지 10초 동안 진공 상태를 유지하여도 상기 챔버 내에 표류하거나 상기 물리 흡착된 부분들의 제거가 가능하다. 또 다른 실시예로서, 상기 퍼지 가스의 도입과 진공 퍼지를 함께 수행하여도 상기 챔버 내에 표류하거나 상기 물리 흡착된 부분들의 제거가 가능하다.

이어, 상기 챔버 내부로 오존 반응가스를 주입한다(도 3의 F3'-6단계). 상기 오존 반응가스는 1초 내지 7초 동안 주입할 수 있다. 그 결과, 상기 오존 반응가스는 상기 화학 흡착된 알루미늄 단원자층과 화학적으로 반응하여 알루미늄 산화막을 형성한다(도 3의 F3'-8단계). 다른 실시예에서, 상기 오존 반응가스를 주입하고 상기 챔버 내에 플라즈마 전원을 인가할 수 있다(도 3의 F3'-7단계). 그 결과 상기 알루미늄 산화막 형성 시 상기 챔버 내부에 플라즈마가 발생하여 우수한 막 특성을 갖는 알루미늄 산화막이 형성될 수 있다. 상기 알루미늄 산화막 형성 시 반응가스로 오존가스를 사용함으로써 종래 기술에서  $H_2O$ 를 반응가스로 사용함으로써 유전막 내에 -OH기가 포함되어 문제시 되었던 유전막 열화 현상을 방지할 수 있게 된다.

상기 챔버 내부에 퍼지 가스를 주입한다(도 3의 F3'-9단계). 상기 퍼지 가스의 예로서는 아르곤 가스 또는 질소 가스 등과 불활성 가스를 들 수 있다. 이때, 상기 퍼지 가스는 0.5초 내지 20초 동안 주입할 수 있다. 이와 같이, 상기 챔버 내부에 퍼지 가스를 주입함으로써 화학적으로 반응하지 않은 오존 반응가스를 상기 챔버로부터 제거시킨다.

상기 알루미늄 산화막의 증착두께(AT1)를 측정한다(도 3의 F3'-10단계). 상기 알루미늄 산화막의 증착두께(AT1)가 초기 설정된 두께(AT0)가 될 때까지 상기 도3의 F3'-3 내지 F3'-11 단계를 반복 진행한다.

이어, 상기 게이트 층간 유전막(30)의 증착두께(T1)를 측정한다(도 1의 F4' 단계). 상기 게이트 층간 유전막(30)의 증착두께(T1)가 초기 설정된 전체두께(T0)가 될 때까지 도 1의 F2' 단계 및 F5'단계를 반복 진행할 수 있다. 본 실시예에서는 도 1의 F2' 단계 및 F5'단계를 반복 진행하여 제 2 지르코늄 산화막(Z2) 및 제 2 알루미늄 산화막(A2)을 더 형성한다. 이어, 상기 제 2 알루미늄 산화막(A2)을 갖는 기판 상에 상부 SiO막(32)을 형성할 수 있다. 또는 이와 달리, 상기 상부 SiO막(32) 대신에 AlO막을 형성할 수도 있다. 상기 상부 SiO막(32)은 10Å 이하로 형성할 수 있다.

따라서, 본 실시예에서의 상기 게이트 층간 유전막(30)은 차례로 적층된 하부 SiO막(27), 제 1 지르코늄 산화막(Z1), 제 1 알루미늄 산화막(A1), 제 2 지르코늄 산화막(Z2), 제 2 알루미늄 산화막(A2) 및 상부 SiO막(32)으로 구성될 수 있다. 상기 게이트 층간 유전막(30)은 플래시 메모리 소자가 구동하는 동안 누설전류를 최소화시키기 위해서 비정질 구조를 갖도록 형성한다.

다른 실시예들에서, 도 1의 F2'단계, F3'단계, F4'단계 및 F5'단계를 진행하여 상기 게이트 층간 유전막을 차례로 적층된 제 1 알루미늄 산화막, 제 1 지르코늄 산화막, 제 2 알루미늄 산화막 및 제 2 지르코늄 산화막으로 형성할 수 있다.

앞서 설명한 바와 같이, 상기 게이트 층간 유전막(30)은 100Å 내지 500Å의 두께로 형성할 수 있다. 상기 게이트 층간 유전막(30)의 경우 트랜지스터 소자의 게이트 절연막 및 캐패시터의 유전막 보다 더 두껍게 형성되어야 한다. 왜냐하면, 상기 게이트 층간 유전막(30)의 양단에 걸리는 전압의 크기가 상기 게이트 절연막 및 캐패시터의 유전막과 비교하여 상대적으로 고전압이 걸리기 때문이다. 상기 지르코늄 산화막들(Z1,Z2)의 각각의 두께는 상기 알루미늄 산화막들(A1,A2)의 각각의 두께의 0.5배 내지 5배로 형성하는 것이 바람직하다.

상기 게이트 층간 유전막(30) 상부에 제어 게이트막(CG)을 형성한다(도 1의 F6단계). 상기 제어 게이트막(CG)은 차례로 적층된 폴리실리콘막, 금속질화막 및 텅스텐막으로 형성하거나 또는 차례로 적층된 금속질화막 및 텅스텐막으로 형성할 수 있다. 본 실시예에서는 폴리실리콘막(35), 금속질화막(37) 및 텅스텐막(40)을 차례로 적층하여 상기 제어 게이트막(CG)을 형성한다. 상기 폴리실리콘막(35)을 형성한 후, 평탄화할 수 있다. 따라서, 상기 금속질화막(37) 및 텅스텐막(40)은 상기 평탄화된 폴리실리콘막(35) 상부에 형성될 수 있다. 상기 금속질화막은 텅스텐 질화막, 티타늄 질화막 및 탄탈륨 질화막으로 이루어진 일군으로부터 선택된 적어도 어느 하나의 막으로 형성할 수 있다. 상기 금속질화막은 원자층 증착법, SFD(sequential flow deposition), CVD 및 PVD로 이루어진 일군으로부터 선택된 적어도 어느 하나의 방법을 사용해서 형성할 수 있다.

도 1, 도 4, 도 7a 및 도 7b를 참조하면, 상기 제어 게이트막(CG), 상기 게이트 층간 유전막(30) 및 상기 부유 게이트 패터들(25)을 사진 및 식각 공정들을 사용해서 패터닝한다. 그 결과, 부유 게이트들(25'), 게이트 층간 유전막 패터들(30') 및 제어 게이트들(CG')이 형성된다(도 1의 F7단계). 상기 게이트 층간 유전막 패터들(30') 및 제어 게이트들(CG')은 상기 활성 영역들을 가로지르면서 차례로 적층된 라인구조로 형성된다. 상기 부유 게이트들(25')은 상기 활성영역들(A)과 상기 게이트 층간 유전막 패터들(30') 사이에 아일랜드 구조로 형성된다. 이때, 상기 터널 산화막(20)이 동시에 패터닝 되어 터널 산화막 패터들(20')이 형성될 수 있다.

상기 게이트 층간 유전막 패터들(30')은 차례로 적층된 하부 SiO 패터(27'), 제 1 지르코늄 산화막 패터(Z1'), 제 1 알루미늄 산화막 패터(A1'), 제 2 지르코늄 산화막 패터(Z2'), 제 2 알루미늄 산화막 패터(A2') 및 상부 SiO 패터(32')으로 구성될 수 있다. 상기 제 1 및 제 2 알루미늄 산화막 패터들(A1',A2')은 높은 결정화 온도를 갖는다. 따라서, 상대적으로 결정화 온도가 낮은 상기 제 1 및 제 2 지르코늄 산화막 패터들(Z1',Z2') 및 상기 결정화 온도가 높은 상기 제 1 및 제 2 알루미늄 산화막 패터들(A1',A2')을 교대로 반복하여 형성하여 상기 제 1 및 제 2 지르코늄 산화막 패터들(Z1',Z2')의 결정화 온도를 높일 수 있게 된다. 그 결과, 상기 플래시 메모리 소자의 상기 게이트 층간 유전막 패터들(30')은 전체적으로 비정질 구조의 게이트 층간 유전막 패터들(30')을 형성할 수 있게 되어 누설 전류를 감소시킬 수 있게 된다. 상기 제어 게이트들(CG')은 차례로 적층된 폴리실리콘 패터(35'), 금속질화막 패터(37') 및 텅스텐 패터(40')으로 구성될 수 있다.

상기 터널 산화막 패턴들(20'), 상기 부유 게이트들(25'), 상기 게이트 층간 유전막 패턴들(30') 및 상기 제어 게이트들(CG')은 게이트 패턴들을 구성한다. 상기 게이트 패턴들의 측벽들에 게이트 스페이서들(45)을 형성할 수 있다. 상기 게이트 패턴들 및 상기 게이트 스페이서들(45)을 마스크로 이용해서 상기 반도체기판(10) 내에 불순물 이온들을 주입해서 소오스 영역들(S) 및 드레인 영역들(D)을 형성할 수 있다.

도 1, 도 4, 도 8a 및 도 8b를 참조하면, 상기 게이트 패턴들을 갖는 반도체기판(10) 상에 층간절연막(50)을 형성한다. 이어, 상기 층간절연막(50)을 관통해서 상기 드레인 영역들(D)을 노출시키는 비트라인 콘택홀들(55h)을 형성할 수 있다. 상기 비트라인 콘택홀들(55h)을 갖는 반도체기판 상에 상기 비트라인 콘택홀들(55h)을 채우면서 상기 층간절연막(50)의 상부를 덮는 도전막을 형성한다. 그 결과, 상기 비트라인 콘택홀들(55h)을 채우는 비트라인 콘택플러그(55)가 형성된다. 상기 도전막을 패터닝하여 상기 층간절연막(50) 상에 상기 비트라인 콘택플러그(55)에 접촉되면서 상기 제어 게이트들(CG')과 교차하여 달리는 비트라인들(60)을 형성한다.

도 4, 도 8a 및 도 8b를 다시 참조하여 본 발명의 실시예들에 따른 플래시 메모리 소자를 설명하고자 한다.

반도체기판(10) 내에 복수개의 활성영역들(A)을 한정하는 소자분리막(15)이 배치된다. 상기 반도체기판(10) 상에 상기 활성영역들(A)을 가로지르는 게이트 패턴들이 배치된다. 상기 게이트 패턴들은 차례로 적층된 터널 산화막 패턴들(20'), 부유 게이트들(25'), 게이트 층간 유전막 패턴들(30') 및 제어 게이트들(CG')로 구성될 수 있다. 상기 게이트 층간 유전막 패턴들(30') 및 제어 게이트들(CG')은 상기 활성영역들(A)을 가로지르면서 차례로 적층된 라인구조로 배치될 수 있다. 상기 부유 게이트들(25')은 상기 활성영역들(A)과 상기 게이트 층간 유전막 패턴들(30') 사이에 아일랜드 구조로 배치될 수 있다.

상기 부유 게이트들(25')은 폴리실리콘막일 수 있다. 이와 달리, 상기 부유 게이트들(25')은 차례로 적층된 폴리실리콘막 및 금속질화막일 수 있다. 또는, 상기 부유 게이트들(25')은 금속질화막일 수 있다. 상기 금속 질화막은 텅스텐 질화막(WN), 티타늄 질화막(TiN) 및 탄탈륨 질화막(TaN)으로 이루어진 일군으로부터 선택된 적어도 하나의 막일 수 있다.

상기 게이트 층간 유전막 패턴들(30')은 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 반복시켜서 적층된 구조일 수 있다. 이때, 상기 게이트 층간 유전막 패턴들(30')의 최하부층에 지르코늄 산화막 또는 알루미늄 산화막이 배치될 수 있다. 또한, 상기 게이트 층간 유전막 패턴들(30')의 최상부층에 지르코늄 산화막 또는 알루미늄 산화막이 배치될 수 있다.

상기 게이트 층간 유전막 패턴들(30')은 100Å 내지 500 Å의 두께를 갖는 것이 바람직하다. 상기 지르코늄 산화막의 단층의 두께는 상기 알루미늄 산화막의 단층의 두께의 0.5배 내지 5배일 수 있다. 상기 지르코늄 산화막의 단층의 두께가 30Å 이하일 수 있다. 상기 알루미늄 산화막의 단층의 두께가 20Å 이하일 수 있다. 상기 게이트 층간 유전막 패턴들(30')의 최하부층 및 최상부층으로 이루어진 일군 중 선택된 한층 또는 두층에 SiO막 또는 AlO막이 배치될 수 있다. 상기 SiO막 또는 AlO막의 두께는 10Å 이하일 수 있다.

본 실시예에서는 상기 게이트 층간 유전막 패턴들(30')을 도 8a에 나타난 바와 같이 하부 SiO 패턴(27'), 제 1 지르코늄 산화막 패턴(Z1'), 제 1 알루미늄 산화막 패턴(A1'), 제 2 지르코늄 산화막 패턴(Z2'), 제 2 알루미늄 산화막 패턴(A2') 및 상부 SiO 패턴(32')을 차례로 적층시켜 구성하였다. 상기 게이트 층간 유전막 패턴들(30')은 전체적으로 비정질 구조를 갖는 것이 바람직하다. 따라서, 상기 플래시 메모리 소자의 누설 전류를 감소시킬 수 있게 된다.

상기 제어 게이트들(CG')은 차례로 적층된 폴리실리콘 패턴(35'), 금속질화막 패턴(37') 및 텅스텐 패턴(40')으로 구성될 수 있다. 다른 실시예들에서, 차례로 적층된 금속질화막 패턴 및 텅스텐 패턴으로 배치될 수 있다. 상기 금속 질화막 패턴은 텅스텐 질화막(WN), 티타늄 질화막(TiN) 및 탄탈륨 질화막(TaN)으로 이루어진 일군으로부터 선택된 적어도 하나의 막일 수 있다.

상기 게이트 패턴들의 측벽들에 게이트 스페이서들(45)이 배치될 수 있다. 상기 게이트 패턴들 사이의 상기 활성영역들(A) 내에 소오스 영역들(S) 및 드레인 영역들(D)이 배치될 수 있다. 상기 게이트 패턴들을 갖는 상기 반도체기판(10) 상에 층간절연막(50)이 배치된다. 상기 층간절연막(50)을 관통해서 상기 드레인 영역들(D)을 노출시키는 비트라인 콘택홀들(55h)이 배치될 수 있다. 상기 비트라인 콘택홀들(55h)을 채우는 비트라인 콘택 플러그(55)가 배치된다. 상기 층간절연막(50) 상에 상기 비트라인 콘택플러그(55)에 접촉되면서 상기 제어 게이트들(CG')과 교차하여 달리는 비트라인들(60)이 배치된다.

## 발명의 효과

상술한 바와 같이, 본 발명은 플래시 메모리 소자를 구동하는 동안 누설 전류를 최소화하기 위해서 지르코늄 산화막 및 알루미늄 산화막을 적어도 2번 교대로 적층시키어 게이트 층간 유전막을 형성하는 방안을 제시한다. 이를 통해서, 상기 플래시 메모리 소자의 게이트 층간 유전막은 비정질 구조의 지르코늄 산화막을 갖게 됨으로써 전체적으로 비정질 구조의 게이트 층간 유전막 패턴을 형성할 수 있게 된다. 따라서, 게이트 층간 유전막의 누설 전류를 감소시킬 수 있게 된다. 또한, 상기 게이트 층간 유전막 형성 시 반응가스로 오존가스를 포함하는 원자층 증착방법을 이용함으로써 종래기술에서 H<sub>2</sub>O가스를 사용함으로써 문제시 되었던 유전막 열화 현상을 방지할 수 있게 된다.

## 도면의 간단한 설명

도1은 본 발명의 실시예에 따른 노어형 플래시 메모리 소자의 제조방법을 나타낸 공정흐름도이다.

도2는 도 1의 지르코늄 산화막 형성 방법을 나타낸 공정흐름도이다.

도3은 도 1의 알루미늄 산화막 형성 방법을 나타낸 공정흐름도이다.

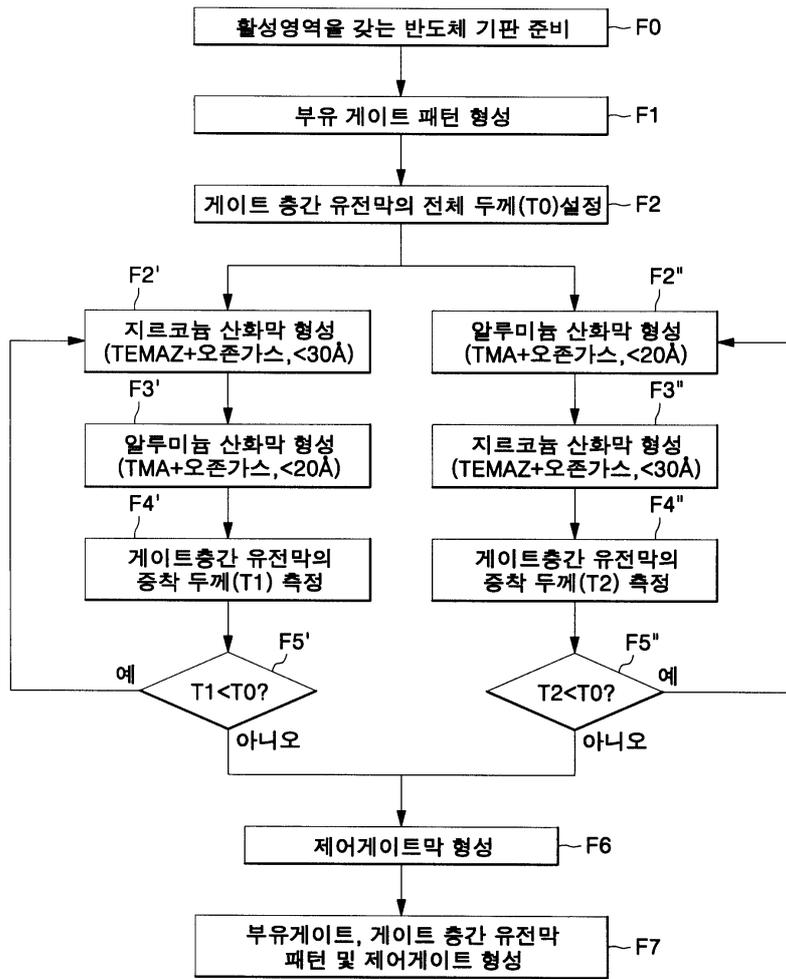
도4는 본 발명의 실시예에 따른 노어형 플래시 메모리 소자의 배치도이다.

도5a 내지 도 8a는 도 4의 절단선 I-I'에 따른 노어형 플래시 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

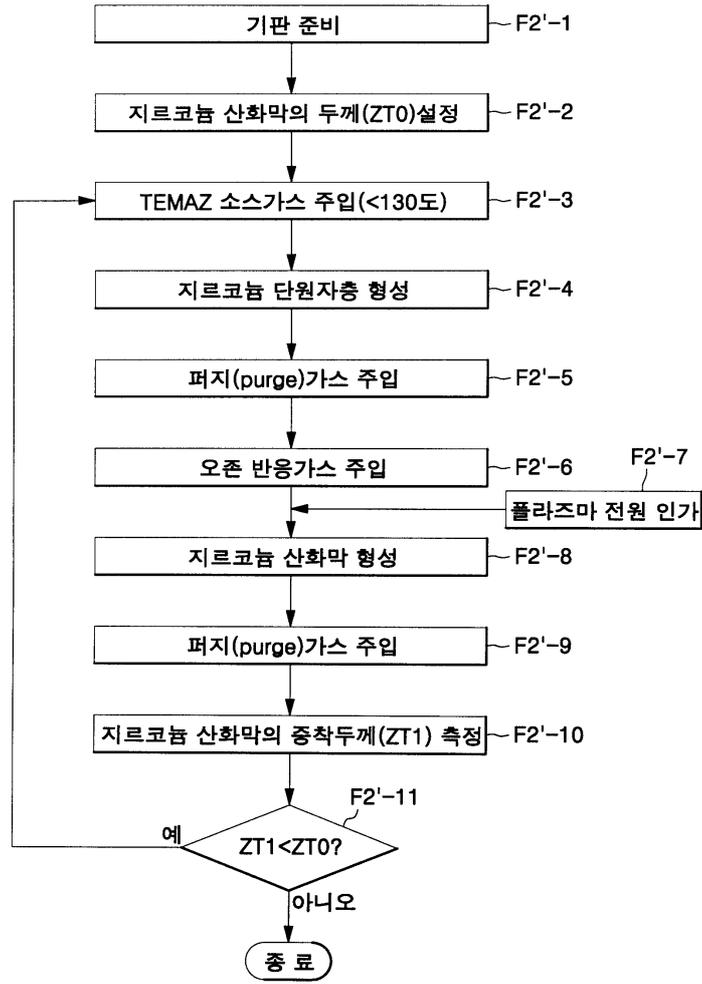
도 5b 내지 도 8b는 도 4의 절단선 II-II'에 따른 노어형 플래시 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

## 도면

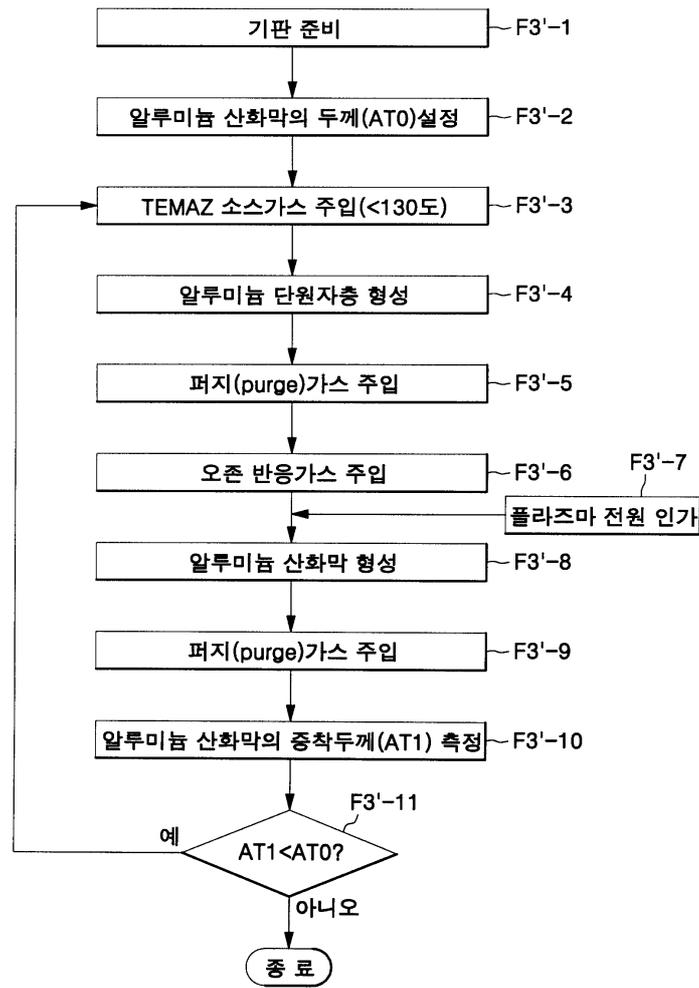
도면1



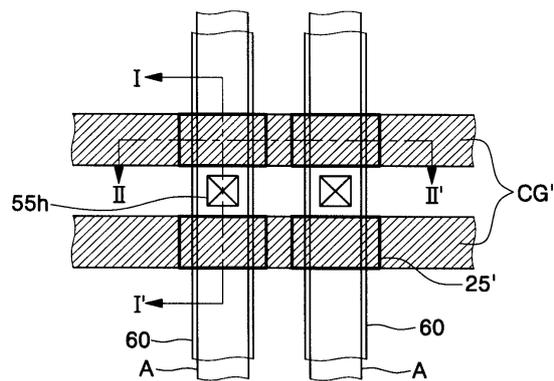
도면2



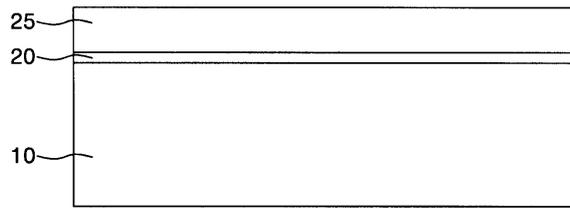
도면3



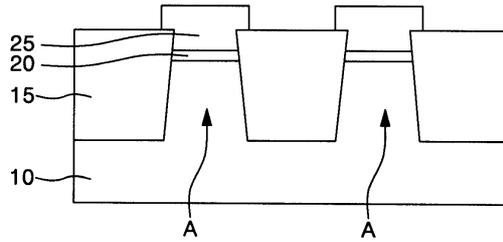
도면4



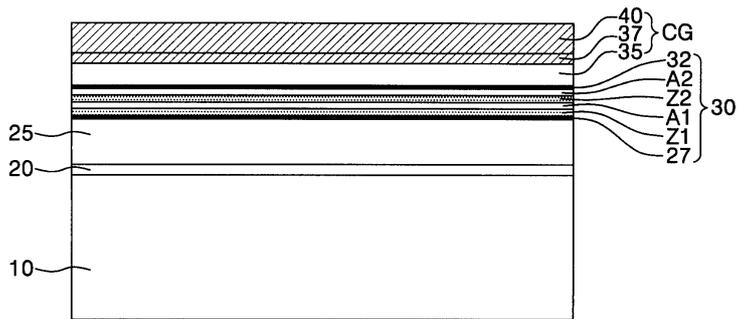
도면5a



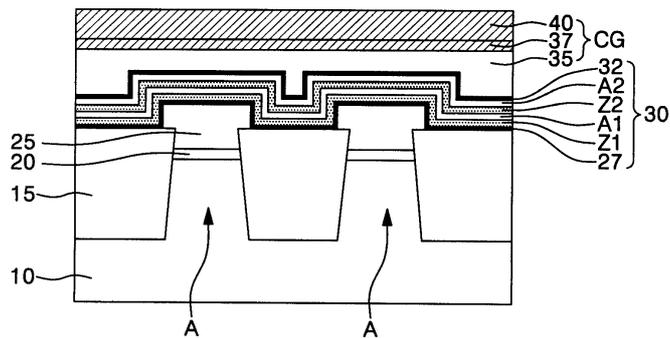
도면5b



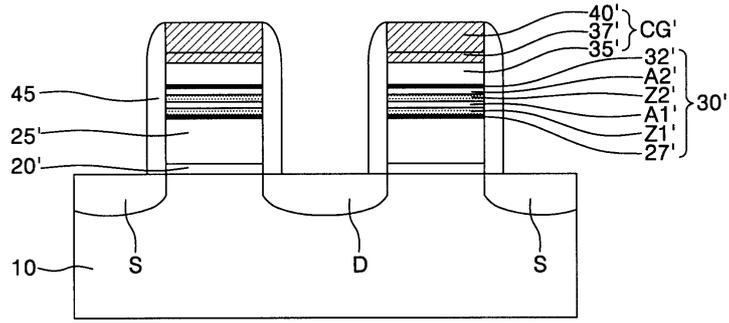
도면6a



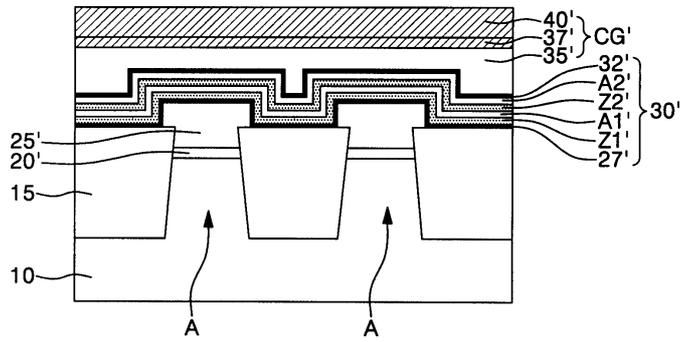
도면6b



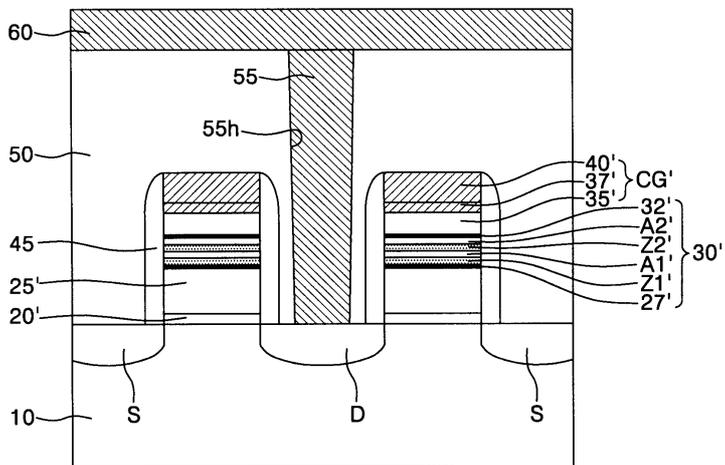
도면7a



도면7b



도면8a



도면8b

