

(12) 发明专利

(10) 授权公告号 CN 101179372 B

(45) 授权公告日 2010.09.15

(21) 申请号 200610063519.X

US 2004/0120438 A1, 2004.06.24, 全文.

(22) 申请日 2006.11.07

US 6246736 B1, 2001.06.12, 全文.

(73) 专利权人 海能达通信股份有限公司

CN 1729639 A, 2006.02.01, 全文.

地址 518057 广东省深圳市南山区高新技术产业园北区北环路好易通大厦

CN 1304237 A, 2001.07.18, 全文.

审查员 王侠

(72) 发明人 郑良德

(74) 专利代理机构 深圳中一专利商标事务所
44237

代理人 张全文

(51) Int. Cl.

H04L 7/08 (2006.01)

H04B 7/26 (2006.01)

H04J 3/06 (2006.01)

H04L 1/00 (2006.01)

(56) 对比文件

CN 1157070 A, 1997.08.13, 全文.

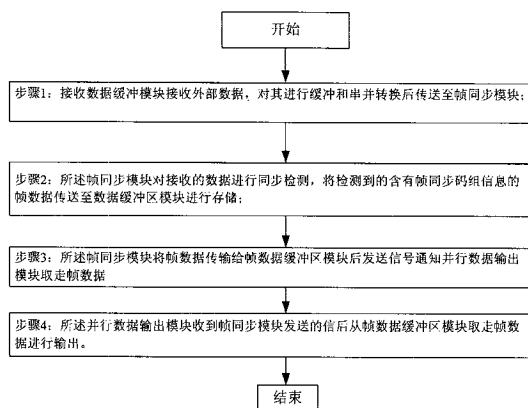
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

数字通信系统的链路帧同步系统及方法

(57) 摘要

本发明公开了一种数字通信系统的链路帧同步系统及方法,所述方法包括以下步骤:步骤1:接收数据缓冲模块在时钟发生模块的控制下接收外部串行输入数据,对其进行串并转换后传送到帧同步模块;步骤2:所述帧同步模块将接收数据缓冲模块传送的数据存入寄存器和并行寄存器组阵列,并依次进行串行移位,每次串行移位后在并行寄存器组阵列的固定位置检测帧同步码组信息进行帧同步,将检测到的含有帧同步码组信息的帧数据传送到并行数据输出模块进行数据输出。本发明的数据通信系统的链路帧同步方法采用串并结合的方法,实现链路帧同步时逻辑控制较为简单,大大减少了寄存器资源占用率。



1. 一种数字通信系统的链路帧同步方法,其特征在于,所述方法包括以下步骤:

步骤1:接收数据缓冲模块在时钟发生模块的控制下接收外部串行输入数据,对其进行串并转换后传送至帧同步模块;

步骤2:所述帧同步模块将接收数据缓冲模块传送的数据存入其内部的寄存器和并行寄存器组阵列,并依次进行串行移位,每次串行移位后在并行寄存器组阵列的固定位置检测帧同步码组信息进行帧同步,将检测到的含有帧同步码组信息的帧数据传送至并行数据输出模块进行数据输出。

2. 如权利要求1所述的数字通信系统的链路帧同步方法,其特征在于,所述步骤1中,所述接收数据缓冲模块缓冲外部串行输入的数据,并以16比特的并行寄存器组阵列的形式传送给所述帧同步模块。

3. 如权利要求1所述的数字通信系统的链路帧同步方法,其特征在于,所述帧同步模块的并行寄存器组阵列包括17组并行的寄存器组,每个寄存器组包含16比特数据。

4. 如权利要求1所述的数字通信系统的链路帧同步方法,其特征在于,所述步骤2还包括帧同步模块将帧数据信号传输给帧数据缓冲区模块,并通知并行数据输出模块取走帧数据。

5. 如权利要求2或3所述的数字通信系统的链路帧同步方法,其特征在于,所述帧同步模块将接收数据缓冲模块传送的16比特数据的高8位送入帧同步模块的寄存器中,将读入的16比特数据的低8位送入并行寄存器组阵列的第一个寄存器组的低8位中。

6. 一种数字通信系统的链路帧同步系统,包括时钟发生模块、接收数据缓冲模块、帧同步模块、帧数据缓冲区模块及并行数据输出模块,其特征在于,所述帧同步模块将接收数据缓冲模块传送的数据存入其内部的寄存器和并行寄存器组阵列,并依次进行串行移位,每次串行移位后在并行寄存器组阵列的固定位置检测帧同步码组信息进行帧同步,将检测到的含有帧同步码组信息的帧数据传送至并行数据输出模块进行数据输出。

7. 如权利要求6所述的数字通信系统的链路帧同步系统,其特征在于,所述接收数据缓冲模块缓冲外部串行输入的数据,并以16比特的并行寄存器组阵列的形式传送给所述帧同步模块。

8. 如权利要求6所述的数字通信系统的链路帧同步系统,其特征在于,所述帧同步模块的并行寄存器组阵列包括17组并行的寄存器组,每个寄存器组包含16比特数据。

9. 如权利要求6所述的数字通信系统的链路帧同步系统,其特征在于,帧同步模块将帧数据信号传输给帧数据缓冲区模块,并通知并行数据输出模块取走帧数据。

10. 如权利要求7或8所述的数字通信系统的链路帧同步系统,其特征在于,所述帧同步模块将接收数据缓冲模块传送的16比特数据的高8位送入帧同步模块的寄存器中,将读入的16比特数据的低8位送入帧同步模块的并行寄存器组阵列的第一个寄存器组的低8位中。

数字通信系统的链路帧同步系统及方法

【技术领域】

[0001] 本发明涉及数字通信系统,尤其涉及数字通信系统的链路帧同步系统及方法。

【背景技术】

[0002] DMR(Digital Mobile Radio 数字移动无线对讲)无线通信标准是欧洲通信标准协会最新推出的一种数字集群标准,目前国内尚没有相应的产品出现。

[0003] 在无线通信系统中,链路层帧同步装置的精确度直接影响到通信系统的稳定性。目前帧同步方案通常存在并行帧同步和串行帧同步两种方式。然而,所述 DMR 系统中一帧数据 264 比特,其中帧同步数据 48 比特,帧数据和同步数据均比较大,因此使用所述两种同步方案都会增加系统的逻辑复杂度和寄存器资源的占有率。由于 DMR 规定的帧数据和同步数据均比较大,采用串行帧同步方法时,在寻找到帧同步数据组后提取整个数据帧的过程中,将会增加系统的逻辑复杂度。而使用并行帧同步法可以比较快速准确的取出包含帧同步信息的帧数据,但是将会占用大量的内部寄存器资源。

【发明内容】

[0004] 本发明所要解决的技术问题在于,提供一种数字通信系统的链路帧同步系统及方法,解决现有的链路帧同步方法占用大量内部寄存器资源的问题。

[0005] 本发明所采用的技术方案为:提供一种数字通信系统的链路帧同步方法,所述方法包括以下步骤:

[0006] 步骤 1:接收数据缓冲模块在时钟发生模块的控制下接收外部串行输入数据,对其进行串并转换后传送至帧同步模块;

[0007] 步骤 2:所述帧同步模块将接收数据缓冲模块传送的数据存入其内部的寄存器和并行寄存器组阵列,并依次进行串行移位,每次串行移位后在并行寄存器组阵列的固定位置检测帧同步码组信息进行帧同步,将检测到的含有帧同步码组信息的帧数据传送至并行数据输出模块进行数据输出。

[0008] 更具体地,所述步骤 1 中,所述接收数据缓冲模块缓冲外部串行输入的数据,并以 16 比特的并行寄存器组阵列的形式传送给所述帧同步模块。

[0009] 更具体地,所述帧同步模块的并行寄存器组阵列包括 17 组并行的寄存器组,每个寄存器组包含 16 比特数据。

[0010] 更具体地,所述步骤 2 还包括帧同步模块将帧数据信号传输给帧数据缓冲区模块,并通知并行数据输出模块取走帧数据。

[0011] 更具体地,所述帧同步模块将接收数据缓冲模块传送的 16 比特数据的高 8 位送入帧同步模块的寄存器中,将读入的 16 比特数据的低 8 位送入帧同步模块的并行寄存器组阵列的第一个寄存器组的低 8 位中。

[0012] 本发明还提供一种数字通信系统的链路帧同步系统,包括时钟发生模块、接收数据缓冲模块、帧同步模块、帧数据缓冲区模块及并行数据输出模块,所述帧同步模块将接

收数据缓冲模块传送的数据存入其内部的寄存器和并行寄存器组阵列,并依次进行串行移位,每次串行移位后在并行寄存器组阵列的固定位置检测帧同步码组信息进行帧同步,将检测到的含有帧同步码组信息的帧数据传送至并行数据输出模块进行数据输出。

[0013] 更具体地,所述接收数据缓冲模块缓冲外部串行输入的数据,并以 16 比特的并行寄存器阵列的形式传送给所述帧同步模块。

[0014] 更具体地,所述帧同步模块的并行寄存器组阵列包括 17 组并行的寄存器组,每个寄存器组包含 16 比特数据。

[0015] 更具体地,帧同步模块将帧数据信号传输给帧数据缓冲区模块,并通知并行数据输出模块取走帧数据

[0016] 更具体地,所述帧同步模块将接收数据缓冲模块传送的 16 比特数据的高 8 位送入帧同步模块的 8 位寄存器中,将读入的 16 比特数据的低 8 位送入寄存器组阵列的第一个寄存器组的低 8 位中。

[0017] 本发明与现有技术相比,有益效果在于:本发明的数字通信系统的链路帧同步方法采用串并相结合的方法,实现链路帧同步时逻辑控制较为简单,大大减少了寄存器资源占用率。

【附图说明】

[0018] 图 1 为本发明的数字通信系统的链路帧同步系统示意图。

[0019] 图 2 为图 1 的帧同步模块的帧同步示意图。

[0020] 图 3 为图 1 的帧同步模块的寄存器组阵列示意图。

[0021] 图 4 为本发明的数字通信系统的链路帧同步方法示意图。

【具体实施方式】

[0022] 如图 1 所示,本发明的数字通信系统的链路帧同步系统包括时钟发生模块、接收数据缓冲模块、帧同步模块、帧数据缓冲区模块及并行数据输出模块。所述时钟发生模块产生特定的时钟控制信号控制所述接收数据缓冲模块、帧同步模块、帧数据缓冲区模块及并行数据输出模块。所述接收数据缓冲模块接收外部串行数据进行缓冲和串并转换后送入帧同步模块。所述帧同步模块接收所述接收数据缓冲模块传输的数据进行帧同步检测,将检测到的含有同步码组信息的帧数据传送至帧数据缓冲区模块,并通知并行数据输出模块取走帧数据,所述并行数据输出模块接收通知后取走帧数据缓冲区模块的帧数据后以 16 比特的并行总线方式输出。

[0023] 所述时钟发生模块产生特定的时钟信号对所述接收数据缓冲模块、帧同步模块、帧数据缓冲区模块、并行数据输出模块进行控制,使数据的传输速率和帧同步处理过程满足 DMR 标准要求。

[0024] 所述时钟发生模块包括输入缓冲器、数字时钟转换器(DCM)及分频器。FPGA 的 75MHz 外部系统时钟通过输入缓冲器连接到数字时钟转换器,数字时钟转换器的输出信号接入分频器,经分频后输出 4.8kHz 和 4.8MHz 的时钟信号。所述输入缓冲器作为 FPGA 外部系统时钟与数字时钟转换器的连接缓冲区,可以提高高速时钟传输的稳定性,保证分频器产生时钟的正确性。所述数字时钟转换器将 FPGA 外部系统时钟(75MHz)转换为 48MHz。转

换原则是先将 FPGA 外部系统时钟 (75MHz) 倍频 16 倍,再分频 25 次,便可获得 48MHz 的输出时钟。所述接收数据缓冲模块接收外部串行数据,进行串并转换,并送入帧同步模块。

[0025] 所述时钟发生模块用产生 4.8kHz 的时钟信号控制数据接收缓冲区模块,使其接收外部数据。

[0026] 所述接收数据缓冲模块在 4.8kHz 的时钟控制下接收外部串行传输进来的比特数据,当接收满 16 比特后,便送出一个使能信号通知帧同步模块取走数据。接收数据缓冲模块和帧同步模块之间的数据传输为 16 比特的并行传输模式。

[0027] 所述帧同步模块在 4.8MHz 的时钟控制下工作,将检测接收数据缓冲模块传输的信息,检测到所述接收数据缓冲模块传输的使能信号时便读入数据进行处理,进行帧同步。

[0028] 所述帧同步模块包括 8 位寄存器及寄存器组阵列。如图 3 所示,所述帧同步模块的并行寄存器组阵列是由 17 组并行的寄存器组构成,每个寄存器组包含 16 比特数据,因此每个寄存器阵列可以存储 272 比特数据。

[0029] 如图 2 所示,当检测到接收数据缓冲模块送来的使能信号时,便读入 16 比特并行数据,并将读入的 16 比特数据的高 8 位送入帧同步模块的 8 位寄存器中,将读入的 16 比特数据的低 8 位送入寄存器组阵列的第一个寄存器组的低 8 位中。

[0030] 当所述帧同步模块接收到接收数据缓冲模块传输的 16 比特并行数据存入到 8 位寄存器和帧同步模块的并行寄存器组阵列的第一个寄存器组的低 8 位后进行串行移位操作。串行移位时,8 位寄存器和帧同步模块的并行寄存器组阵列的第一个寄存器组的低 8 位中的 16 比特数据开始串行移位一次,将其后的寄存器组的数据以 16 为单位依次串行移位。

[0031] 所述并行寄存器组阵列在时钟发生模块的 4.8MHz 的时钟控制下,每个时钟周期内并行寄存器组阵列的数据串行移位一次。所述并行寄存器组阵列中的数据每移位一次,帧同步模块对移位得到的并行寄存器组阵列中的数据进行一次帧同步码组的检测。

[0032] 所述帧同步模块对并行寄存器组阵列数据的串行移位次数是 16 次。当移位次数满 16 次后,帧同步模块等待数据缓冲区模块送来使能信号,进入下一次帧同步查找操作。所述帧同步模块的通过并行寄存器组阵列数据的串行移位操作,进行帧同步码组判断,均在一个 4.8MHz 的时钟周期内完成。

[0033] 所述帧同步模块通过对接收数据缓冲模块的并行 16 比特数据及并行寄存器组阵列进行串行移位操作,保证了帧同步码组在并行寄存器组阵列中出现的位置是固定的。所述帧同步模块只需判断寄存器组阵列数据每一次串行移位后,寄存器组阵列的特定位置上的数据是否为帧同步码组,如果是,则表示帧数据同步上,否则继续下一次的串行移位处理。

[0034] 所述帧同步模块在帧数据同步上之后,将并行寄存器组阵列中保存的帧数据传输至帧数据缓冲区模块的 17×16 比特的存储模块中。数据传输过程由 4.8MHz 时钟控制。当帧数据全部传输至所述帧数据缓冲区模块后,帧同步模块给并行数据输出模块发送信号,通知取走数据。所述并行数据输出模块检测到信号后,开始从帧数据缓冲区模块读取帧数据并送出至外部模块。并行数据输出模块在时钟 4.8MHz 控制下工作。

[0035] 如图 4 所示,本发明的数字通信系统的链路帧同步方法,具体包括如下步骤:

[0036] 步骤 1:接收数据缓冲模块在时钟发生模块的 4.8kHz 的时钟控制下接收外部串行输入数据,对其进行缓冲和串并转换后传送至帧同步模块。

[0037] 所述接收数据缓冲模块缓冲外部串行输入的比特数据,并以并行 16 比特的并行

寄存器组阵列的形式传送给所述帧同步模块。所述接收数据缓冲模块大小为 16 比特。

[0038] 步骤 2:所述帧同步模块对接收的数据进行同步检测,将检测到的含有帧同步码组信息的帧数据传送至帧数据缓冲区模块进行存储。

[0039] 所述帧同步模块在 4.8MHz 的时钟控制下工作,将检测数据缓冲区模块传输的信息,检测到所述帧数据缓冲区模块传输的使能信号时便读入数据进行处理,实现帧同步。

[0040] 所述帧同步模块将接收数据缓冲模块传送的数据按一定的原则存入一个并行寄存器阵列,所述一定原则是指:将接收数据缓冲模块传送的 16 比特数据的高 8 位送入帧同步模块的 8 位寄存器中,将传送的 16 比特数据的低 8 位送入并行寄存器组阵列的第一个寄存器组的低 8 位中。

[0041] DMR 系统中规定一帧数据为 264 比特,其中帧同步码组 48 比特,位于帧数据的中间部分,帧同步码组的前后部分另外各有 108 比特数据。当所述接收数据为 DMR 帧数据时,该帧数据在并行寄存器组阵列的排列也符合 DMR 帧数据的格式规定,应此对帧同步码组的检测,只需要在并行寄存器组阵列的特定位置检测便可。

[0042] 当所述帧同步模块接收到接收数据缓冲模块传输的 16 比特并行数据存入到 8 位寄存器和帧同步模块的并行寄存器组阵列第一个寄存器组的低 8 位后所述帧同步模块进行串行移位操作。串行移位时,8 位寄存器和帧同步模块的并行寄存器组阵列第一个寄存器组的低 8 位中的 16 比特数据开始串行移位一次,将其后的寄存器组的数据以 16 为单位依次串行移位。

[0043] 所述并行寄存器组阵列在时钟发生模块的 4.8MHz 的时钟控制下,每个时钟周期内寄存器组阵列的数据串行移位一次。所述并行寄存器组阵列中的数据每移位一次,帧同步模块对移位得到的并行寄存器组阵列中的数据进行一次帧同步码组的检测。

[0044] 所述帧同步模块对并行寄存器组阵列数据的串行移位次数是 16 次。当移位次数满 16 次后,帧同步模块等待数据缓冲区模块送来使能信号,进入下一次帧同步查找操作。所述帧同步模块的并行寄存器组阵列数据的串行移位操作,进行帧同步码组判断,均在一个 4.8MHz 的时钟周期内完成。

[0045] 所述帧同步模块通过对接收数据缓冲模块的并行 16 比特取数及对并行寄存器组阵列的串行移位操作,保证了帧同步码组在并行寄存器组阵列中出现的位置是固定的。所述帧同步模块只需判断并行寄存器组阵列数据每一次串行移位后,并行寄存器组阵列的特定位置上的数据为帧同步码组时表示帧数据同步上,不是帧同步码组时则继续下一次的串行移位处理。

[0046] 步骤 3:所述帧同步模块将帧数据传输给帧数据缓冲区模块后发送信号通知并行数据输出模块取走帧数据。

[0047] 所述帧同步模块在帧数据同步上之后,将寄存器组阵列中保存的帧数据传输至帧数据缓冲区模块的 17×16 比特的存储模块中。数据传输过程由 4.8MHz 时钟控制。当帧数据全部传输至所述帧数据缓冲区模块后,帧同步模块给并行数据输出模块发送信号,通知取走数据。所述并行数据输出模块检测到信号后,开始从帧数据缓冲区模块读取帧数据并送出至外部模块。并行数据输出模块在时钟 4.8MHz 控制下工作。

[0048] 步骤 4:所述并行数据输出模块收到帧同步模块发送的信号后从帧数据缓冲区模块取走帧数据进行输出。所述并行数据输出模块在时钟 4.8MHz 控制下工作。

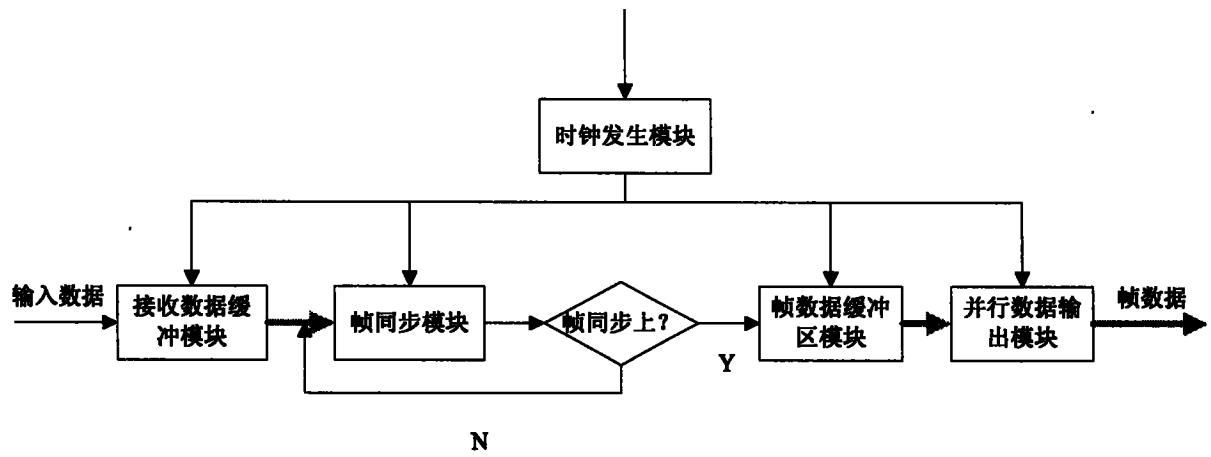


图 1

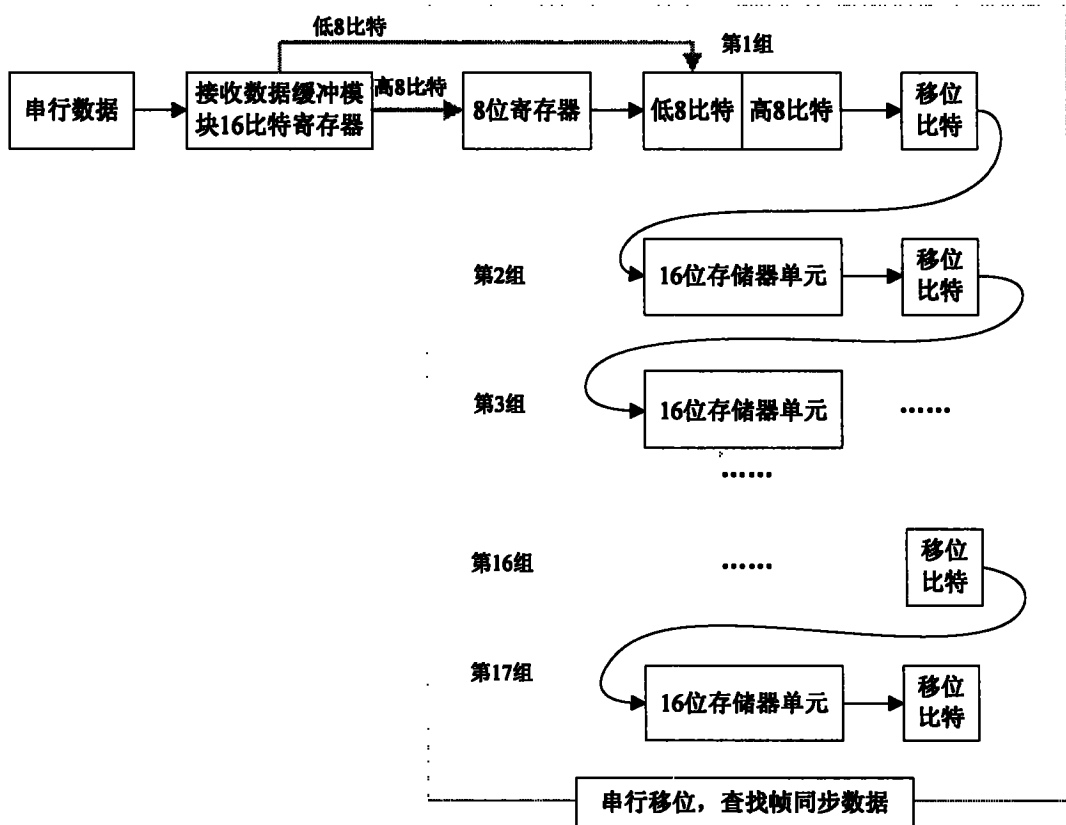


图 2

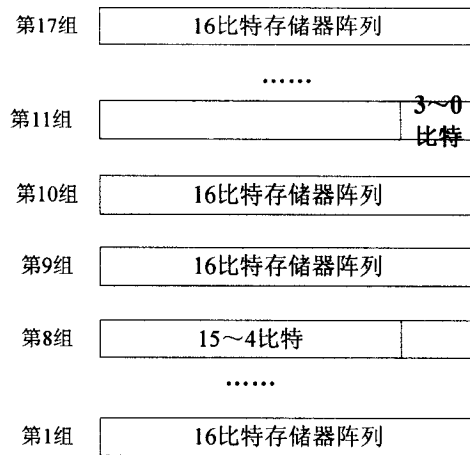


图 3

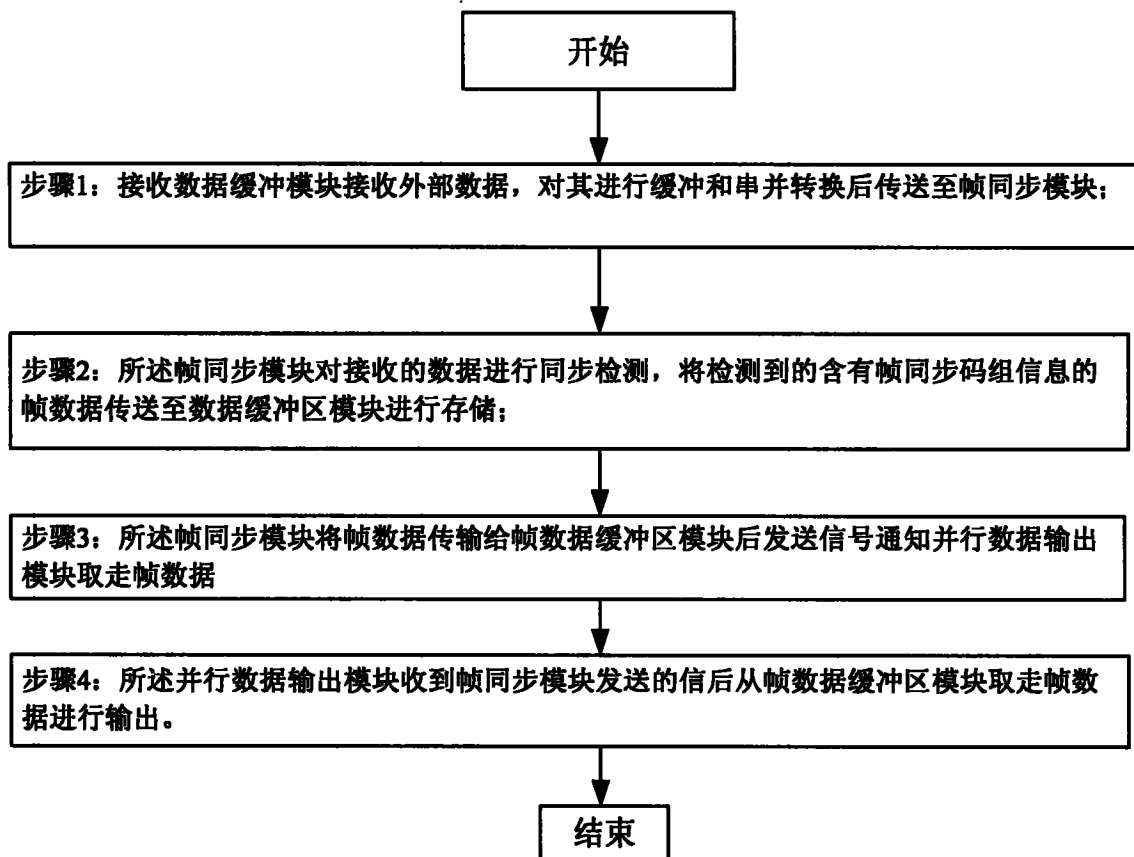


图 4