

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-153683

(P2017-153683A)

(43) 公開日 平成29年9月7日(2017.9.7)

(51) Int.Cl.

A61B 8/14 (2006.01)

F1

A61B 8/14

テーマコード (参考)

4C601

審査請求 未請求 請求項の数 11 O L (全 20 頁)

(21) 出願番号 特願2016-39111 (P2016-39111)  
 (22) 出願日 平成28年3月1日 (2016.3.1)

(71) 出願人 594164542  
 東芝メディカルシステムズ株式会社  
 栃木県大田原市下石上1385番地  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100103034  
 弁理士 野河 信久  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100153051  
 弁理士 河野 直樹  
 (74) 代理人 100179062  
 弁理士 井上 正  
 (74) 代理人 100189913  
 弁理士 鶴飼 健

最終頁に続く

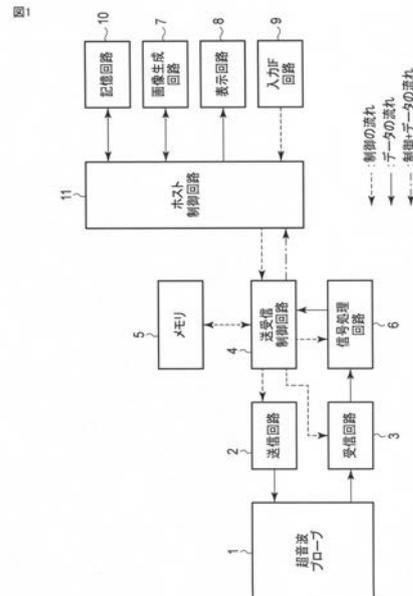
(54) 【発明の名称】 超音波診断装置および制御プログラム

(57) 【要約】

【課題】高フレームレートを実現することができる超音波診断装置および制御プログラムを提供する。

【解決手段】実施形態によれば、超音波診断装置は、超音波の送受信に関する処理を実行する処理部と、前記処理部を制御する送受信制御部とを備える。送受信制御部は、処理部に外部バスを介して接続された処理部インターフェースと、第1制御情報を内部バスを介して処理部インターフェースへ転送する第1制御情報インターフェースと、処理部インターフェースに内部バスを介して接続された内部記憶回路と、第2制御情報を前記内部バスを介して内部記憶回路へ転送する第2制御情報インターフェースとを備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

超音波の送受信に関する処理を実行する処理部と、前記処理部を制御する送受信制御部と、を具備する超音波診断装置であって、

前記送受信制御部は、

前記処理部に外部バスを介して接続された処理部インターフェースと、

第 1 制御情報を内部バスを介して前記処理部インターフェースへ転送する第 1 制御情報インターフェースと、

前記処理部インターフェースに内部バスを介して接続された内部記憶回路と、

第 2 制御情報を前記内部バスを介して前記内部記憶回路へ転送する第 2 制御情報インターフェースと、を備える

超音波診断装置。

**【請求項 2】**

ユーザインターフェースに接続されたホスト制御部と、

前記処理部のための前記第 2 制御情報を記憶する記憶部と、

をさらに具備し、

前記第 1 制御情報インターフェースは、前記外部バスを介して前記第 1 制御情報を前記記憶部から読み出して、前記内部バスを介して前記処理部インターフェースへ転送し、

前記第 2 制御情報インターフェースは、前記ホスト制御部から転送された第 2 制御情報を前記内部バスを介して前記内部記憶回路へ転送し、

前記処理部インターフェースは、前記第 1 制御情報インターフェースから転送された第 1 制御情報と前記内部記憶回路に記憶された第 2 制御情報とを前記外部バスを介して前記処理部へ転送する請求項 1 記載の超音波診断装置。

**【請求項 3】**

前記送受信制御部は、

前記第 1 制御情報インターフェースによる前記処理部インターフェースへの前記第 1 制御情報の転送要求と、前記第 2 制御情報インターフェースによる前記内部記憶回路への前記第 2 制御情報の転送要求とを管理する第 1 調停部と、

前記内部記憶回路による前記内部バスを介した前記処理部インターフェースへの前記第 2 制御情報の転送要求を管理する第 2 調停部と、

をさらに具備する請求項 2 記載の超音波診断装置。

**【請求項 4】**

前記処理部は、前記超音波の送受信に関する複数の機能に対応する複数の処理回路を有し、

前記処理部インターフェースは、前記複数の処理回路にそれぞれ接続された複数の処理回路インターフェースを有し、

前記内部記憶回路は、前記複数の処理回路インターフェースに前記内部バスを介してそれぞれ接続された複数の内部メモリを有し、

前記第 2 調停部は、前記複数の内部メモリから前記複数の処理回路インターフェースへの前記第 2 制御情報の転送要求をそれぞれ管理する複数の第 2 調停回路を有する請求項 3 記載の超音波診断装置。

**【請求項 5】**

前記第 2 制御情報インターフェースは、予め前記複数の内部メモリのうちの転送対象の処理回路に対応する転送対象の内部メモリに前記第 2 制御情報を転送し、

前記転送対象の内部メモリは、前記転送対象の処理回路による処理期間の前段において、前記転送対象の処理回路インターフェースに前記第 2 制御情報を略同時に転送する請求項 4 記載の超音波診断装置。

**【請求項 6】**

前記第 1 調停部は、前記複数の処理回路インターフェースのうちの特定の処理回路インターフェースからビジー信号が供給された場合、前記第 1 制御情報インターフェースから

10

20

30

40

50

の転送要求に呼応して前記第1制御情報インターフェースに前記第1制御情報の転送許可信号を出力せず、前記第2制御情報インターフェースからの転送要求に呼応して前記第2制御情報インターフェースに前記第2制御情報の転送許可信号を出力する請求項4記載の超音波診断装置。

【請求項7】

前記送受信制御部は、所定のパルス繰り返し期間において出力されるパルス信号により、前記第1制御情報インターフェースによる前記ホスト制御部から前記処理部インターフェースへの前記第1制御情報の転送期間と、前記第2制御情報インターフェースによる前記記憶部から前記内部記憶回路への前記第2制御情報の転送期間と、前記内部記憶回路における前記処理部インターフェースへの前記第2制御情報の転送期間と、を制御する請求項2記載の超音波診断装置。

10

【請求項8】

前記処理部は、前記超音波の送信に関する処理を実行する送信部であり、  
前記記憶部は、前記第2制御情報として送信パラメータを記憶し、  
前記処理部インターフェースは、前記パルス繰り返し期間に含まれる前記超音波の送信期間の前段において、前記送信パラメータを前記内部記憶回路から前記送信部へ転送し、  
前記第2制御情報インターフェースは、次の送受信開始前までの期間において、前記送信パラメータを前記記憶部から前記内部記憶回路へ転送する請求項7記載の超音波診断装置。

【請求項9】

前記処理部は、前記超音波の受信に関する処理を実行する受信部であり、  
前記記憶部は、前記第2制御情報として受信パラメータを記憶し、  
前記処理部インターフェースは、前記パルス繰り返し期間に含まれる前記超音波の送信期間の前段において、前記受信パラメータを前記内部記憶回路から前記受信部へ転送し、  
前記第2制御情報インターフェースは、次の送受信開始前までの期間において、前記受信パラメータを前記記憶部から前記内部記憶回路へ転送する請求項7記載の超音波診断装置。

20

【請求項10】

前記処理部は、前記超音波の送受信に関する所定の信号処理を実行する信号処理部であり、  
前記記憶部は、前記第2制御情報として信号処理パラメータを記憶し、  
前記処理部インターフェースは、前記パルス繰り返し期間に含まれる前記超音波の送信期間の前段において、前記信号処理パラメータを前記内部記憶回路から前記信号処理部へ転送し、  
前記第2制御情報インターフェースは、次の送受信開始前までの期間において、前記信号処理パラメータを前記記憶部から前記内部記憶回路へ転送する請求項7記載の超音波診断装置。

30

【請求項11】

超音波の送受信に関する処理を実行する処理部を具備するコンピュータに、  
前記処理部を制御するための第1制御情報を、前記処理部に外部バスを介して接続された処理部インターフェースに内部バスを介して転送する第1制御情報インターフェース機能と、  
前記処理部を制御するための第2制御情報を、前記処理部インターフェースに前記内部バスを介して接続された内部記憶回路に前記内部バスを介して転送する第2制御情報インターフェース機能と、  
前記転送された第1制御情報と前記内部記憶回路に記憶された第2制御情報とを前記外部バスを介して前記処理部へ転送する処理部インターフェース機能と、  
を実現させるための制御プログラム。

40

【発明の詳細な説明】

【技術分野】

50

## 【 0 0 0 1 】

本発明の実施形態は、超音波診断装置および制御プログラムに関する。

## 【 背景技術 】

## 【 0 0 0 2 】

一般に、超音波診断装置における超音波の送受信に関する処理は、診断モード毎に送受信条件に応じて決定されるパルス繰り返し期間（P R I : Pulse Repetition Interval）毎に行われる。例えば、P R I 毎に、R A M（Random Access Memory）等の記憶回路に記憶された制御パラメータを読み出し、該当するデバイスへ転送する制御パラメータ転送、転送された制御パラメータに基づく超音波信号の送信、送信された超音波信号に関する超音波エコー信号の受信、受信された超音波エコー信号に対する信号処理が行われる。超音波の送受信に関する処理は、専用の送受信制御回路により制御している。

10

## 【 0 0 0 3 】

ここで、送受信制御回路では、該当するデバイスへの制御パラメータ転送を行う内部バス（Bus）を共用しており、一つの調停回路（Arbiter）がラウンドロビン（Round Robin）方式により内部バスの使用権を管理している。ここで、ラウンドロビン方式とは、内部バスを利用して超音波の送受信に関する制御パラメータを転送しようとする複数の制御回路に対して、内部バスの使用権を順番に与える方式のことである。例えば、超音波の送受信に関する送信、受信、信号処理の順で処理を実行する。送受信制御回路は、超音波送受信に関するそれぞれの処理に必要な制御パラメータを、内部バスを利用して、該当するデバイスに転送する。すなわち、1つの処理に関する制御パラメータ転送が完了するまで、他の処理に関する制御パラメータ転送に上記内部バスを利用することができなかつた。また、転送速度の遅い外部バスへのパラメータ転送には時間がかかり、P R I に含まれる所定の期間内に制御パラメータ転送を完了できなくなるため、P R I を伸ばす必要がある。

20

## 【 0 0 0 4 】

また、T G C（Time Gain Control）パラメータ設定のように、送受信制御回路の上位にあるホストC P U（Central Processing Unit）から制御パラメータ設定を同時に行う場合、さらに外部バスがビジーとなり、超音波送受信制御の効率が低下する。これにより、フレームレートの低下をもたらし、画像分解能の低下につながる。また、超音波送受信チャンネル数が増加するほど制御パラメータ転送量が増えるため、従来のラウンドロビン方式を採用した超音波診断装置では転送可能な情報量に限界がある。

30

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 5 】

【 特許文献 1 】 特許第 3 9 6 7 1 4 9 号 明 細 書

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

本実施形態の目的は、高フレームレートを実現することができる超音波診断装置および制御プログラムを提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

実施形態によれば、超音波診断装置は、超音波の送受信に関する処理を実行する処理部と、前記処理部を制御する送受信制御部と、を具備する。前記送受信制御部は、前記処理部に外部バスを介して接続された処理部インターフェースと、第1制御情報を内部バスを介して前記処理部インターフェースへ転送する第1制御情報インターフェースと、前記処理部インターフェースに内部バスを介して接続された内部記憶回路と、第2制御情報を前記内部バスを介して前記内部記憶回路へ転送する第2制御情報インターフェースと、を備える。

40

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

50

【図 1】図 1 は、実施形態に係る超音波診断装置の構成を示すブロック図である。

【図 2】図 2 は、図 1 に示す送受信制御回路の内部構成を示すブロック図である。

【図 3】図 3 は、図 2 に示す送受信制御回路における超音波送受信に関する制御パラメータの転送およびデータの転送の流れを示す図である。

【図 4】図 4 は、パルス繰り返し期間を基準とする、メモリからの制御パラメータの転送シーケンスを示す図である。

【図 5】図 5 は、パルス繰り返し期間を基準とする、ホスト制御回路からの制御パラメータの転送シーケンスを示す図である。

【図 6】図 6 は、図 2 に示す調停回路における各インターフェースからの転送要求と、与えられる転送許可との関係を示す図である。

10

【図 7】図 7 は、従来の送受信制御回路 4 の内部構成を示すブロック図である。

【図 8】図 8 は、従来の送受信制御回路 4 に備えられる調停回路における各インターフェースからの転送要求と、与えられる転送許可との関係を示す図である。

【図 9】図 9 は、実施形態における送受信制御回路の内部構成の変形例を示すブロック図である。

【発明を実施するための形態】

【0009】

以下、実施形態に係る超音波診断装置について、図面を参照して説明する。

【0010】

図 1 は、実施形態に係る超音波診断装置の構成を示すブロック図である。図 1 に示すように、超音波診断装置は、例えば、超音波プローブ 1、送信回路 2、受信回路 3、送受信制御回路 4、メモリ 5、信号処理回路 6、画像生成回路 7、表示回路 8、入力インターフェース ( I F ) 回路 9、記憶回路 10、ホスト制御回路 11 を備える。

20

【0011】

超音波プローブ 1 は、送信回路 2 から供給される送信信号を超音波信号に変換し、被検体へ送信する。また、超音波プローブ 1 は、被検体より反射してきた超音波エコー信号を受信し、電気信号に変換して受信回路 3 に出力する。送信回路 2 は、送受信制御回路 4 から与えられるパルス繰り返し周波数 ( P R F : Pulse Repetition Frequency )、送信位置、送信開口、送信遅延等の送信パラメータに従って、超音波プローブ 1 から所望の超音波信号が送信されるように駆動する。受信回路 3 は、送受信制御回路 4 から与えられる受信素子位置、受信開口、受信遅延、受信座標等の受信パラメータに従って超音波プローブ 1 で取得される超音波エコー信号からビームデータを生成する。

30

【0012】

送受信制御回路 4 は、超音波の送受信に関する処理を実行する送受信処理回路を制御するためのフィールドプログラマブルゲートアレイ ( F P G A : Field Programmable Gate Array ) である。具体的には、送受信制御回路 4 は、ホスト制御回路 11 からの指示に従い、送信回路 2、受信回路 3、信号処理回路 6 等の送受信処理回路を制御する。送受信制御回路 4 は、診断モード毎に送受信条件に応じた P R I を決定し、P R I 毎に送信パラメータ転送、受信パラメータ転送、信号処理パラメータ転送、超音波信号の送信、超音波エコー信号の受信を制御する。ここで、診断モードとは、例えば、B モード、B モード + C モード、B モード + P W モード、B モード + M モード、C W モードのことである。また、送受信条件とは、例えば、走査対象範囲における視野深度の変更、関心領域 ( R O I : Region of Interest ) サイズ変更、カーソル移動、信号強度変更、スケール変更のことである。送受信制御回路 4 は、ホスト制御回路 11 から指示された送受信条件等に応じて制御パラメータを送受信処理回路へ転送する。制御パラメータは、送信パラメータ、受信パラメータ、信号処理パラメータの総称である。送受信制御回路 4 は、ホスト制御回路 11 から指示されたビーム数、フレーム数、フレームレート、走査方向、走査対象範囲における視野深度等に応じて、メモリ 5 に記憶された P R F、送信位置、送信開口、送信遅延等の送信パラメータを送信回路 2 へ転送する。また、送受信制御回路 4 は、受信素子位置、受信開口、受信遅延、受信座標等の受信パラメータを受信回路 3 へ転送する。また、送受信

40

50

制御回路 4 は、デジタルフィルタ処理条件等の信号処理パラメータを信号処理回路 6 へ転送する。また、送受信制御回路 4 は、信号処理回路 6 において当該ビームデータから生成された処理データをホスト制御回路 11 を介して画像生成回路 7 へ出力する。

【0013】

なお、送受信制御回路 4 は、特定用途向け集積回路 (ASIC: Application Specific Integrated Circuit)、プログラマブル論理デバイス (例えば、単純プログラマブル論理デバイス (SPLD: Simple Programmable Logic Device)、および複合プログラマブル論理デバイス (CPLD: Complex Programmable Logic Device)) の少なくとも一つにより構成されてもよい。

【0014】

メモリ 5 は、各送受信処理回路の制御パラメータ等を記憶する RAM (Random Access Memory) である。メモリ 5 に記憶される制御パラメータは、ホスト制御回路 11 からの出力により更新可能である。メモリ 5 は、各種超音波スキャンモード、接続する超音波プローブ 1、並列同時受信数等の情報に応じて設定される、送信回路 2 の送信パラメータと、受信回路 3 の受信パラメータと、信号処理回路 6 の信号処理パラメータとを記憶する。例えば、メモリ 5 は、送信パラメータとして、送信位置、送信遅延、送信開口を記憶する。また、メモリ 5 は、受信パラメータとして、受信素子位置、受信開口、受信遅延、受信座標を記憶する。また、メモリ 5 は、信号処理パラメータとして、デジタルフィルタ係数を記憶する。また、制御パラメータは、実質的なデータとヘッダ情報とを含む。ヘッダ情報は、転送先アドレスを含み、制御パラメータは当該転送先アドレスに対応する送受信処理回路へ転送される。

【0015】

信号処理回路 6 は、受信回路 3 から出力されたビームデータにフィルタリング処理等の信号処理を施した処理データを生成する。信号処理回路 6 は、生成した処理データを、送受信制御回路 4 を介してホスト制御回路 11 へ出力する。なお、信号処理回路 6 は、転送可能な配線方式の関係上、送受信制御回路 4 を経由して、処理データをホスト制御回路 11 へ出力しているが、信号処理回路 6 からホスト制御回路 11 への専用の転送経路を設けてもよい。画像生成回路 7 は、ホスト制御回路 11 から出力された処理データをスキャンコンバートして、被検体に関する二次元または三次元の超音波画像を生成する。

【0016】

表示回路 8 は、ホスト制御回路 11 による制御に従い、画像生成回路 7 において生成された超音波画像、および各種の診断用パラメータ等を表示する。具体的には、表示回路 8 は、表示インターフェース回路と表示機器とを有する。表示インターフェース回路は、表示対象を表すデータをビデオ信号に変換する。表示信号は、表示機器に供給される。表示機器は、表示対象を表すビデオ信号を表示する。表示機器としては、例えば、CRTディスプレイ (Cathode Ray Tube Display)、液晶ディスプレイ (LCD: Liquid Crystal Display)、有機 EL ディスプレイ (OLED: Organic Electro Luminescence Display)、プラズマディスプレイまたは当技術分野で知られている他の任意のディスプレイが適宜利用可能である。

【0017】

入力インターフェース回路 9 は、トラックボール、スイッチボタン、マウス、キーボード、操作面へ触れることで入力操作を行うタッチパッド、および表示画面とタッチパッドとが一体化されたタッチパネルディスプレイ等によって実現される。入力インターフェース回路 9 は、超音波診断装置に対して各種の診断モードや診断モードに付随する各種制御パラメータを設定するための入力デバイスである。入力インターフェース回路 9 は、操作者から受け取った入力操作を電気信号へ変換しホスト制御回路 11 へ出力する。なお、本実施形態において、入力インターフェース回路 9 は、トラックボール、スイッチボタン、マウス、キーボード等の物理的な操作部品を備えるものだけに限られない。例えば、装置とは別体に設けられた外部の入力機器から入力操作に対応する電気信号を受け取り、この電気信号をホスト制御回路 11 へ出力する電気信号の処理回路も入力インターフェース回

10

20

30

40

50

路 9 の例に含まれる。

【 0 0 1 8 】

記憶回路 1 0 は、比較的大容量のデータを記憶可能な H D D (Hard Disk Drive) および S S D (Solid State Drive) 等である。例えば、記憶回路 1 0 は、画像生成回路 7 から供給される超音波画像と、当該超音波画像に付加された付加情報を記憶する。なお、記憶回路 1 0 は、H D D 等の磁気ディスク以外にも、光磁気ディスクや C D (Compact Disc)、D V D (Digital Versatile Disc) 等の光ディスクを利用してもよい。また、記憶回路 1 0 の保存領域は、超音波診断装置内であってもよいし、ネットワークで接続された外部記憶装置内であってもよい。

【 0 0 1 9 】

ホスト制御回路 1 1 は、入力インターフェース回路 9 で設定された診断モードや各種パラメータに基づいて、超音波診断装置における各構成の制御を実行する。ホスト制御回路 1 1 は、ハードウェア資源として、C P U や M P U (Micro Processing Unit) 等のプロセッサと、R O M (Read Only Memory) や R A M 等のメモリとを含む。ホスト制御回路 1 1 のメモリは、画像収集プログラムを記憶する。ホスト制御回路 1 1 のプロセッサは、入力インターフェース回路 9 からの入力信号に基づいて、メモリに記憶された画像収集プログラムを実行することにより、超音波診断装置における各構成の制御を実行する。例えば、ホスト制御回路 1 1 は、送受信制御回路 4 を介して各送受信処理回路に入力インターフェース回路 9 からの入力信号に基づく制御パラメータを転送する。例えば、ホスト制御回路 1 1 は、当該制御パラメータとして、入力インターフェース回路 9 からの入力信号に基づき、T G C を変更するための T G C パラメータを送受信制御回路 4 を介して受信回路 3 へ転送する。

【 0 0 2 0 】

(送受信制御回路 4 の内部構成)

ここで、実施形態における送受信制御回路 4 の内部構成について詳しく説明する。

【 0 0 2 1 】

図 2 は、図 1 に示す送受信制御回路 4 の内部構成を示すブロック図である。図 3 は、図 2 に示す送受信制御回路 4 における超音波送受信に関する制御パラメータの転送およびデータの転送の流れを示す図である。送受信制御回路 4 は、ホスト制御回路インターフェース (I F) 4 1、メモリインターフェース 4 2、シーケンサ 4 3、送信回路インターフェース 4 4、送信用内部メモリ 4 5、受信回路インターフェース (I F) 4 6、受信用内部メモリ 4 7、信号処理回路インターフェース (I F) 4 8、信号処理用内部メモリ 4 9、データ収集インターフェース (I F) 5 0、調停回路 (アービタ回路とも呼ばれる) A 1 ~ A 6 を備える。実施形態における送受信制御回路 4 は、超音波送受信における機能毎に、送受信処理回路インターフェース、内部メモリ、調停回路を設けた機能別回路構成を有する。

【 0 0 2 2 】

ここで、説明の便宜上、ホスト制御回路インターフェース 4 1 をホスト I F 4 1、メモリインターフェース 4 2 をメモリ I F 4 2、送信回路インターフェース 4 4 を送信 I F 4 4、送信用内部メモリ 4 5 を送信メモリ 4 5、受信回路インターフェース 4 6 を受信 I F 4 6、受信用内部メモリ 4 7 を受信メモリ 4 7、信号処理回路インターフェース 4 8 を信号処理 I F 4 8、信号処理用内部メモリ 4 9 を信号処理メモリ 4 9、データ収集インターフェース 5 0 を収集 I F 5 0 と記載する。

【 0 0 2 3 】

ホスト I F 4 1、メモリ I F 4 2、シーケンサ 4 3、送信 I F 4 4、送信メモリ 4 5、受信 I F 4 6、受信メモリ 4 7、信号処理 I F 4 8、信号処理メモリ 4 9、収集 I F 5 0 は、共用の内部バスにより接続されている。

【 0 0 2 4 】

ホスト I F 4 1 は、外部バスを介してホスト制御回路 1 1 に接続される。ホスト I F 4 1 は、超音波診断装置の送受信開始前において、ホスト制御回路 1 1 から転送された各種

10

20

30

40

50

制御パラメータをメモリ I F 4 2 を介してメモリ 5 へ予め転送しておく。また、ホスト I F 4 1 は、超音波診断装置の送受信開始後において、ホスト制御回路 1 1 から転送された各種制御パラメータを各送受信処理回路に対応する送受信処理回路インターフェースへ転送する。

【 0 0 2 5 】

メモリ I F 4 2 は、外部バスを介してメモリ 5 に接続される。メモリ I F 4 2 は、メモリ 5 に記憶された各種制御パラメータを各送受信処理回路に対応する内部メモリへ転送する。また、メモリ I F 4 2 は、各送受信処理回路インターフェースから各送受信処理回路へ転送される制御パラメータ情報をホスト制御回路 1 1 へ転送する。

【 0 0 2 6 】

シーケンサ 4 3 は、診断モード毎に送受信条件に応じて P R I を決定する。シーケンサ 4 3 は、決定される P R I 情報をホスト制御回路 1 1 へ転送する。

【 0 0 2 7 】

送信 I F 4 4 は、外部バスを介して送信回路 2 に接続される。送信 I F 4 4 は、送信メモリ 4 5 に記憶された送信パラメータを送信回路 2 へ転送する。また、送信 I F 4 4 は、ホスト I F 4 1 から転送された送信パラメータを送信回路 2 へ転送する。

【 0 0 2 8 】

受信 I F 4 6 は、外部バスを介して受信回路 3 に接続される。受信 I F 4 6 は、受信メモリ 4 7 に記憶された受信パラメータを受信回路 3 へ転送する。また、受信 I F 4 6 は、ホスト I F 4 1 から転送された受信パラメータを受信回路 3 へ転送する。

【 0 0 2 9 】

信号処理 I F 4 8 は、外部バスを介して信号処理回路 6 に接続される。信号処理 I F 4 8 は、信号処理メモリ 4 9 に記憶された信号処理パラメータを信号処理回路 6 へ転送する。また、信号処理 I F 4 8 は、ホスト I F 4 1 から転送された信号処理パラメータを信号処理回路 6 へ転送する。

【 0 0 3 0 】

収集 I F 5 0 は、外部バスを介して信号処理回路 6 に接続される。収集 I F 5 0 は、信号処理回路 6 で生成された処理データをホスト制御回路 1 1 へ転送する。

【 0 0 3 1 】

ホスト I F 4 1 から送信メモリ 4 5 の方向への内部バスを R x バスと呼称する。例えば、R x バスは、メモリ I F 4 2 から各内部メモリへの制御パラメータの転送、またはホスト I F 4 1 から各送受信処理回路への制御パラメータの転送に使用する。また、送信メモリ 4 5 からホスト I F 4 1 の方向への内部バスを T x バスと呼称する。例えば、T x バスは、各内部メモリから各送受信処理回路に対応する送受信処理回路インターフェースへの制御パラメータの転送に使用する。

【 0 0 3 2 】

調停回路 A 1 は、ホスト I F 4 1 とメモリ I F 4 2 とに接続される。調停回路 A 1 は、ホスト I F 4 1 による内部バスを介した各送受信処理回路インターフェースへの制御パラメータの転送要求（リクエスト）と、メモリ I F 4 2 による内部バスを介した各内部メモリへの制御パラメータの転送要求とを管理する。

【 0 0 3 3 】

調停回路 A 2 は、送信 I F 4 4 と送信メモリ 4 5 とに接続される。調停回路 A 2 は、送信メモリ 4 5 による内部バスを介した送信 I F 4 4 への送信パラメータの転送要求を管理する。調停回路 A 3 は、受信 I F 4 6 と受信メモリ 4 7 とに接続される。調停回路 A 3 は、受信メモリ 4 7 による内部バスを介した受信 I F 4 6 への受信パラメータの転送要求を管理する。調停回路 A 4 は、信号処理 I F 4 8 と信号処理メモリ 4 9 とに接続される。調停回路 A 4 は、信号処理メモリ 4 9 による内部バスを介した信号処理 I F 4 8 への信号処理パラメータの転送要求を管理する。調停回路 A 5 は、メモリ I F 4 2 とシーケンサ 4 3 とに接続される。調停回路 A 5 は、シーケンサ 4 3 による内部バスを介したホスト I F 4 1 への P R I 情報と、メモリ I F 4 2 による内部バスを介した制御パラメータ情報との転

10

20

30

40

50

送要求を管理する。調停回路 A 6 は、収集 I F 5 0 とホスト I F 4 1 とに接続される。調停回路 A 6 は、収集 I F 5 0 による内部バスを介したホスト I F 4 1 への処理データの転送要求を管理する。

【 0 0 3 4 】

なお、調停回路 A 1 ~ A 6 は、ラウンドロビン方式により内部バスの使用权を管理している。

【 0 0 3 5 】

(送受信制御回路 4 における超音波送受信に関する制御パラメータの転送)

ここで、送受信制御回路 4 における超音波送受信に関する制御パラメータの転送について、P R I と制御パラメータの転送との関係、および調停回路 A 1 ~ A 4 による調停制御 (バスアービタ制御とも呼ばれる) を考慮して詳しく説明する。

10

【 0 0 3 6 】

まず、メモリ 5 から転送された制御パラメータの転送について記載する。本実施形態では、超音波送受信を開始してから 2 回目以降の P R I における制御パラメータの転送について説明する。

【 0 0 3 7 】

図 4 は、P R I を基準とする、メモリ 5 からの制御パラメータの転送シーケンスを示す図である。図 4 に示すように、P R I には、各送受信処理回路への制御パラメータの転送期間 T p、超音波信号の送信期間 T t、超音波エコー信号の受信期間 T r が含まれる。

20

【 0 0 3 8 】

図 4 に示す期間 T a 3 は、次の P R I において送信 I F 4 4 により送信回路 2 へ転送する送信パラメータを、メモリ 5 から送信メモリ 4 5 へ転送する期間である。期間 T a 1 は、送信 I F 4 4 により内部バスを介して送信メモリ 4 5 へ転送された送信パラメータを、送信メモリ 4 5 により内部バスを介して送信 I F 4 4 へ転送する期間である。期間 T a 2 は、送信メモリ 4 5 により内部バスを介して送信 I F 4 4 へ転送された送信パラメータを、送信 I F 4 4 により外部バスを介して送信回路 2 へ転送する期間である。

【 0 0 3 9 】

期間 T b 3 は、次の P R I において受信 I F 4 6 により受信回路 3 へ転送される受信パラメータを、メモリ 5 から受信メモリ 4 7 へ転送する期間である。期間 T b 1 は、受信 I F 4 6 により内部バスを介して受信メモリ 4 7 へ転送された受信パラメータを、受信メモリ 4 7 により内部バスを介して受信 I F 4 6 へ転送する期間である。期間 T b 2 は、受信メモリ 4 7 により内部バスを介して受信 I F 4 6 へ転送された受信パラメータを、受信 I F 4 6 により外部バスを介して受信回路 3 へ転送する期間である。

30

【 0 0 4 0 】

期間 T c 3 は、次の P R I において信号処理 I F 4 8 により信号処理回路 6 へ転送される信号処理パラメータを、メモリ 5 から信号処理メモリ 4 9 へ転送する期間である。期間 T c 1 は、信号処理 I F 4 8 により内部バスを介して信号処理メモリ 4 9 へ転送された信号処理パラメータを、信号処理メモリ 4 9 により内部バスを介して信号処理 I F 4 8 へ転送する期間である。期間 T c 2 は、信号処理メモリ 4 9 により内部バスを介して信号処理 I F 4 8 へ転送された信号処理パラメータを、信号処理 I F 4 8 により外部バスを介して信号処理回路 6 へ転送する期間である。

40

【 0 0 4 1 】

ここで、超音波診断装置の送受信開始前において、複数の内部メモリのうちの転送対象の送受信処理回路に対応する転送対象の内部メモリには、メモリ I F 4 2 によりメモリ 5 から転送された制御パラメータが予め記憶されている。

【 0 0 4 2 】

P R I 毎に行われる、メモリ I F 4 2 によるメモリ 5 から各内部メモリへの制御パラメータの転送は、当該制御パラメータが用いられる P R I の前段までに完了するように調停回路 A 1 により管理される。また、P R I 毎に行われる、各内部メモリによる各送受信処理回路インターフェースへの制御パラメータの転送および各送受信処理回路インターフェ

50

ースによる各送受信処理回路への制御パラメータの転送は、当該制御パラメータが用いられる P R I における超音波信号の送信期間 T t の前段までに完了するように調停回路 A 2 ~ A 4 により管理される。

【 0 0 4 3 】

共用する内部バスにおいて、1つの処理に関する制御パラメータの転送が完了するまで、他の処理に関する制御パラメータの転送を実行することができないため、期間 T a 3 と期間 T b 3 と期間 T c 3 とが互いに重複しないように調停回路 A 1 により管理される。

【 0 0 4 4 】

まず、メモリ 5 に記憶された送信パラメータの転送について記載する。

【 0 0 4 5 】

当該制御パラメータが用いられる P R I の一回前の P R I における期間 T a 3 において、メモリ I F 4 2 は、メモリ 5 から送信メモリ 4 5 への送信パラメータの転送要求を調停回路 A 1 へ供給する。調停回路 A 1 は、メモリ I F 4 2 からの転送要求を受け、転送許可信号を出力する。メモリ I F 4 2 は、調停回路 A 1 から出力された転送許可信号を受け、メモリ 5 から送信パラメータを読み出し、送信メモリ 4 5 へ当該送信パラメータを転送する。当該制御パラメータが用いられる P R I における期間 T a 1 において、送信メモリ 4 5 は、送信 I F 4 4 への送信パラメータの転送要求を調停回路 A 2 へ供給する。調停回路 A 2 は、送信メモリ 4 5 からの転送要求を受け、送信 I F 4 4 への送信パラメータの転送を許可するための転送許可信号を出力する。ここで、調停回路からの転送許可は、「グラントを与える」とも呼ばれる。調停回路 A 2 により送信メモリ 4 5 へグラントを与えることで、共用する内部バスを使用することが可能となり、送信 I F 4 4 へ当該送信パラメータを転送することが可能になる。送信メモリ 4 5 は、調停回路 A 2 から出力された転送許可信号を受け、送信 I F 4 4 へ送信パラメータを転送する。当該制御パラメータが用いられる P R I における期間 T a 2 において、送信 I F 4 4 は、送信メモリ 4 5 により内部バスを介して転送された送信パラメータを送信回路 2 へ転送する。

【 0 0 4 6 】

次に、メモリ 5 に記憶された受信パラメータの転送について記載する。

【 0 0 4 7 】

当該制御パラメータが用いられる P R I の一回前の P R I における期間 T b 3 において、メモリ I F 4 2 は、メモリ 5 から受信メモリ 4 7 への受信パラメータの転送要求を調停回路 A 1 へ供給する。調停回路 A 1 は、メモリ I F 4 2 からの転送要求を受け、転送許可信号を出力する。メモリ I F 4 2 は、調停回路 A 1 から出力された転送許可信号を受け、メモリ 5 から受信パラメータを読み出し、受信メモリ 4 7 へ当該受信パラメータを転送する。当該制御パラメータが用いられる P R I における期間 T b 1 において、受信メモリ 4 7 は、受信 I F 4 6 への受信パラメータの転送要求を調停回路 A 3 へ供給する。調停回路 A 3 は、受信メモリ 4 7 からの転送要求を受け、転送許可信号を出力する。受信メモリ 4 7 は、調停回路 A 3 から出力された転送許可信号を受け、受信 I F 4 6 へ当該受信パラメータを転送する。当該制御パラメータが用いられる P R I における期間 T b 2 において、受信 I F 4 6 は、受信メモリ 4 7 から転送された受信パラメータを受信回路 3 へ転送する。

【 0 0 4 8 】

次に、メモリ 5 に記憶された信号処理パラメータの転送について記載する。

【 0 0 4 9 】

当該制御パラメータが用いられる P R I の一回前の P R I における期間 T c 3 において、メモリ I F 4 2 は、メモリ 5 から信号処理メモリ 4 9 への信号処理パラメータの転送要求を調停回路 A 1 へ供給する。調停回路 A 1 は、メモリ I F 4 2 からの転送要求を受け、転送許可信号を出力する。メモリ I F 4 2 は、調停回路 A 1 から出力された転送許可信号を受け、信号処理メモリ 4 9 へ当該信号処理パラメータを転送する。当該制御パラメータが用いられる P R I における期間 T c 1 において、信号処理メモリ 4 9 は、信号処理 I F 4 8 への信号処理パラメータの転送要求を調停回路 A 4 へ供給する。調停回路 A 4 は、信

10

20

30

40

50

号処理メモリ49からの転送要求を受け、転送許可信号を出力する。信号処理メモリ49は、調停回路A4から出力された転送許可信号を受け、メモリ5から信号処理パラメータを読み出し、信号処理IF48へ当該信号処理パラメータを転送する。当該制御パラメータが用いられるPRIにおける期間Tc2において、信号処理IF48は、信号処理メモリ49から転送された信号処理パラメータを信号処理回路6へ転送する。

【0050】

上記構成によれば、本実施形態におけるメモリIF42は、当該制御パラメータが用いられるPRIの一回前のPRIにおける期間において、各制御パラメータを各送受信処理回路インターフェースに対応する内部メモリへ予め転送している。また、超音波送受信における機能毎に、送受信処理回路インターフェース、内部メモリ、調停回路を設けている。このため、各内部メモリは、転送対象の送受信処理回路による処理期間の前段において、機能毎に転送対象の送受信処理回路インターフェースに制御パラメータを略同時に転送することができる。制御パラメータを略同時に転送することで、超音波送受信チャンネル数の増加と共に増加した制御パラメータを効率よく転送対象の送受信処理回路インターフェースに転送することができ、より短いPRIを提供することができる。これにより、診断能を向上することができる。

10

【0051】

なお、図4において、信号処理パラメータを当該制御パラメータが用いられるPRIにおける期間Tc2において一度だけ信号処理回路6へ転送しているが、これに限定されない。例えば、並列同時受信の場合、同時ビーム数に応じた回数だけ信号処理パラメータの読み出し、転送が行われてもよい。

20

【0052】

次に、ホスト制御回路11から転送された制御パラメータの転送について記載する。本実施形態では、超音波送受信を開始してから2回目以降のPRIにおける制御パラメータの転送について説明する。

【0053】

図5は、PRIを基準とする、ホスト制御回路11からの制御パラメータの転送シーケンスを示す図である。図5に示すように、PRIには、各送受信処理回路への制御パラメータの転送期間Tp、超音波信号の送信期間Tt、超音波エコー信号の受信期間Trが含まれる。

30

【0054】

図5に示す期間Td1は、送信IF44により送信回路2へ転送する送信パラメータを、ホストIF41により内部バスを介して送信IF44へ転送する期間である。期間Td2は、ホストIF41により内部バスを介して送信IF44へ転送された送信パラメータを、送信IF44により外部バスを介して送信回路2へ転送する期間である。期間Te1は、受信IF46により受信回路3へ転送する受信パラメータを、ホストIF41により内部バスを介して受信IF46へ転送する期間である。期間Te2は、ホストIF41により内部バスを介して受信IF46へ転送された受信パラメータを、受信IF46により外部バスを介して受信回路3へ転送する期間である。期間Tf1は、信号処理IF48により信号処理回路6へ転送する信号処理パラメータを、ホストIF41により内部バスを介して信号処理IF48へ転送する期間である。期間Tf2は、ホストIF41により内部バスを介して信号処理IF48へ転送された信号処理パラメータを、信号処理IF48により外部バスを介して信号処理回路6へ転送する期間である。

40

【0055】

ホストIF41によるホスト制御回路11から各送受信処理回路インターフェースへの制御パラメータの転送は、PRIの期間に関係なく、いつでも転送される。共用する内部バスにおいて、1つの処理に関する制御パラメータの転送が完了するまで、他の処理に関する制御パラメータの転送を実行することができないため、期間Td1と期間Te1と期間Tf1とが重複しないように調停回路A1により管理される。さらに、メモリIF42による各内部メモリへの制御パラメータの転送と略一致する期間(図4のTa3, Tb3

50

、T c 3) に、ホスト I F 4 1 によるホスト制御回路 1 1 から各送受信処理回路インターフェースへの制御パラメータの転送を行う場合、各送受信処理回路インターフェースへの転送が重複しないように調停回路 A 1 により管理される。また、期間 T a 1 と期間 T b 1 と期間 T c 1 と期間 T d 1 と期間 T e 1 と期間 T f 1 とが互いに重複しないように調停回路 A 1 ~ A 4 により管理される。

【 0 0 5 6 】

まず、ホスト制御回路 1 1 から転送された送信パラメータの転送について記載する。

【 0 0 5 7 】

期間 T d 1 において、ホスト I F 4 1 は、送信 I F 4 4 へのホスト制御回路 1 1 から転送された送信パラメータの転送要求を調停回路 A 1 へ供給する。調停回路 A 1 は、ホスト I F 4 1 からの転送要求を受け、転送許可信号を出力する。ホスト I F 4 1 は、調停回路 A 1 から出力された転送許可信号を受け、送信 I F 4 4 へ当該送信パラメータを転送する。期間 T d 2 において、送信 I F 4 4 は、ホスト I F 4 1 から転送された送信パラメータを送信回路 2 へ転送する。

10

【 0 0 5 8 】

次に、ホスト制御回路 1 1 から転送された受信パラメータの転送について記載する。

【 0 0 5 9 】

期間 T e 1 において、ホスト I F 4 1 は、受信 I F 4 6 への受信パラメータの転送要求を調停回路 A 1 へ供給する。調停回路 A 1 は、ホスト I F 4 1 からの転送要求を受け、転送許可信号を出力する。ホスト I F 4 1 は、調停回路 A 1 から出力された転送許可信号を受け、受信 I F 4 6 へ当該受信パラメータを転送する。期間 T e 2 において、受信 I F 4 6 は、ホスト I F 4 1 から転送された受信パラメータを受信回路 3 へ転送する。

20

【 0 0 6 0 】

次に、ホスト制御回路 1 1 から転送された信号処理パラメータの転送について記載する。

【 0 0 6 1 】

期間 T f 1 において、ホスト I F 4 1 は、信号処理 I F 4 8 への信号処理パラメータの転送要求を調停回路 A 1 へ供給する。調停回路 A 1 は、ホスト I F 4 1 からの転送要求を受け、転送許可信号を出力する。ホスト I F 4 1 は、調停回路 A 1 から出力された転送許可信号を受け、信号処理 I F 4 8 へ当該信号処理パラメータを転送する。期間 T f 2 において、信号処理 I F 4 8 は、ホスト I F 4 1 から転送された信号処理パラメータを信号処理回路 6 へ転送する。

30

【 0 0 6 2 】

( バスビジーが発生した場合の送受信制御回路 4 における超音波送受信に関する制御パラメータの転送 )

ここで、送受信制御回路 4 における超音波送受信に関する制御パラメータの転送において、バスビジーが発生した場合について説明する。

【 0 0 6 3 】

まず、送受信制御回路 4 は、例外優先ラウンドロビン方式の調停制御を採用する。例外優先ラウンドロビン方式は、ラウンドロビン方式に加えて、所定の条件下での例外規定を設ける方式である。例えば、通常時、ラウンドロビン方式で調停制御を行うが、転送速度が遅い外部バスに接続される受信 I F 4 6 からビジー信号が供給された場合に例外処理を実行する。さらに、例外を認めるインターフェースに最高優先度を与える。一例として、図 2 に示す送受信制御回路 4 では、メモリ I F 4 2 に最高優先度を与える。最高優先度とは、ビジー信号の供給の有無にかかわらず、特定のインターフェースにグラントを与えることである。例えば、転送速度の遅い外部バスに接続される送受信処理回路インターフェースからビジー信号が供給された場合、調停回路 A 1 は、メモリ I F 4 2 からの転送要求に対して常に転送許可を与える。

40

【 0 0 6 4 】

具体例として、受信 I F と受信回路 3 とを接続する外部バスとして、他の外部バスより

50

転送速度が遅いバスが使用され、受信 I F 4 5 から受信回路 3 への制御パラメータの転送において、バスビジーが発生した場合を想定して記載する。なお、バスビジーは、受信メモリ 4 7 による受信 I F 4 6 への受信パラメータの転送と略一致する期間に、ホスト I F 4 1 によるホスト制御回路 1 1 から受信 I F 4 6 への受信パラメータの転送を行ったことにより発生しているものとする。

【 0 0 6 5 】

図 6 は、図 2 に示す調停回路 A 1 ~ A 4 における各インターフェースからの転送要求（リクエスト）と、与えられる転送許可（グラント）との関係を示す図である。図 6 は、対応する調停回路が与える現在の転送許可情報と、転送要求に対応する調停回路へ供給するインターフェース情報と、転送要求を受けた場合に対応する調停回路が転送許可を与えるインターフェース情報と、バスビジー発生中に転送要求を受けた場合に対応する調停回路が転送許可を与えるインターフェース情報とを関連付けたものである。表記される数字は、左から順に「ホスト I F 4 1、メモリ I F 4 2、送信 I F 4 4、受信 I F 4 6、信号処理 I F 4 8」を表す。ここで、図 6 に示す「1」は、対応する調停回路に転送要求を供給するインターフェースまたは対応する調停回路から転送許可を与えられるインターフェースを表す。「0」は、対応する調停回路から転送許可を与られていないインターフェースを表す。「X」は、対応する調停回路に転送要求を供給する状態、供給していない状態どちらでも良いインターフェースを表す。

10

【 0 0 6 6 】

図 6 に示す現在のグラント欄は、現在グラントが与えられているインターフェースを表す。現在のグラント欄において、「0 0 0 0 0」の場合、現在、どのインターフェースにも転送許可を与えていない。「1 0 0 0 0」の場合、調停回路 A 1 は、現在、ホスト I F 4 1 に転送許可を与えている。「0 1 0 0 0」の場合、調停回路 A 1 は、現在、メモリ I F 4 2 に転送許可を与えている。「0 0 1 0 0」の場合、調停回路 A 2 は、現在、送信 I F 4 4 に転送許可を与えている。「0 0 0 1 0」の場合、調停回路 A 3 は、現在、受信 I F 4 6 に転送許可を与えている。「0 0 0 0 1」の場合、調停回路 A 4 は、現在、信号処理 I F 4 8 に転送許可を与えている。

20

【 0 0 6 7 】

図 6 に示すリクエスト欄は、転送要求を供給しているインターフェースを表す。リクエスト欄において、「1 X X X X」の場合、ホスト I F 4 1 が調停回路 A 1 へ転送要求を供給していて、他の I F は転送要求はどちらでも良いことを示す。「X 1 X X X」の場合、メモリ I F 4 2 が調停回路 A 1 へ転送要求を供給していて、他の I F は転送要求はどちらでも良いことを示す。「X X 1 X X」の場合、送信 I F 4 4 が調停回路 A 2 へ転送要求を供給していて、他の I F は転送要求はどちらでも良いことを示す。「X X X 1 X」の場合、受信 I F 4 6 が調停回路 A 3 へ転送要求を供給していて、他の I F は転送要求はどちらでも良いことを示す。「X X X X 1」の場合、信号処理 I F 4 8 が調停回路 A 4 へ転送要求を供給していて、他の I F は転送要求はどちらでも良いことを示す。

30

【 0 0 6 8 】

図 6 に示す次に与えられるグラント（通常）欄は、転送要求を受けた場合に転送許可を与えているインターフェースを表す。次に与えられるグラント（通常）欄において、「1 0 0 0 0」の場合、ホスト I F 4 1 からの転送要求に呼応して、調停回路 A 1 は、ホスト I F 4 1 へ転送許可を与える。「0 1 0 0 0」の場合、メモリ I F 4 2 からの転送要求に応じて、調停回路 A 1 は、メモリ I F 4 2 へ転送許可を与える。「0 0 1 0 0」の場合、送信 I F 4 4 からの転送要求に呼応して、調停回路 A 2 は、送信 I F 4 4 へ転送許可を与える。「0 0 0 1 0」の場合、受信 I F 4 6 からの転送要求に呼応して、調停回路 A 3 は、受信 I F 4 6 へ転送許可を与える。「0 0 0 0 1」の場合、信号処理 I F 4 8 からの転送要求に呼応して、調停回路 A 4 は、信号処理 I F 4 8 へ転送許可を与える。

40

【 0 0 6 9 】

図 6 に示す次に与えられるグラント（ビジー）欄は、ビジー発生時、転送要求を受けた場合に転送許可を与えているインターフェースを表す。次に与えられるグラント（ビジー

50

欄において、「00000」の場合、ビジー発生時、どのインターフェースにも転送許可を与えない。「01000」の場合、ビジー発生時であっても、メモリIF42からの転送要求に呼応して、調停回路A1は、メモリIF42へ転送許可を与える。本実施形態において、ビジー発生時であっても、メモリIF42からの転送要求に応じて、調停回路A1によりメモリIF42へ転送許可を与えることができる。

#### 【0070】

ここで、上記実施形態に係る超音波診断装置の実現による効果について従来の送受信制御回路と比較しながら説明する。

#### 【0071】

図7は、従来の送受信制御回路40の内部構成を示すブロック図である。図8は、従来の送受信制御回路40に備えられる調停回路における各インターフェースからの転送要求と、与えられる転送許可との関係を示す図である。調停回路A7およびA8は、図2に示す送受信制御回路4と異なり、例外規定を有しないラウンドロビン方式の調停制御を採用する。当該ラウンドロビン方式を採用する調停回路A7およびA8は、転送要求を供給する各インターフェースに対して内部バスの使用権を均等に与えている。各インターフェースが同時に転送要求を供給した場合、転送許可を与えるインターフェースの順番が決まっている。例えば、ホストIF410、メモリIF420、送信IF440、受信IF460、信号処理IF480の順で転送許可を与える。また、ホストIF410およびメモリIF420による制御パラメータの転送先は、いずれも送受信処理回路インターフェースとなっている。

10

20

#### 【0072】

図7に示す送受信制御回路40において、メモリIF420は、メモリ5から受信パラメータを読み出し、受信IF460へ当該受信パラメータを転送する。さらに、略一致する期間において、ホストIF410が、受信IF460へ該受信パラメータを転送する。受信IF460には転送速度の遅い外部バスに接続されるため、当該受信パラメータの転送によりバスビジーが発生する。受信IF460は、バスビジーが発生した場合、当該受信パラメータの転送を停止するため、調停回路A7へビジー信号を供給する。図8に示すように、従来の送受信制御回路40では、転送速度の遅い外部バスに接続される受信IF460からビジー信号が供給された場合、ラウンドロビン方式を採用する調停回路A7は、メモリIF420にも、ホストIF410にも転送許可を与えることができない。この結果、PRIを伸ばす必要があった。

30

#### 【0073】

一方、実施形態に係る送受信制御回路4において、受信IF46に対応する受信メモリ47と、調停回路A3とを設けている。さらに、メモリIF420による受信パラメータの転送先は、受信メモリ47とする。上記構成によれば、ホストIF41とメモリIF42とで受信パラメータの転送先が異なるため、バスビジーが発生しにくい。また、受信IF46から受信回路3への受信パラメータの転送において、バスビジーが発生しないように調停回路A3により受信パラメータの転送を管理することができる。

#### 【0074】

また、受信IF46が転送速度の遅い外部バスに接続され、転送期間Tpにおいて、受信メモリ47は、Txバスを介して、受信IF46へ受信パラメータを転送する。このとき、ホストIF41により受信IF46へ受信パラメータが転送されたとする。受信IF46に接続されている外部バスは転送速度が遅いため、バスビジーが発生する。受信IF46は、バスビジーが発生した場合、調停回路A1へビジー信号を供給する。このとき、図6に示すように、例外優先ラウンドロビン方式を採用する調停回路A1は、ホストIF41に対して転送許可を与えないことで、ホストIF41からの受信パラメータの転送を停止することができる。一方、例外優先ラウンドロビン方式を採用する調停回路A1は、最高優先度を有するメモリIF42の転送要求に対しては常に転送許可を与える。このため、転送速度の遅い外部バスに接続される受信IF460からビジー信号が供給された場合であっても、メモリIF42から受信メモリ47へ受信パラメータを転送することがで

40

50

きる。この結果、従来の送受信制御回路40よりも短いPRIを提供することができる。これにより、診断能を向上することができる。

【0075】

(変形例1)

上記実施形態では、図2に示す送受信制御回路4において、送信回路2に対して、送信IF44と、送信メモリ45と、調停回路A2とを設け、受信回路3に対して、受信IF46と、受信メモリ47と、調停回路A3とを設けているが、本実施形態はこれに限定されない。図9は、実施形態における送受信制御回路の内部構成の変形例を示すブロック図である。図9に示す送受信制御回路4は、送受信内部メモリ51と、調停回路A9とを備えてもよい。送受信内部メモリ51は、内部バスを介して送信回路2および受信回路3にそれぞれ接続される。調停回路A9は、送信IF44と受信IF46と送受信内部メモリ51とにそれぞれ接続される。調停回路A9は、送受信内部メモリ51による内部バスを介した送信IF44への送信パラメータの転送要求と、送受信内部メモリ51による内部バスを介した受信IF46への受信パラメータの転送要求とを管理する。

10

【0076】

例えば、図4に示す期間Ta1において、送受信内部メモリ51は、送信IF44への送信パラメータの転送要求を調停回路A9へ供給する。調停回路A9は、送受信内部メモリ51からの転送要求を受け、送信IF44への送信パラメータの転送を許可するための転送許可信号を出力する。送受信内部メモリ51は、調停回路A9から出力された転送許可信号を受け、メモリ5から送信パラメータを読み出し、送信IF44へ送信パラメータを転送する。期間Ta2において、送信IF44は、送受信内部メモリ51から転送された送信パラメータを送信回路2へ転送する。

20

【0077】

図4に示す期間Ta1だけ遅れた期間Tb1において、送受信内部メモリ51は、受信IF46への受信パラメータの転送要求を調停回路A9へ供給する。調停回路A9は、送受信内部メモリ51からの転送要求を受け、転送許可信号を出力する。送受信内部メモリ51は、調停回路A9から出力された転送許可信号を受け、メモリ5から受信パラメータを読み出し、受信IF46へ当該受信パラメータを転送する。期間Ta1だけ遅れた期間Tb2において、受信IF46は、送受信内部メモリ51から転送された受信パラメータを受信回路3へ転送する。

30

【0078】

(変形例2)

上記実施形態では、メモリIF42による内部バスを介した制御パラメータの転送先が各送受信処理回路インターフェースに対応する内部メモリ、ホストIF41による内部バスを介した制御パラメータの転送先が各送受信処理回路インターフェースとなっているが、本実施形態はこれに限定されない。本実施形態における送受信制御回路4は、メモリIF42による内部バスを介した制御パラメータの転送先を各送受信処理回路インターフェース、ホストIF41による内部バスを介した制御パラメータの転送先を各送受信処理回路インターフェースに対応する内部メモリとしてもよい。

【0079】

(総括)

上記の説明の通り、実施形態に係る超音波診断装置は、超音波の送受信に関する処理を実行する送受信処理回路と、送受信処理回路を制御する送受信制御回路とを備える。送受信制御回路4は、送受信処理回路インターフェースと、ホストIFと、内部メモリと、メモリIFとを有する。送受信処理回路インターフェースは、送受信処理回路に外部バスを介して接続される。ホストIFは、外部バスを介して接続されたホスト制御回路から転送された制御パラメータを内部バスを介して送受信処理回路インターフェースやメモリIFへ転送する。内部メモリは、送受信処理回路インターフェースに内部バスを介して接続される。メモリIFは、外部バスを介して接続されたメモリに記憶された制御パラメータを内部バスを介して内部メモリへ転送する。

40

50

## 【 0 0 8 0 】

上記の構成により、実施形態に係る超音波診断装置は、ホストIFとメモリIFとで制御パラメータの転送先が異なるため、バスビジーが発生しにくい。この結果、PRIを伸ばす必要がなくなる。これにより、超音波診断装置の性能向上になる。また、フレームレートを落とすことがなくなるため、診断能の向上につながる。

## 【 0 0 8 1 】

かくして、実施形態に係る超音波診断装置は、高いフレームレートを実現することができる。

## 【 0 0 8 2 】

なお、上記説明において用いた「所定のプロセッサ」という文言は、例えば、専用又は汎用のprocessor、circuit(circuitry)、processing circuit(circuitry)、operation circuit(circuitry)、arithmetic circuit(circuitry)、あるいは、特定用途向け集積回路、プログラマブル論理デバイス等を意味する。また、本実施形態の各構成要素（各処理回路）は、単一のプロセッサに限らず、複数のプロセッサによって実現するようにしてもよい。さらに、複数の構成要素（複数の処理部）を、単一のプロセッサによって実現するようにしてもよい。

10

## 【 0 0 8 3 】

以上、実施形態を説明したが、この実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。この新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。この実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

20

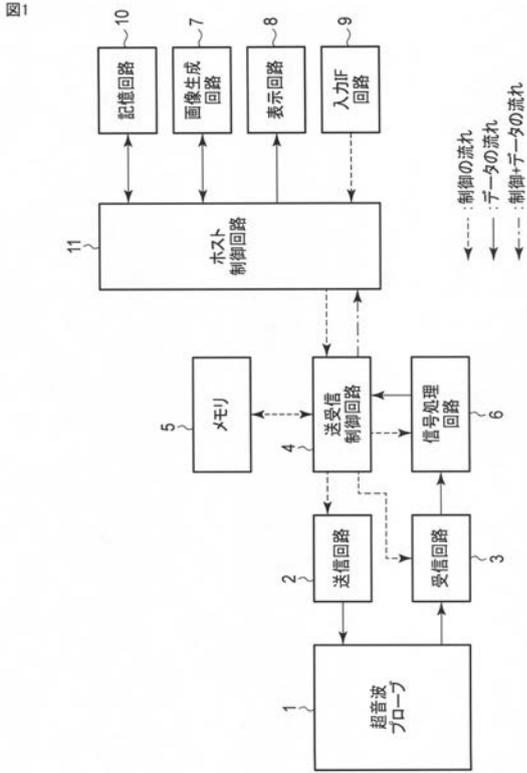
## 【 符号の説明 】

## 【 0 0 8 4 】

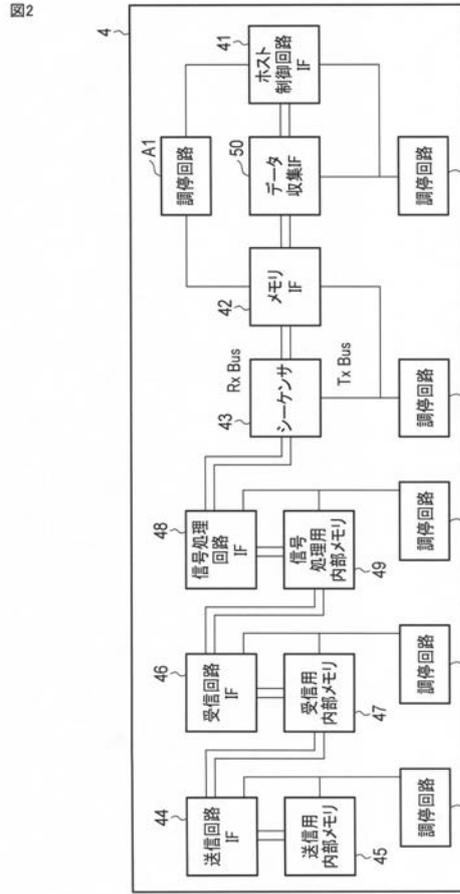
1 ... 超音波プローブ、2 ... 送信回路、3 ... 受信回路、4 ... 送受信制御回路、5 ... メモリ、6 ... 信号処理回路、7 ... 画像生成回路、8 ... 表示回路、9 ... 入力インターフェース回路、10 ... 記憶回路、11 ... ホスト制御回路、41 ... ホスト制御回路インターフェース、42 ... メモリインターフェース、43 ... シーケンサ、44 ... 送信回路インターフェース、45 ... 送信用内部メモリ、46 ... 受信回路インターフェース、47 ... 受信用内部メモリ、48 ... 信号処理回路インターフェース、49 ... 信号処理用内部メモリ、50 ... データ収集インターフェース、51 ... 送受信用内部メモリ、410 ... ホスト制御回路インターフェース、420 ... メモリインターフェース、430 ... シーケンサ、440 ... 送信回路インターフェース、460 ... 受信回路インターフェース、480 ... 信号処理回路インターフェース、500 ... データ収集インターフェース、A1 ~ A9 ... 調停回路。

30

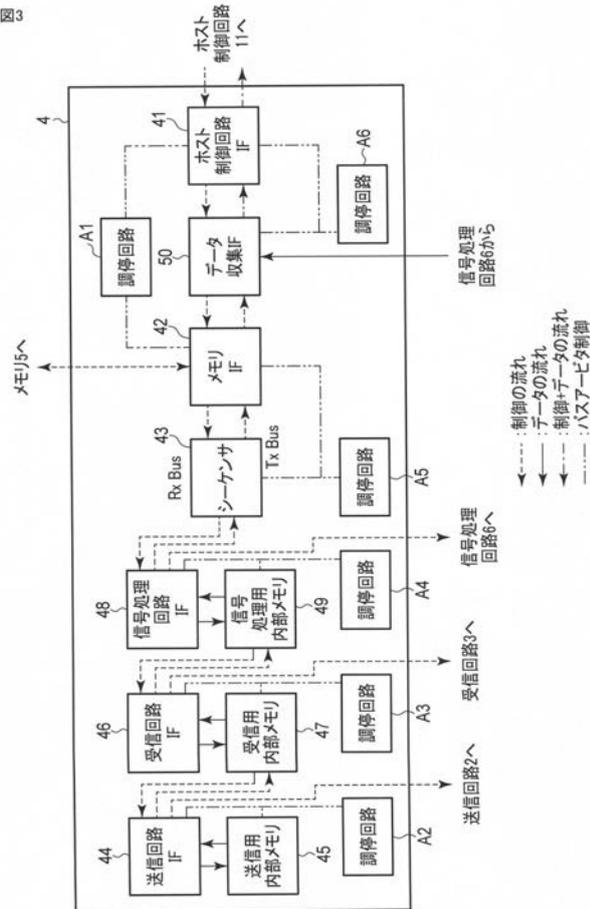
【 図 1 】



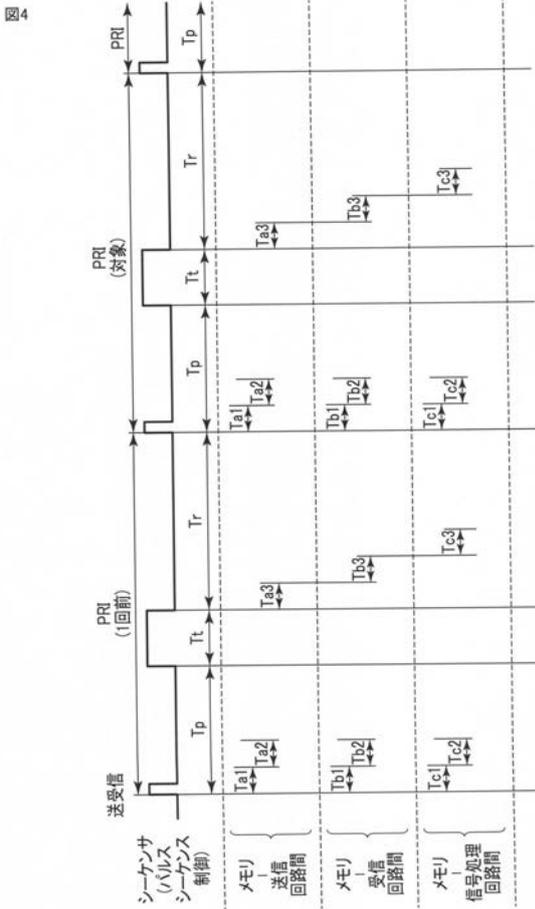
【 図 2 】



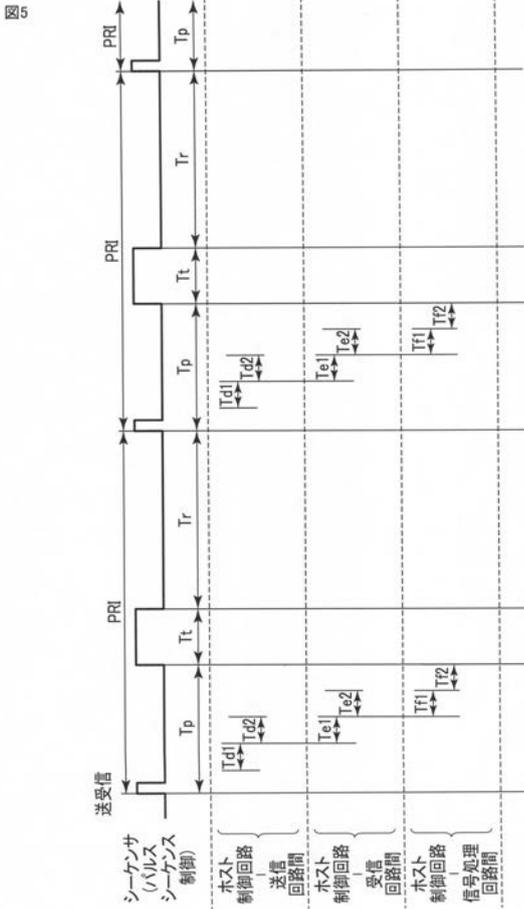
【 図 3 】



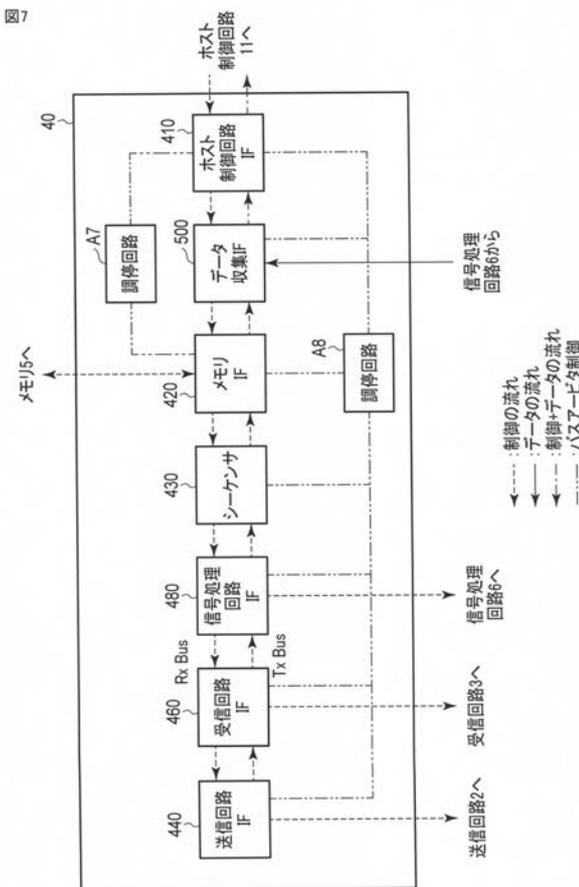
【 図 4 】



【 図 5 】



【 図 7 】



【 図 6 】

図6

現在のグラント	リクエスト	次に与えられるグラント (通常)	次に与えられるグラント (ビジー)
00000	1xxxx	10000	00000
	x1xxx	01000	01000
	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000
10000	x1xxx	01000	01000
	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000
	1xxxx	10000	00000
01000	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000
	1xxxx	10000	00000
	x1xxx	01000	01000
00100	xxx1x	00010	00000
	xxxx1	00001	00000
	1xxxx	10000	00000
	x1xxx	01000	01000
	xx1xx	00100	00000
00010	xxxx1	00001	00000
	1xxxx	10000	00000
	x1xxx	01000	01000
	xx1xx	00100	00000
	xxx1x	00010	00000
00001	1xxxx	10000	00000
	x1xxx	01000	01000
	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000

数字の対応: (ホスト制御回路IF, メモリIF, 送信回路IF, 受信回路IF, 信号処理回路IF)

【 図 8 】

図8

現在のグラント	リクエスト	次に与えられるグラント (通常)	次に与えられるグラント (ビジー)
00000	1xxxx	10000	00000
	x1xxx	01000	00000
	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000
10000	x1xxx	01000	00000
	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000
	1xxxx	10000	00000
01000	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000
	1xxxx	10000	00000
	x1xxx	01000	00000
00100	xxx1x	00010	00000
	xxxx1	00001	00000
	1xxxx	10000	00000
	x1xxx	01000	00000
	xx1xx	00100	00000
00010	xxxx1	00001	00000
	1xxxx	10000	00000
	x1xxx	01000	00000
	xx1xx	00100	00000
	xxx1x	00010	00000
00001	1xxxx	10000	00000
	x1xxx	01000	01000
	xx1xx	00100	00000
	xxx1x	00010	00000
	xxxx1	00001	00000

数字の対応: (ホスト制御回路IF, メモリIF, 送信回路IF, 受信回路IF, 信号処理回路IF)

【 図 9 】

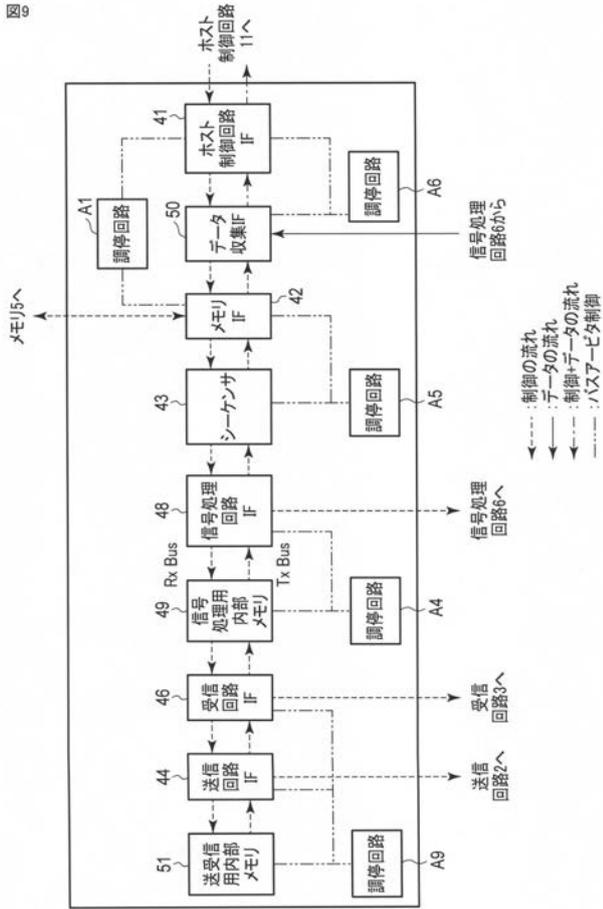


図9

フロントページの続き

(72)発明者 崔 載鎬

栃木県大田原市下石上 1 3 8 5 番地 東芝メディカルシステムズ株式会社内

Fターム(参考) 4C601 EE07 EE08 JB00