

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5088138号
(P5088138)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl.		F I			
H05K	1/18	(2006.01)	H05K	1/18	J
H05K	1/02	(2006.01)	H05K	1/02	B
			H05K	1/18	S

請求項の数 13 (全 19 頁)

(21) 出願番号	特願2007-545204 (P2007-545204)	(73) 特許権者	000004237
(86) (22) 出願日	平成18年11月8日 (2006.11.8)		日本電気株式会社
(86) 国際出願番号	PCT/JP2006/322251		東京都港区芝五丁目7番1号
(87) 国際公開番号	W02007/058096	(74) 代理人	100080816
(87) 国際公開日	平成19年5月24日 (2007.5.24)		弁理士 加藤 朝道
審査請求日	平成21年10月27日 (2009.10.27)	(72) 発明者	渡邊 真司
(31) 優先権主張番号	特願2005-334649 (P2005-334649)		東京都港区芝五丁目7番1号 日本電気株式会社内
(32) 優先日	平成17年11月18日 (2005.11.18)	(72) 発明者	三上 伸弘
(33) 優先権主張国	日本国(JP)		東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	佐藤 淳哉
			東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 実装基板および電子機器

(57) 【特許請求の範囲】

【請求項1】

少なくとも一部に曲面を有する基材と、
前記基材の少なくとも凸面側の一部に接して配設された絶縁層と、
を備え、

前記絶縁層は、上面が平坦に形成された台座部を有し、
前記台座部内には電子部品が備えられ、
前記基材の表面に対して垂直方向の前記絶縁層の厚さは、前記台座部の中央部と前記台座部の端部とにおいて異なり、

前記台座部の平坦面上には、半導体パッケージ又は電子部品を搭載するための複数の第1パッド部が配設される曲面基板。

【請求項2】

少なくとも一部に曲面を有する基材と、
前記基材の少なくとも一部に接して配設された絶縁層と、
を備え、

前記絶縁層は、上面が平坦に形成された台座部を有し、
前記絶縁層は、前記台座部と隣り合った部位に表面が平坦な肩部を有し、
前記肩部の平坦面は、前記基材の曲面部位の接線と平行であり、

前記基材の表面に対して垂直方向の前記絶縁層の厚さは、前記台座部の中央部と前記台座部の端部とにおいて異なり、

前記台座部の平坦面上には、半導体パッケージ又は電子部品を搭載するための複数の第1パッド部が配設される曲面基板。

【請求項3】

前記肩部の平坦面上には、電子部品を搭載するための複数の第2パッド部が配設され、前記第2パッド部に搭載された他の電子部品を備える請求項2記載の曲面基板。

【請求項4】

前記台座部は、隣り合う前記第1パッド部間の領域に凹部を有する請求項1乃至3のいずれか一に記載の曲面基板。

【請求項5】

前記絶縁層上に配設された第1配線と、
前記絶縁層内に配設された第2配線と、
前記絶縁層内に配設されるとともに前記第1配線及び前記第2配線と接続するビアと、
を備える請求項1乃至4のいずれか一に記載の曲面基板。

10

【請求項6】

前記絶縁層は、前記基材上の一部に配設された第2絶縁層と、前記第2絶縁層を含む前記基材上に配設された第1絶縁層と、を備える請求項1乃至4のいずれか一に記載の曲面基板。

【請求項7】

前記第1絶縁層上に配設された第1配線と、
前記第2絶縁層内に配設された第2配線と、
前記第1絶縁層及び前記第2絶縁層内に配設されるとともに前記第1配線及び前記第2配線と接続するビアと、
を備える請求項6記載の曲面基板。

20

【請求項8】

前記絶縁層上に配設された第1配線と、
前記基材内に配設されるとともに前記第1配線と電氣的に接続される第2配線と、
を備える請求項1記載の曲面基板。

【請求項9】

前記絶縁層上に配設された第1配線と、
前記基材上に配設されるとともに、前記絶縁層により一部が覆われ、かつ、前記第1配線と電氣的に接続される第3配線と、
を備える請求項1記載の曲面基板。

30

【請求項10】

前記基材内に配設されるとともに前記第3配線と電氣的に接続される第2配線を備える請求項9記載の曲面基板。

【請求項11】

請求項1乃至10のいずれか一に記載の曲面基板と、
前記曲面基板に配設された前記第1パッド部に搭載された半導体パッケージと、
を備える実装基板。

【請求項12】

請求項2記載の曲面基板と、
前記絶縁層内に実装される半導体パッケージと、
を備える実装基板。

40

【請求項13】

前記曲面基板に配設された前記第1パッド部に搭載された電子部品を備える請求項12記載の実装基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板に電子部品を実装した実装基板および電子機器に関し、特に、曲面

50

化された配線基板を有する実装基板および電子機器に関する。

【背景技術】

【0002】

近年、携帯電話に代表される携帯機器が活況を呈しており、その高機能化、高性能化とともに機器のデザイン性が重要視されてきており、使い勝手や見栄えを向上させる目的で筐体形状に曲面が多用されつつある。

【0003】

しかしながら、携帯機器の筐体内に実装される従来の実装基板は、半導体パッケージ等の電子部品が平坦な基板上に搭載されて構成されていることから、多様な曲面で構成された筐体内に効率よく配置することは困難であった。そのため、デザインを優先すると、機器サイズが大きくなる等の課題があることから、必然的にデザイン面で妥協せざるを得ないことが多々発生しており、筐体内の部品配置効率に優れている筐体の曲面に合わせた曲面を有する基板の実用化が強く望まれている。

10

【0004】

一方、小型化が要求される携帯機器に適した半導体パッケージとしては、例えば、特許文献1に記載されているようなBGA(Ball Grid Array)、CSP(Chip Size Package)、あるいはWL-CSP(Wafer Level Chip Size Package)と呼ばれるパッケージの底面に接続端子として格子状にはんだボールを配した図17に示すような半導体パッケージ(半導体装置)が挙げられ、狭占有エリアで、より多くの端子が配置できるという理由から広く使われている。

20

【0005】

これら半導体パッケージの基板への実装方法としては、メタルマスクを使用して、基板のパッド上にクリームはんだを印刷し、半導体パッケージを搭載した後、リフローによりはんだを溶融させて機械的かつ電氣的な接続を得る方法が採用されている。

【0006】

【特許文献1】特許第3395164号明細書(図1)

【特許文献2】特開2003-318218号公報(図2)

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、これら平坦な基板への搭載を前提とした半導体パッケージを、曲面で構成された基板に実装する際には、半導体パッケージのサイズ、あるいは曲面の曲率に応じて、はんだ接続不良が発生するという課題を有している。

30

【0008】

例えば、図18に示したような凸曲面の基板203上への実装では、半導体パッケージ201の外周部ではんだボール202と基板203のパッド204との距離が大きくなる。また、図19に示したような凹曲面への実装では、半導体パッケージ201の中心部ではんだボール202と基板203との距離が大きくなる。図18および図19のように、何れの方向に曲率を持った基板203においても、その基板203の曲率が大きいほど、また半導体パッケージ201のサイズが大きいほど、はんだボール202と基板203のパッド204が接触しない端子が発生しやすくなり、はんだ接続不良に至る。

40

【0009】

このように、従来の半導体パッケージを曲面基板へ実装する場合においては、半導体パッケージのはんだボールと基板のパッドとが接触しないことに起因したはんだ接続不良が発生することから、曲面で構成された基板に半導体パッケージを実装することはできなかった。

【0010】

そこで、特許文献1のような半導体パッケージを実装する際に発生する接続不良の課題を解決する手段として、チップを基板の曲率に合わせて湾曲させ、曲面に倣わせたまま、接合することで接続不良の発生を防止する方法が特許文献2において提案されている(図

50

20参照)。

【0011】

しかしながら、このようにチップを湾曲させた場合、チップの回路面に歪が生じることから、チップ表面に構成された微細回路が破壊される、あるいは電気特性が変化するという課題がある。特に、アナログ回路では、微小な歪によっても電気特性が大きく変化し、この電気特性変化はシステム全体の性能に影響を及ぼすことから、チップの回路面に加わる応力を最小限とすることが強く望まれている。

【0012】

更に、近年では、高速化を目的とした脆弱な絶縁膜（low-k膜等）が採用されており、一般的な平面パッケージにおいても、より低応力な封止材料、あるいは構造等が検討されてお

10

【0013】

以上のように、チップを湾曲させる特許文献2に提案されている方法においては、チップに加わる応力の抑制が要求される電氣的な特性変化が大きいアナログ回路や、高速動作を目的として脆弱な絶縁膜で構成された半導体パッケージ、あるいは半導体チップには適用できないという課題があった。

【0014】

本発明の主な課題は、半導体パッケージを曲面基板に実装する場合において、半導体パッケージに加わる応力を抑制可能にすることである。

20

【課題を解決するための手段】

【0017】

本発明の第1の視点においては、少なくとも一部に曲面を有する曲面基板であって、少なくとも一部に曲面を有する基材と、前記基材の少なくとも凸面側の一部に接して配設された絶縁層と、を備え、前記絶縁層は、上面が平坦に形成された台座部を有し、前記台座部内には電子部品が備えられ、前記基材の表面に対して垂直方向の前記絶縁層の厚さは、前記台座部の中央部と前記台座部の端部とにおいて異なり、前記台座部の平坦面上には、半導体パッケージ又は電子部品を搭載するための複数の第1パッド部が配設される。

30

本発明の第2の視点においては、少なくとも一部に曲面を有する曲面基板であって、少なくとも一部に曲面を有する基材と、前記基材の少なくとも一部に接して配設された絶縁層と、を備え、前記絶縁層は、上面が平坦に形成された台座部を有し、前記絶縁層は、前記台座部と隣り合った部位に表面が平坦な肩部を有し、前記肩部の平坦面は、前記基材の曲面部位の接線と平行であり、前記基材の表面に対して垂直方向の前記絶縁層の厚さは、前記台座部の中央部と前記台座部の端部とにおいて異なり、前記台座部の平坦面上には、半導体パッケージ又は電子部品を搭載するための複数の第1パッド部が配設される。

【0018】

本発明の第3の視点においては、実装基板において、前記曲面基板と、前記曲面基板に配設された前記第1パッド部上に搭載された半導体パッケージと、を備える。

40

本発明の第4の視点においては、実装基板において、前記曲面基板と、前記絶縁層内に実装される半導体パッケージと、を備える。

【発明の効果】

【0019】

本発明（請求項1-13）によれば、半導体パッケージ又は電子部品と接続される基板上の第1パッド部を平面状に構成した局所的な平坦部を有する曲面基板としたことにより、半導体パッケージ又は電子部品の曲面基板上への実装を、一般的な平面状の基板に実装する場合と同様に、平面状に配されたパッドに実装することが可能となる。そのため、図18、19に示したような、BGAに代表される従来の一般的な半導体パッケージを曲面基板に実装する際に発生するはんだ接続不良を抑制できる。また、半導体チップを湾曲さ

50

せて実装する必要もないことから、半導体パッケージ内に内包された半導体チップへの応力が発生しない曲面基板への半導体パッケージの実装が実現できる。

【図面の簡単な説明】

【0020】

【図1】本発明の実施形態1に係る実装基板の構成を模式的に示した断面図である。

【図2】本発明の実施形態1に係る実装基板における曲面基板の構成を模式的に示した断面図である。

【図3】本発明の実施形態1に係る実装基板における基材の第1の曲面形状を模式的に示した(A)上面図、(B)X-X'間の断面図、(C)Y-Y'間の断面図である。

【図4】本発明の実施形態1に係る実装基板における基材の第2の曲面形状を模式的に示した(A)上面図、(B)X-X'間の断面図、(C)Y-Y'間の断面図である。

10

【図5】本発明の実施形態1に係る実装基板の第1の製造方法を模式的に示した工程断面図である。

【図6】本発明の実施形態1に係る実装基板の第2の製造方法を模式的に示した工程断面図である。

【図7】本発明の実施形態2に係る実装基板の構成を模式的に示した断面図である。

【図8】本発明の実施形態2に係る実装基板の製造方法を模式的に示した工程断面図である。

【図9】本発明の実施形態3に係る実装基板の構成を模式的に示した断面図である。

【図10】本発明の実施形態3に係る実装基板の製造方法を模式的に示した工程断面図である。

20

【図11】本発明の実施形態4に係る実装基板の構成を模式的に示した断面図である。

【図12】本発明の実施形態4に係る実装基板の製造方法を模式的に示した工程断面図である。

【図13】本発明の実施形態5に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

【図14】本発明の実施形態6に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

30

【図15】本発明の実施形態7に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

【図16】本発明の実施形態8に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

【図17】従来例1に係る半導体パッケージの構成を模式的に示した断面図である。

【図18】従来例2に係る実装基板であって曲面基板の凸面側に半導体パッケージを実装したときの断面図である。

【図19】従来例3に係る実装基板であって曲面基板の凹面側に半導体パッケージを実装したときの断面図である。

40

【図20】従来例4に係る半導体パッケージの製造方法を模式的に示した工程断面図である。

【符号の説明】

【0021】

- 1 実装基板
- 10 曲面基板(配線基板)
- 11 基材
- 12 配線層
- 13 絶縁層

50

1 3 a	台座部	
1 3 b	肩部	
1 3 c	凹部	
1 4	ビア	
1 5	配線層	
1 5 a、1 5 b	パッド部	
1 6	第2絶縁層	
2 0	半導体パッケージ	
2 1	外部端子	
3 0	はんだボール	10
4 0、4 1、4 2、4 3、4 4	プレス型	
5 0	電子部品	
6 0	曲面基板	
6 1	配線基板	
6 1 a	絶縁層	
6 1 b	配線層	
6 1 c	ビア	
6 1 d	配線層	
6 2	台座部	
6 3	配線層(配線パターン)	20
6 3 a	パッド部	
1 1 0	半導体装置	
1 1 2	基板	
1 1 4	半導体チップ	
1 1 6	バンプ	
1 1 8	構造物	
1 2 0	接着剤	
1 2 2	アンダーフィル	
1 2 4	ボールバンプ	
1 2 6	凹陷部	30
1 2 8	隙間	
2 0 1	半導体パッケージ	
2 0 2	はんだボール	
2 0 3	基板	
2 0 4	パッド	
3 0 1	曲面基板	
3 0 2	チップ	
3 0 2 a	電極	
3 0 3	半田バンプ	
3 0 3 a	チップバンプ	40
3 0 3 b	基板バンプ	
3 0 4	アンダーフィル樹脂	
3 0 5	加熱冷却ヘッド	
3 0 6	吸着穴	

【発明を実施するための最良の形態】

【0022】

(実施形態1)

本発明の実施形態1に係る実装基板について図面を用いて説明する。図1は、本発明の実施形態1に係る実装基板の構成を模式的に示した断面図である。図2は、本発明の実施形態1に係る実装基板における曲面基板の構成を模式的に示した断面図である。図3は、

本発明の実施形態 1 に係る実装基板における基材の第 1 の曲面形状を模式的に示した (A) 上面図、(B) X - X ' 間の断面図、(C) Y - Y ' 間の断面図である。図 4 は、本発明の実施形態 1 に係る実装基板における基材の第 2 の曲面形状を模式的に示した (A) 上面図、(B) X - X ' 間の断面図、(C) Y - Y ' 間の断面図である。

【 0 0 2 3 】

図 1 を参照すると、実装基板 1 は、半導体パッケージ 2 0 等の電子部品が曲面基板 1 0 上に実装されたものである。

【 0 0 2 4 】

曲面基板 1 0 は、少なくとも一部に曲面を有する配線基板である。曲面基板 1 0 は、基材 1 1 と、配線層 1 2 と、絶縁層 1 3 と、ビア 1 4 と、配線層 1 5 と、を有する。

10

【 0 0 2 5 】

基材 1 1 は、絶縁材料よりなる曲面を有する基材である。基材 1 1 は、図 3 に示すような一方向のみに湾曲 (図 3 の場合は、X - X ' 方向のみに湾曲) した曲面を有する基材と、図 4 に示すような 2 方向に湾曲 (図 4 の場合は、X - X ' 及び Y - Y ' の双方向に湾曲) した曲面を有する基材とに大別でき、さらにそれぞれの曲面は一定曲率ばかりでなく自由曲線で構成された自由曲面を有するものでもよく、これらの何れかの曲面を一部又は全体に有していればよい。基材 1 1 には、ガラスクロスに樹脂を含浸させた一般的なガラスエポキシ樹脂を用いることができるが、ガラスエポキシ樹脂に限定されるものではなく、ガラスクロスの代わりにアラミド不織布を使用してもよい。さらに、基材 1 1 は、曲面加工性が良好な材料としてもよく、加熱により容易に軟化変形し、その形状を確保しやすい熱可塑性樹脂、例えば、液晶ポリマー等の樹脂を用いることができる。

20

【 0 0 2 6 】

配線層 1 2 は、基材 1 1 上に形成された導電層である。配線層 1 2 には、一般的な配線材料と同様に電気抵抗の小さい Cu の低抵抗材料を用いることができる。

【 0 0 2 7 】

絶縁層 1 3 は、基材 1 1 および配線層 1 2 上に形成された絶縁層である。絶縁層 1 3 は、所定の位置に配線層 1 2 に通ずるビア穴を有する。絶縁層 1 3 は、曲面部位のうち半導体パッケージ 2 0 が搭載される部位に上面が平坦な台座部 1 3 a を有する。絶縁層 1 3 には、ビルドアップ基板に一般的に使用されている半硬化状態のシート状プリプレグを用いることができ、材料には基材 1 1 と同様に、一般的なガラスエポキシ樹脂を用いることができるが、ガラスエポキシ樹脂に限定されるものではなく、ガラスクロスの代わりにアラミド不織布を用いてもよい。台座部 1 3 a は、絶縁層 1 3 を成型して構成される。台座部 1 3 a の厚さは、高密度実装の観点やビアの形成性の観点等から薄いほど望ましく、特にビアが形成される箇所では、その形成性から 1 5 0 μ m 以下であることが望ましい。なお、下層の配線層 1 2 と上層の配線層 1 5 との距離が近くなると、絶縁性やインピーダンス特性などの電気的な特性が劣化する可能性があることから、絶縁性やインピーダンス特性などの電気的な特性の観点からは最薄部においても 1 5 μ m 以上であることが望ましい。絶縁層 1 3 の表面 (露出面) は、実装される半導体パッケージ 2 0 の端子ピッチが狭く、はんだショート等が懸念される場合には、ソルダーレジストを形成してもよい。

30

【 0 0 2 8 】

ビア 1 4 は、配線層 1 2 と配線層 1 5 を電氣的に接続する導電部である。ビア 1 4 には、銅等の低抵抗材料を用いることができる。

40

【 0 0 2 9 】

配線層 1 5 は、絶縁層 1 3 上に形成された導電層である。配線層 1 5 は、台座部 1 3 a の平坦面上の所定の位置にパッド部 1 5 a を有する。パッド部 1 5 a は、はんだボール 3 0 を介して、半導体パッケージ 2 0 の対応する外部端子 (図示せず) と電氣的に接続されている。配線層 1 5 には、銅等の低抵抗材料を用いることができ、絶縁層 1 3 の台座部 1 3 a を含めた曲面や凹凸形状へ追従させる際の配線層 1 5 への応力を勘案すると、クラック耐性の高い電解めっき法で形成された電解 Cu などの配線材料が好適である。配線層 1 5 は、ビア 1 4 と一体に構成されていてもよく、ビア 1 4 と別々に構成されていてもよい

50

【0030】

なお、ここでは、はんだボール30が格子状に配列された一般的な半導体パッケージ20を例としているが、モールド封止等でパッケージングされた半導体パッケージに限るものではなく、パッケージングされていない半導体チップや、外部端子としてガルウイングリードを備えたQFP(Quad Flat Package)などのように、これまで一般的な平面状の基板に実装されている全ての電子部品に適用することが可能である。

【0031】

次に、実施形態1に係る実装基板の第1の製造方法について図面を用いて説明する。図5は、本発明の実施形態1に係る実装基板の第1の製造方法を模式的に示した工程断面図である。

10

【0032】

まず、基材11上に配線層12を形成する(図5(A)参照)。ここで、配線層12は、基材11上に形成されたCu箔やCuメッキの余剰部をエッチングすることによって配線パターンを形成するサブトラクティブ法や、配線形成箇所以外を絶縁樹脂でマスクした後、配線層12をめっきで形成するアディティブ法あるいはセミアディティブ法でパターンニングすることができる。

【0033】

次に、基材11および配線層12上にシート状の絶縁層13を形成する(図5(B)参照)。

20

【0034】

次に、プレス加工により、絶縁層13の台座部13aの成型と、基板の曲面成型とを一括で行う(図5(C)参照)。ここで、この工程での成型および硬化は、所望形状に加工されたプレス型40によって加熱、加圧することで、絶縁層13は、プレス型内を軟化流動し、プレス型の形状に充填された後、硬化に至るとともに、この加熱、加圧によって、基材11も軟化変形し、所望の曲面形状が得られると同時に、絶縁層13が硬化して局所的に平坦な面を有する台座部13aが形成される。この際の加熱温度は、絶縁層13の硬化可能温度以上である必要があり、ここではプリプレグの硬化条件である120以上を適用しているが、プリプレグ材料によって最適温度は異なることから、材料に合わせた条件とする。また、金型での成型性、すなわち金型内に一様にプリプレグ内の樹脂材料が流動して充填されるためには、プリプレグの樹脂材料に流動性の高い材料を選定することが好適である。

30

【0035】

次に、絶縁層13にビア穴を形成し、その後、ビア14および配線層15を形成する(図5(D)参照)。ここで、ビア穴の形成は、硬化した絶縁層13にレーザあるいはエッチング法によって、配線層12が表れるまで開口する。絶縁層13が厚いほど、ビア穴の加工性が低下することから、絶縁層13は電気特性に影響しない範囲で薄く形成されることが望ましい。また、ビア14および配線層15の形成は、絶縁層13の上層にアディティブ法やセミアディティブ法等を用いてパターンニングにより行う。ビア14および配線層15の形成では、Cuメッキでビア穴にメッキが充填されることで配線層12と配線層15の電氣的接続が得られることとなる。この際には、配線層15と絶縁層13の密着力を向上させる目的で、デスマリア処理等により絶縁層13の表面を荒らしておくことが望ましい。また、ビア14と配線層12との密着力を向上させるために、配線層12のメッキが施される箇所も、絶縁層13と同様にデスマリア処理等により表面を荒らしておくことが望ましい。なお、実装される半導体パッケージ20の端子ピッチが狭く、はんだショート等が懸念される場合には、配線層15を形成した後に、絶縁層13の表面にソルダーレジストを形成してもよい。

40

【0036】

以上により、曲面基板10ができる。その後、曲面基板10上にはんだボール30を介して半導体パッケージ20を実装することで、実装基板1ができる(図5(E)参照)。

50

【 0 0 3 7 】

なお、ここでは、簡略化のため配線層 1 2、1 5 の 2 層構造の例を示しているが、図 5 (A) の工程において、基材 1 1 にビルドアップ工法や一括積層工法等によって積層された多層配線基板を用いることができ、多層配線基板への展開も容易に実現できる。さらに、絶縁層 1 3 からなる台座部 1 3 a は基材 1 1 の両面に同時に形成してもよく、その際には半導体パッケージ 2 0 のパッドが平坦となるように基材 1 1 の両面に台座部 1 3 a を配することができる、半導体パッケージ 2 0 の両面実装も可能である。

【 0 0 3 8 】

次に、実施形態 1 に係る実装基板の第 2 の製造方法について図面を用いて説明する。図 6 は、本発明の実施形態 1 に係る実装基板の第 2 の製造方法を模式的に示した工程断面図

10

【 0 0 3 9 】

図 5 の第 1 の製造方法では、台座部 1 3 a を有する絶縁層 1 3 の成型と、基板全体の曲面化とを一括で行う製造方法であったが、図 6 の第 2 の製造方法では、台座部 1 3 a の成型と、基板全体の曲面化とを分けている。以下、第 2 の製造方法について説明する。

【 0 0 4 0 】

まず、基材 1 1 上に配線層 1 2 を形成する (図 6 (A) 参照) 。次に、基材 1 1 および配線層 1 2 上にシート状の絶縁層 1 3 を形成する (図 6 (B) 参照) 。なお、ここまでは図 5 (A)、(B) と同様である。

【 0 0 4 1 】

次に、プレス加工により、絶縁層 1 3 の台座部 1 3 a の成型を行う (図 6 (C) 参照) 。ここで、半導体パッケージ 2 0 が実装される台座部 1 3 a は、後工程の基板の曲面化時にパッドが平坦に配されるような曲率を持たせた形に成型される。

20

【 0 0 4 2 】

次に、絶縁層 1 3 にビア穴を形成し、その後、ビア 1 4 および配線層 1 5 を形成する (図 6 (D) 参照) 。なお、この工程は、図 5 (D) と同様である。

【 0 0 4 3 】

次に、プレス型 (図示せず) を用いて、加熱・加圧によって基板全体を曲面化する (図 6 (E) 参照) 。この工程で用いられるプレス型は、図 5 (C) に示されたプレス型 4 0 と同様なものを用いることができる。

30

【 0 0 4 4 】

以上により、曲面基板 1 0 ができる。その後、曲面基板 1 0 上にはんだボール 3 0 を介して半導体パッケージ 2 0 を実装することで、実装基板 1 ができる (図 6 (F) 参照) 。

【 0 0 4 5 】

このように、絶縁層 1 3 の成型工程と、基板全体の曲面化工程とを分けることは、曲面基板 1 0 の曲率が非常に大きい場合や基板の面積が非常に大きい場合に有用である。例えば、曲面基板 1 0 の曲率あるいは、基板面積が非常に大きい場合、図 5 (D) のように曲面基板 1 0 上に配線層 1 5 を形成する工程において、配線層 1 5 や、ビア 1 4 を形成するための設備 (例えば、配線露光器、配線用フォトリソマスク、ビアの穴開けのためのレーザ装置、また配線を形成するためのエッチング層等の本工程の関連設備) や治工具が、その曲率あるいは面積に対応している必要があるが、設備や治工具の複雑化・大型化が懸念される。一方、プリプレグの成型工程と、基板全体の曲面化工程を分ければ、配線層 1 5 やビア 1 4 の形成に関連する設備は、半導体パッケージ実装範囲の曲率のみに対応するだけでよく、従来設備での対応が容易であるというメリットを有している。

40

【 0 0 4 6 】

実施形態 1 によれば、はんだボール 3 0 が格子状に配列された一般的な半導体パッケージ 2 0 を実装する場合においても、従来の曲面基板のように曲面上に形成されたパッド部上で実装する際に生じる半導体パッケージとパッド部との間隙バラツキを抑制することができ、平面基板へ実装する際と同等のはんだ付け品質を確保できる。また、曲面基板 1 0 の曲面に合わせて半導体パッケージ 2 0 を湾曲させる必要もないことから、半導体チップ

50

20の歪による電気的な特性劣化の懸念もない。

【0047】

(実施形態2)

本発明の実施形態2に係る実装基板について図面を用いて説明する。図7は、本発明の実施形態2に係る実装基板の構成を模式的に示した断面図である。

【0048】

実施形態2に係る実装基板1は、絶縁層13において台座部13aと隣接する部位に表面が平坦な肩部13bを有し、肩部13b上の配線層15において電子部品50を実装するためのパッド部15bが形成されており、パッド部15b上に電子部品50が実装されている。肩部13bの平坦面は、曲面部位の接線と平行である。その他の構成については実施形態1と同様である。電子部品50として、例えば、抵抗、コンデンサ、コイル等のチップ部品を用いることができ、抵抗、コンデンサ、コイル等のチップ部品以外にも、BGA、CSP及びQFPに代表されるような他の半導体パッケージも実装可能である。

10

【0049】

次に、実施形態2に係る実装基板の製造方法について図面を用いて説明する。図8は、本発明の実施形態2に係る実装基板の製造方法を模式的に示した工程断面図である。

【0050】

まず、基材11上に配線層12を形成する(図8(A)参照)。次に、基材11および配線層12上にシート状の絶縁層13を形成する(図8(B)参照)。なお、ここまでは図5(A)、(B)と同様である。

20

【0051】

次に、プレス加工により、絶縁層13の台座部13aおよび肩部13bの成型と、基板の曲面成型とを一括で行い、硬化する(図8(C)参照)。ここで、肩部13bの表面を基材11の曲面への接線に近い直線を得るために、プレス型42の形状が図5(C)のプレス型40とは異なっている。

【0052】

次に、絶縁層13にビア穴を形成し、その後、ビア14および配線層15を形成する(図8(D)参照)。なお、配線層15の形成では、半導体パッケージ用のパッド部15a、および、電子部品用のパッド部15bが形成される。

【0053】

以上により、曲面基板10ができる。その後、曲面基板10上にはんだボール30を介して半導体パッケージ20を実装するとともに、電子部品50を実装することで、実装基板1ができる(図8(E)参照)。

30

【0054】

実施形態2によれば、実装基板1において、台座部13aの形状を図7に示したように肩部13bの表面を平坦にすることで、肩部13b上にも電子部品50を実装することができ、実装密度の高密度化を図ることができる。特に、コンデンサやコイルは電気特性への影響が大きいので、可能な限り半導体パッケージ20の近傍に配置することが望まれており、実施形態2に係る実装基板1の構造を採用すれば、電気特性、製品の性能が向上する。また、肩部13bの形状は、曲面への接線に近い直線であるほど平坦部の面積を広く確保でき、実装面積を最大限に活用できる。

40

【0055】

(実施形態3)

本発明の実施形態3に係る実装基板について図面を用いて説明する。図9は、本発明の実施形態3に係る実装基板の構成を模式的に示した断面図である。

【0056】

実施形態3に係る実装基板1では、絶縁層13において台座部13aに凹部13cが形成されており、台座部の上面が平坦化されているかいないかを問わず、パッド部15aが平坦に形成されている。つまり、実施形態1、2では台座部を平坦化することでパッド部の平坦化を図っているが、実施形態3ではパッド部15aの上面が平坦に配されていれば

50

台座部 13 a は必ずしも平坦である必要はない。その他の構成については実施形態 1 と同様である。

【0057】

次に、実施形態 3 に係る実装基板の製造方法について図面を用いて説明する。図 10 は、本発明の実施形態 3 に係る実装基板の製造方法を模式的に示した工程断面図である。

【0058】

まず、基材 11 上に配線層 12 を形成する（図 10 (A) 参照）。次に、基材 11 および配線層 12 上にシート状の絶縁層 13 を形成する（図 10 (B) 参照）。なお、こゝまでは図 5 (A)、(B) と同様である。

【0059】

次に、プレス加工により、絶縁層 13 の台座部 13 a および凹部 13 c の成型と、基板の曲面成型とを一括で行う（図 10 (C) 参照）。ここで、プレス型 43 には予め所望の凹凸形状が形成されている。

【0060】

次に、絶縁層 13 にビア穴を形成し、その後、ビア 14 および配線層 15 を形成する（図 10 (D) 参照）。以上により、曲面基板 10 ができる。その後、曲面基板 10 上にはんだボール 30 を介して半導体パッケージ 20 を実装することで、実装基板 1 ができる（図 10 (E) 参照）。

【0061】

実施形態 3 によれば、プレス型 43 の形状変更という非常に簡易な手段によって、パッド部 15 a 間の台座部 13 a に凹部 13 c を有する構造を実現できる。そして、凹部 13 c を有することにより、温度サイクル等の環境負荷によって、電氣的接続部、例えば、はんだ、はんだとパッドとの界面等に発生する半導体パッケージ 20 と曲面基板 10 の熱膨張係数差に起因する応力の緩和効果が期待でき、より信頼性の高い実装構造を得ることができる。

【0062】

(実施形態 4)

本発明の実施形態 4 に係る実装基板について図面を用いて説明する。図 11 は、本発明の実施形態 4 に係る実装基板の構成を模式的に示した断面図である。

【0063】

実施形態 4 に係る実装基板 1 では、絶縁層 13 の補助材料として第 2 絶縁層 16 を台座部 13 a と基材 11 の間に配設したものである。その他の構成については実施形態 1 と同様である。

【0064】

第 2 絶縁層 16 は、絶縁材料であれば特に材料は限定されるものではなく、熱硬化性の樹脂フィルム等が適用できる。また、フィルム材料の場合、第 2 絶縁層 16 には、所望の供給量となるようフィルムを積層した積層体をもちいてもよい。第 2 絶縁層 16 に用いられるより好適な材料として、熱可塑性樹脂が挙げられる。絶縁層 13 の成型時の温度域で、軟化の程度が高い熱可塑性樹脂を用いることで、台座部 13 a の成型性や基板の曲面成型性の向上が期待できる。さらに、第 2 絶縁層 16 には、加熱により熔融し、プリプレグと混じり合う材料を用いてもよく、複数の材料（例えば、熱可塑性樹脂および熱硬化性樹脂を含有したハイブリッド型樹脂）で構成されていてもよい。また、剛性が要求される場合には、第 2 絶縁層 16 には無機材料を用いてもよい。

【0065】

次に、実施形態 4 に係る実装基板の製造方法について図面を用いて説明する。図 12 は、本発明の実施形態 4 に係る実装基板の製造方法を模式的に示した工程断面図である。

【0066】

まず、基材 11 上に配線層 12 を形成する（図 12 (A) 参照）。次に、基材 11 および配線層 12 上であって台座部（図 12 (C) の 13 a）と対応する位置に第 2 絶縁層 16 を形成し、基材 11、配線層 12 および第 2 絶縁層 16 上にシート状の絶縁層 13 を形

10

20

30

40

50

成する(図12(B)参照)。次に、プレス加工により、絶縁層13の台座部13aの成型を行う(図12(C)参照)。次に、絶縁層13(及び位置に応じて第2絶縁層16)にビア穴を形成し、その後、ビア14および配線層15を形成する(図12(D)参照)。次に、プレス型(図示せず)を用いて、加熱・加圧によって基板全体を曲面化する(図12(E)参照)。その後、曲面基板10上にはんだボール30を介して半導体パッケージ20を実装することで、実装基板1ができる(図12(F)参照)。

【0067】

実施形態4によれば、台座部13aと基材11の間に第2絶縁層16を配設することで、曲面基板10の曲率が大きい場合や、実装される半導体パッケージ20のサイズが大きい場合であって、絶縁層13のみでは台座部13aを形成するのに十分な量を確保できない場合に対応することができる。

10

【0068】

(実施形態5)

本発明の実施形態5に係る実装基板について図面を用いて説明する。図13は、本発明の実施形態5に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

【0069】

実施形態1~4では曲面基板(配線基板)の製造工程内で絶縁層を利用して台座部を形成しているが、実施形態5では配線基板61の製造とは別に、絶縁層61a以外の絶縁材料によって台座部62を形成したものである。実施形態5に係る実装基板1は、曲面を有する配線基板61上に、台座部62が配され、台座部62上に配線基板61の配線層61dと電氣的に接続する配線層63が形成され、台座部62の平坦面にて配線層63に通ずるパッド部63aが形成されている。

20

【0070】

ここで、配線基板61は、一般的な製造方法によって形成された平面状の配線基板を熱プレス等の方法によって曲面加工したものをを用いることができる。配線基板61は、絶縁層61a中に配線層61bを有し、絶縁層61a上に配線層61dを有する。配線層61dは、ビア61cを介して配線層61bと電氣的に接続されている。

【0071】

台座部62は、曲面化された配線基板61上に形成される。台座部62は、絶縁材料であれば、有機材料である樹脂材料、ガラス等の無機材料、又はフィラーを含有した樹脂材料を用いることができ、予め図13のような形状に樹脂成型や切削成型などの方法によって加工されたものを接着させてもよく、ペースト状あるいは液状の材料を印刷して硬化、あるいはモールドング方法等により硬化させて形成してもよい。

30

【0072】

配線層63は、パッド部63aを有し、配線基板61の配線層61dと電氣的に接続されるよう台座部62上に形成される。パッド部63aは、台座部62の平坦面上に形成される。配線層63の形成は、導電性ペーストを印刷やインクジェット方式によって描画させたのち、硬化させるという方法を用いることができる。パッド部63aは、はんだボール30を介して半導体パッケージ20の外部端子21と電氣的に接続される。

40

【0073】

実施形態5によれば、配線基板61の製造工程において曲面状態で配線形成や積層を行う必要がないことから、配線基板61製造工程については従来設備や従来方法によって製造した平面状の配線基板を流用できる。

【0074】

(実施形態6)

本発明の実施形態6に係る実装基板について図面を用いて説明する。図14は、本発明の実施形態6に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装

50

基板に関するものである。

【 0 0 7 5 】

実施形態 6 に係る実装基板 1 では、台座部 6 2 内に電子部品 5 0 を内蔵されている。その他の構成は実施形態 5 と同様である。台座部 6 2 は、曲面化された配線基板 6 1 上に予め他の電子部品 5 0 (例えば、チップ抵抗、チップコンデンサ、チップコイルなど)を実装しておき、後加工によって形成される。

【 0 0 7 6 】

実施形態 6 によれば、台座部 6 2 内に電子部品 5 0 を内蔵することで、部品実装の高密度化が図れ、最終製品の小型化、薄型化に貢献できる。また、特に半導体パッケージ 2 0 のノイズ除去目的で必要となるコンデンサは、半導体パッケージに電気的な距離が近ければ近いほど、その効果が大きくなることから、電気的な特性面でも大幅な性能向上が期待でき、高速な半導体アプリケーションなどへの適用範囲が広がるという効果も得られる。

【 0 0 7 7 】

(実施形態 7)

本発明の実施形態 7 に係る実装基板について図面を用いて説明する。図 1 5 は、本発明の実施形態 7 に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

【 0 0 7 8 】

実施形態 7 に係る実装基板 1 では、台座部 6 2 内に半導体パッケージ 2 0 を実装している。製造方法としては、曲面化された配線基板 6 1 上に半導体パッケージ 2 0 の外部端子 2 1 が基板面と反対側になるようにして配置しておき、ペースト状あるいは液状の絶縁材料を印刷して硬化させて台座部 6 2 を形成し、半導体パッケージ 2 0 および台座部 6 2 上に導電性ペーストを印刷やインクジェット方式によって配線層 6 3 を形成して硬化させて形成する。なお、配線層 6 3 は、配線基板 6 1 の配線層 6 1 d、及び、半導体パッケージ 2 0 の外部端子 2 1 と電気的に接続されるよう台座部 6 2 および半導体パッケージ 2 0 上に形成される。

【 0 0 7 9 】

このように、台座部 6 2 内に半導体パッケージ 2 0 を内蔵した構成にすることで、半導体パッケージ 2 0 の実装占有体積の最小化が図れ、最終製品の小型化、薄型化に大きく貢献できる。

【 0 0 8 0 】

(実施形態 8)

本発明の実施形態 8 に係る実装基板について図面を用いて説明する。図 1 6 は、本発明の実施形態 8 に係る実装基板の構成を模式的に示した断面図であり、(A)は凸面側に半導体パッケージを実装した実装基板、(B)は凹面側に半導体パッケージを実装した実装基板に関するものである。

【 0 0 8 1 】

実施形態 8 に係る実装基板 1 では、半導体パッケージ 2 0 が台座部 6 2 内に配置され、半導体パッケージ 2 0 の外部端子 2 1 上に配線層 6 3 を介して電子部品 5 0 が実装されている。その他の構成は実施形態 7 と同様である。

【 0 0 8 2 】

実施形態 8 によれば、より実装エリアを有効活用した高密度実装構造を得ることができる。

【 0 0 8 3 】

以上説明した通り、曲面で構成された電子機器の筐体内の部品配置効率に優れる筐体曲面に合わせた曲面基板の実装構造が実現できることから、デザイン性が重要視される電子機器への本構造の適用によって製品の付加価値を高めることができる。特に小型・薄型化が要求される携帯電話、デジタルスチルカメラ、PDA(Personal Digital Assistant)、ノート型パーソナルコンピュータ等の携帯機器への適用が有用である。

10

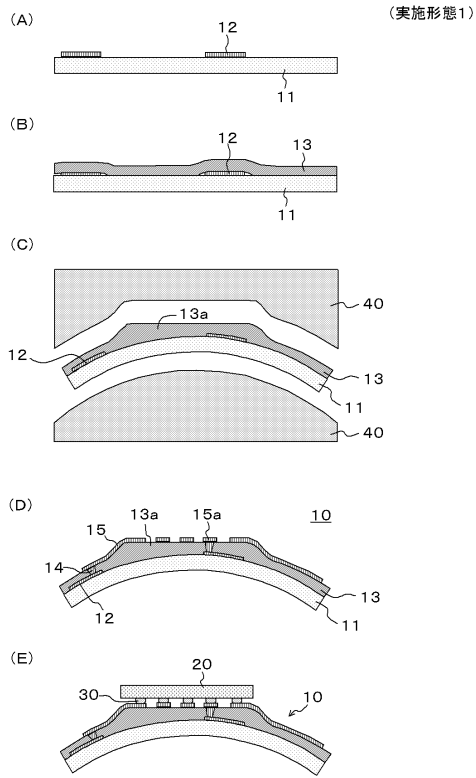
20

30

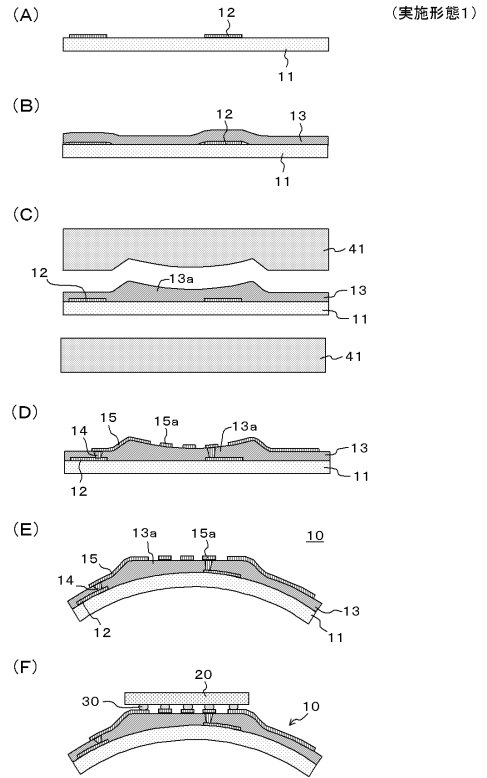
40

50

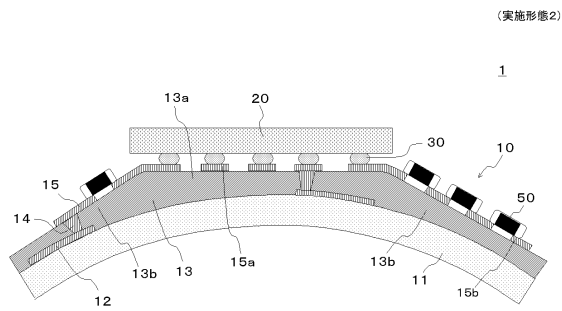
【図5】



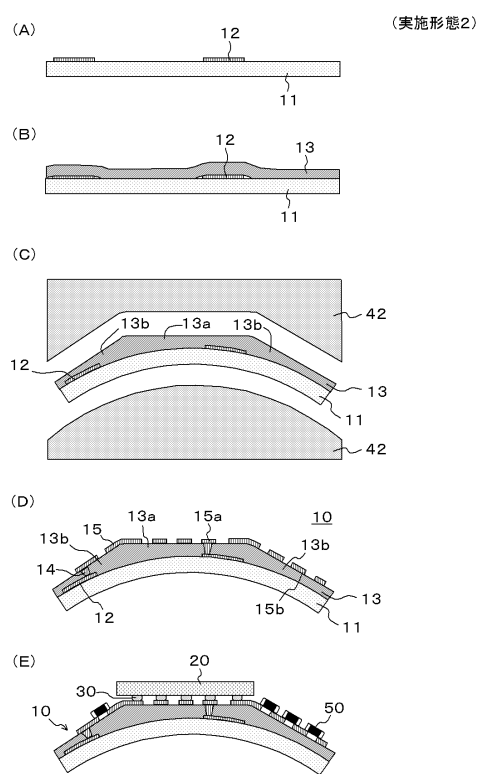
【図6】



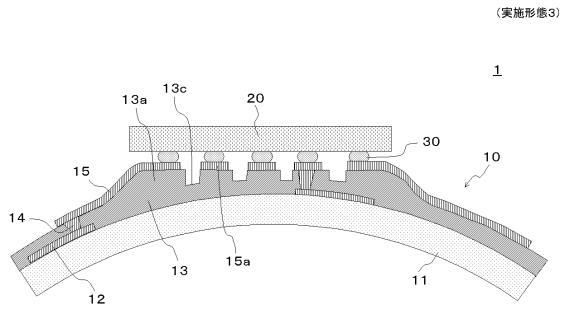
【図7】



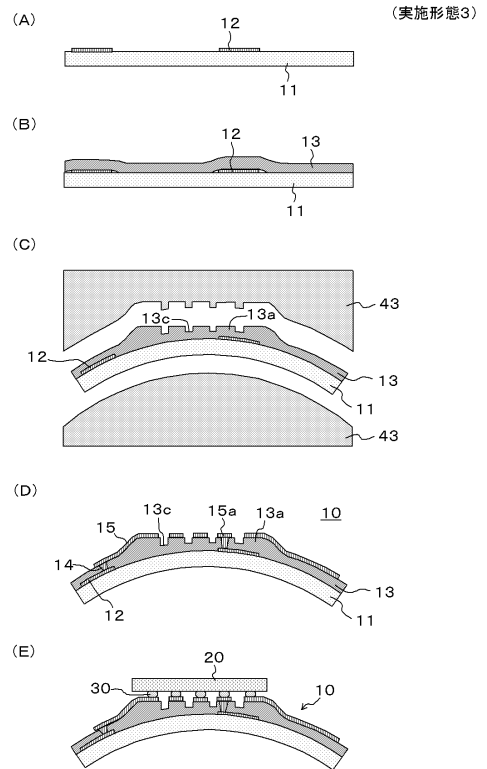
【図8】



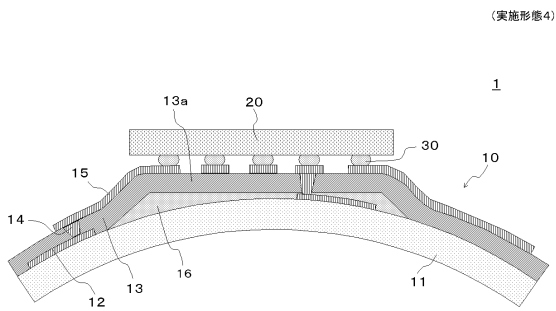
【図9】



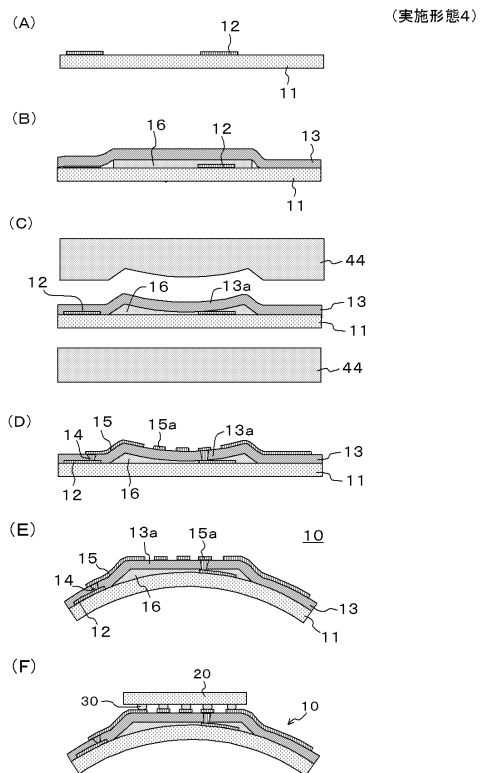
【図10】



【図11】

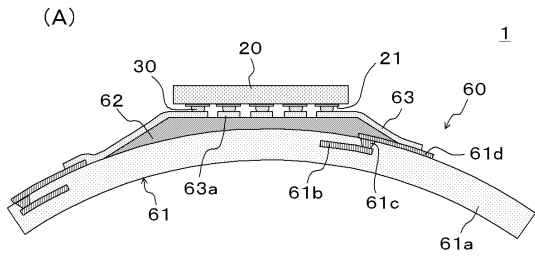


【図12】

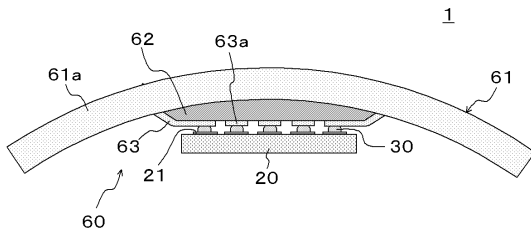


【図13】

(実施形態5)

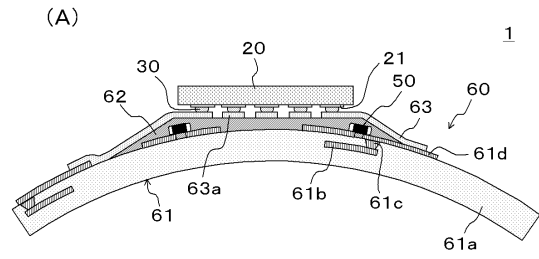


(B)

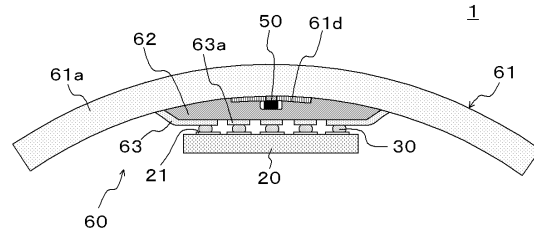


【図14】

(実施形態6)

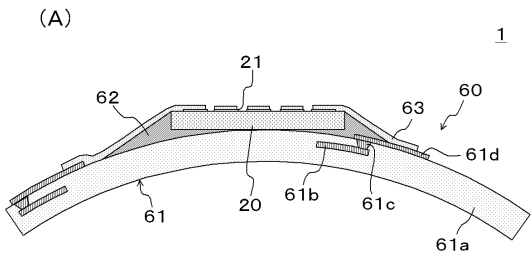


(B)

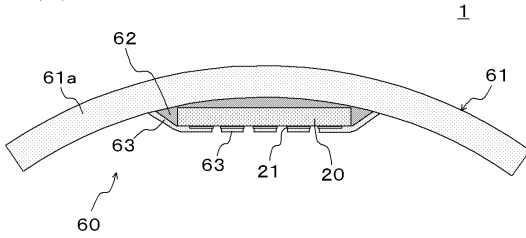


【図15】

(実施形態7)

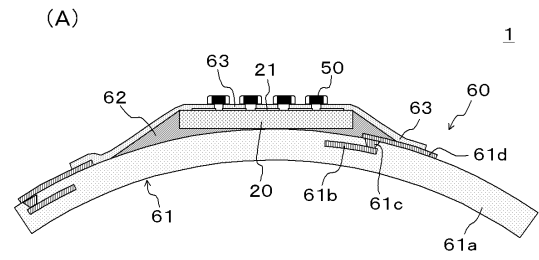


(B)

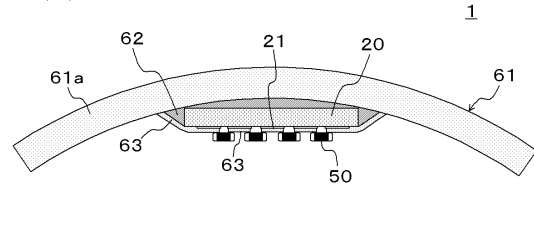


【図16】

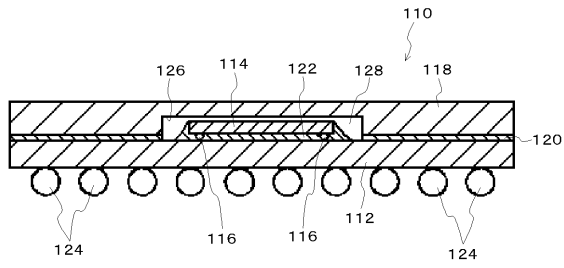
(実施形態8)



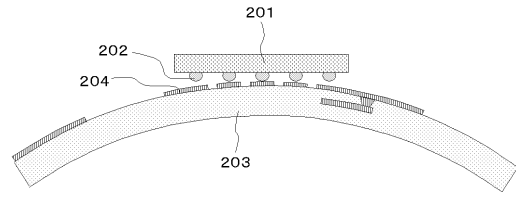
(B)



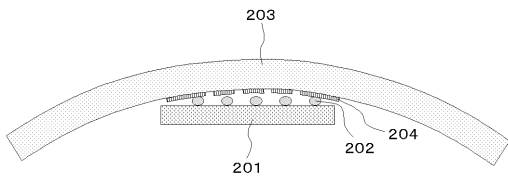
【図 17】



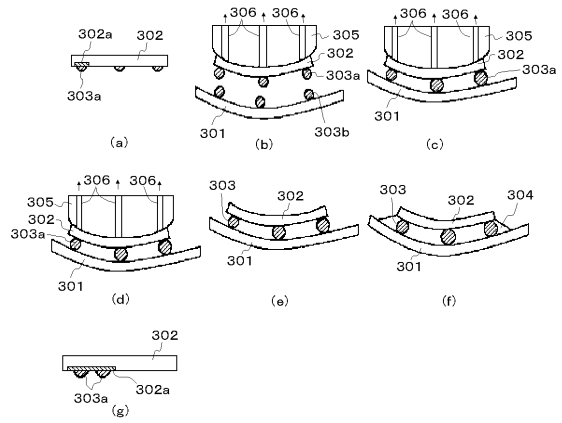
【図 18】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 藤井 健一郎
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 阿部 勝巳
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 澤田 篤昌
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 平田 信勝

- (56)参考文献 特開平05-291428(JP,A)
国際公開第98/032170(WO,A1)
特開平06-334279(JP,A)
特開2003-133693(JP,A)
特公平04-066117(JP,B2)
特開平09-186042(JP,A)
特開平01-289186(JP,A)
特開2005-117073(JP,A)
特開平06-168985(JP,A)
特開平07-221433(JP,A)
特開平05-110255(JP,A)
特開2002-353595(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/18
H05K 1/02
H05K 3/46