



(12) 发明专利申请

(10) 申请公布号 CN 112992852 A

(43) 申请公布日 2021.06.18

(21) 申请号 202011386134.3

(22) 申请日 2020.12.01

(30) 优先权数据

16/700,485 2019.12.02 US

(71) 申请人 瑞萨电子株式会社

地址 日本东京都

(72) 发明人 久保俊次 安藤公一 井尾英治

田岛英幸 饭田哲也

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 李辉

(51) Int. Cl.

H01L 23/522 (2006.01)

H01L 27/06 (2006.01)

H01L 23/367 (2006.01)

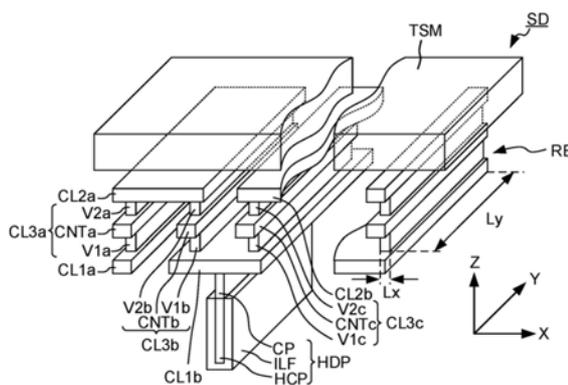
权利要求书2页 说明书10页 附图8页

(54) 发明名称

半导体器件

(57) 摘要

本公开涉及一种半导体器件。该半导体器件包括基座构件、多层布线层和第一电阻元件。多层布线层被形成在基座构件上。第一电阻元件被形成在多层布线层中。第一电阻元件包括第一导电部分、第二导电部分和第三导电部分。第二导电部分被形成在第一导电部分之上。第三导电部分将第一导电部分和第二导电部分彼此电连接。第三导电部分在沿基座构件的表面的第一方向上的长度,大于第三导电部分在沿基座构件的表面的第二方向上的长度,并且第二方向垂直于第一方向。



1. 一种半导体器件,包括:
基座构件;
多层布线层,形成在所述基座构件上;以及
第一电阻元件,形成在所述多层布线层中,
其中所述第一电阻元件包括:
第一导电部分;
第二导电部分,形成在所述第一导电部分之上;以及
第三导电部分,将所述第一导电部分和所述第二导电部分彼此电连接,并且
其中所述第三导电部分在沿所述基座构件的表面的第一方向上的长度大于所述第三导电部分在沿所述基座构件的所述表面的第二方向上的长度,并且所述第二方向垂直于所述第一方向。
2. 根据权利要求1所述的半导体器件,包括散热部分;
其中所述散热部分的一部分被形成在所述多层布线层中,并且
其中所述散热部分的其余部分被形成在所述基座构件中。
3. 根据权利要求2所述的半导体器件,
其中所述散热部分包括:
第一绝缘膜,形成在凹陷部分的底表面和侧表面上,所述凹陷部分形成在所述基座构件的所述表面上;
第一热传导部分,形成在所述第一绝缘膜上,使得所述第一热传导部分掩埋所述凹陷部分。
4. 根据权利要求3所述的半导体器件,
其中所述散热部分包括第一耦合部分,所述第一耦合部分形成在所述多层布线层中,使得所述第一耦合部分将所述第一电阻元件和所述第一热传导部分彼此连接。
5. 根据权利要求3所述的半导体器件,
其中所述散热部分包括第二热传导部分,所述第二热传导部分形成在所述多层布线层中,使得所述第二热传导部分与所述第一电阻元件间隔开、并且与所述第一热传导部分连接。
6. 根据权利要求5的半导体器件,
其中所述第二热传导部分在截面图中沿所述第三导电部分延伸。
7. 根据权利要求5的半导体器件,
其中所述第二热传导部分的一个端部部分在沿所述基座构件的所述表面的所述第二方向上,面对所述第一电阻元件的一部分,以及
其中所述第二热传导部分的所述一个端部部分在垂直于所述基座构件的所述表面的方向上,面对所述第一电阻元件的另一部分。
8. 根据权利要求5所述的半导体器件,
其中所述第二热传导部分的一个端部部分在沿所述基座构件的所述表面的方向上,面对所述第一导电部分和所述第三导电部分,以及
其中所述第二热传导部分的所述一个端部部分在垂直于所述基座构件的所述表面的方向上,面对所述第二导电部分。

9. 根据权利要求1的半导体器件，
其中所述基座构件包括：
半导体衬底；以及
半导体层，形成在所述半导体衬底的表面上，并且
其中所述散热部分穿透所述半导体层，使得所述散热部分到达所述半导体衬底。
10. 根据权利要求9所述的半导体器件，
其中所述半导体层包括：
第一外延层，具有第一导电类型；
第一掩埋层，形成在所述第一外延层上并且具有第二导电类型，所述第二导电类型与
所述第一导电类型相反；以及
第二外延层，形成在所述第一掩埋层上并且具有所述第一导电类型。
11. 根据权利要求1的半导体器件，
其中所述多层布线层包括：
保护层，形成在所述多层布线层的最上层中；以及
热应力减轻部分，形成在所述电阻元件与所述保护层之间，并且
其中所述热应力减轻部分在平面图中与所述第一电阻元件重叠。
12. 根据权利要求1所述的半导体器件，包括：
第一区域，第一晶体管被形成在所述第一区域中；以及
第二区域，第二晶体管被形成在所述第二区域中，
其中在平面图中，所述第一电阻元件被形成在所述第一区域与所述第二区域之间。
13. 根据权利要求1所述的半导体器件，包括形成在所述多层布线层中的第二电阻元
件，
其中所述第二电阻元件包括：
第四导电部分；
第五导电部分，形成在所述第四导电部分之上；以及
第六导电部分，将所述第四导电部分和所述第五导电部分彼此电连接，以及
其中所述第六导电部分在所述第一方向上的长度小于所述第六导电部分在所述第二
方向上的长度。
14. 根据权利要求1所述的半导体器件，包括形成在所述多层布线层中的第三电阻元
件，
其中所述第三电阻元件包括：
第七导电部分；
第八导电部分，形成在所述第七导电部分之上；以及
第九导电部分，将所述第七导电部分和所述第八导电部分彼此电连接，
其中所述第七导电部分、所述第八导电部分和所述第九导电部分在平面图中的所述第
一方向上延伸，以及
其中在平面图中，所述第一导电部分邻近所述第八导电部分。

半导体器件

技术领域

[0001] 本发明涉及一种半导体器件,例如包括形成在多层布线层中的电阻元件的半导体器件。

背景技术

[0002] 下面列出了一种公开的技术。

[0003] [专利文献1]日本未审查专利申请公开No.2019-009345

[0004] 已知包括电阻元件的半导体器件(例如,参见专利文献1)。专利文献1中公开的半导体器件包括半导体衬底和形成在该半导体衬底上的布线层。电阻元件被形成在布线层上。电阻元件由第一导电部分、第二导电部分以及层间导电部分的重复图案组成,该层间导电部分连接第一导电部分和第二导电部分。在沿半导体衬底的截面图中,层间导电部分的截面形状(下文中也被称为“通孔”)为大致圆形。

[0005] 在专利文献1中描述的半导体器件的电阻元件中,如果流过电阻元件的电流太大,则构成通孔的金属原子移动,并且在通孔中出现缺陷,即,在某些情况下所谓的电迁移发生。因此,电阻元件的特性劣化。如上所述,在常规的半导体器件中,从提高半导体器件的可靠性的角度出发,存在改进的空间。

[0006] 实施例的问题是提高半导体器件的可靠性。根据说明书和附图的描述,其他问题和新颖特征将变得清楚。

发明内容

[0007] 根据实施例的半导体器件包括基座构件、多层布线层和第一电阻元件。第一电阻元件被形成在多层布线层中。第一电阻元件包括第一导电部分、第二导电部分和第三导电部分。第二导电部分形成在第一导电部分之上。第三导电部分将第一导电部分和第二导电部分彼此电连接。第三导电部分在沿基座构件的表面的第一方向上的长度,大于第三导电部分在沿基座构件的表面的第二方向上的长度,并且第二方向垂直于第一方向。

[0008] 根据实施例,可以改善半导体器件的特性。

附图说明

[0009] 图1是示出根据实施例的半导体器件的示例性电路配置的电路图;

[0010] 图2是示出根据实施例的半导体器件的示例性配置的平面图;

[0011] 图3是示出根据实施例的半导体器件的主要部分的示例性配置的透视图;

[0012] 图4是示出根据实施例的半导体器件的主要部分的示例性配置的截面图;

[0013] 图5是示出根据实施例的半导体器件的制造方法中包括的示例性步骤的截面图;

[0014] 图6是示出根据实施例的半导体器件的制造方法中包括的示例性步骤的截面图;

[0015] 图7是示出根据实施例的半导体器件的制造方法中包括的示例性步骤的截面图;

[0016] 图8是示出根据实施例的第一修改的半导体器件的主要部分的示例性配置的透视图

图；

[0017] 图9是示出根据实施例的第一修改的半导体器件的主要部分的示例性配置的截面图；

[0018] 图10是示出根据实施例的第二修改的半导体器件的主要部分的示例性配置的透视图；以及

[0019] 图11是示出根据实施例的第三修改的半导体器件的主要部分的示例性配置的透视图。

具体实施方式

[0020] 在下文中,将通过参考附图详细描述根据实施例的半导体器件。在说明书和附图中,相同或相应的元素由相同的附图标记或剖面线表示,并且省略其重复描述。在附图中,为了便于描述,可以省略或简化配置。截面图可以被示出为端视图。实施例中的至少一些和每个修改可以彼此被任意地组合。

[0021] (半导体器件的电路配置)

[0022] 图1是示出根据本实施例的半导体器件SD的示例性电路配置的电路图。

[0023] 如图1所示,半导体器件SD包括控制电路CTR、高压侧晶体管HTr、低压侧晶体管LTr、电阻元件RE和检测电路DT。半导体器件SD经由端子T1和端子T2与负载LD耦合。

[0024] 控制电路CTR与高压侧晶体管HTr、低压侧晶体管LTr和检测电路DT耦合。控制电路CTR控制高压侧晶体管HTr和低压侧晶体管LTr的操作。控制电路CTR基于从检测电路DT接收的信号来控制高压侧晶体管HTr和低压侧晶体管LTr的操作。控制电路CTR包括例如反馈电路。

[0025] 高压侧晶体管HTr耦合在电源线Vdd与地线GND之间。高压侧晶体管HTr经由端子T3与电源线Vdd耦合。与低压侧晶体管LTr相比,高压侧晶体管HTr更靠近地电耦合到电源电位Vdd。高压侧晶体管HTr控制电源线Vdd与电阻元件RE之间的连接状态。

[0026] 低压侧晶体管LTr耦合在电源线Vdd与地线GND之间。低压侧晶体管LTr经由端子T4耦合到地线GND。与高压侧晶体管HTr相比,低压侧晶体管LTr更靠近地电耦合到接地电位GND。高压侧晶体管HTr控制地线GND与电阻元件RE之间的连接状态。

[0027] 电阻元件RE通常与高压侧晶体管HTr和低压侧晶体管LTr耦合。电阻元件RE耦合在高压侧晶体管HTr与负载LD之间。电阻元件RE耦合在低压侧晶体管LTr与负载LD之间。

[0028] 检测电路DT与电阻元件RE的一端以及电阻元件RE的另一端耦合。检测电路DT检测流过电阻元件RE的电流。例如,检测电路DT基于电阻元件RE的一端与电阻元件RE的另一端之间的电位差(电压降)来检测电流。对检测电路DT的配置没有特别限制,只要展现出上述功能即可。检测电路DT包括例如放大电路和A/D转换电路。

[0029] 负载LD耦合在电阻元件RE与地线GND之间。对负载LD没有特别限制。例如,负载LD是构成螺线管线圈的线圈。在本实施例中,负载LD是线圈。

[0030] 在此,将描述半导体器件SD的示例性操作。

[0031] 首先,控制电路CTR将高压侧晶体管HTr控制为导通状态,并且将低压侧晶体管LTr控制为截止状态。因此,电源电位经由高压侧晶体管HTr从电源线Vdd被提供给电阻元件RE和负载LD。即,正向方向上的电流流过电阻元件RE和负载LD。此时,在电阻元件RE中出现电

压降。检测电路DT检测到电压降并且生成与流过电阻元件RE的电流相对应的反馈信号。反馈信号被传输到控制电路CTR。控制电路CTR基于所接收的反馈信号来控制高压侧晶体管HTr和低压侧晶体管LTr的操作。

[0032] 例如,控制电路CTR将高压侧晶体管HTr控制为截止状态,并且将低压侧晶体管LTr控制为导通状态。因此,接地电位经由低压侧晶体管LTr从地线GND被提供给电阻元件RE和负载LD。即,正向方向上的电流流过电阻元件RE和负载LD。同样,在这种情况下,在电阻元件RE中出现电压降。如上所述,检测电路DT检测到电压降并且将反馈信号传输到控制电路CTR。

[0033] [半导体器件的配置]

[0034] 图2是示出根据本实施例的半导体器件SD的示例性配置的平面图。图2示出了用于实现半导体器件SD的电路配置的半导体器件SD的配置的示例性布局。

[0035] 如图2所示,半导体器件SD包括高压侧区域HSR、低压侧区域LSR、电阻元件区域RER、控制电路区域CTRR和检测电路区域DTR。

[0036] 高压侧区域HSR是其中形成有高压侧晶体管HTr的区域。对高压侧晶体管HTr的类型没有特别限制。例如,高压侧晶体管HTr是横向扩散的金属氧化物半导体(LDMOS)。

[0037] 低压侧区域LSR是其中形成有低压侧晶体管LTr的区域。对低压侧晶体管LTr的类型没有特别限制。例如,低压侧晶体管LTr是LDMOS。

[0038] 电阻元件区域RER是其中形成有用于电流检测的电阻元件RE的区域。对电阻元件区域RER的位置没有特别限制。在平面图中,电阻元件区域RER优选地位于高压侧区域HSR与低压侧区域LSR之间。因此,高压侧区域HSR与低压侧区域LSR之间的区域得以有效利用。因此,可以使半导体器件SD小型化。另外,由于电阻元件RE形成在高压侧晶体管HTr和低压侧晶体管LTr附近,所以降低了寄生电阻,并且提高了由电阻元件RE进行的电流检测的准确度。

[0039] 控制电路区域CTRR是其中形成有控制电路CTR的区域。对控制电路区域CTRR的位置没有特别限制。在本实施例中,控制电路区域CTRR被形成为使得,控制电路区域CTRR在平面图中与高压侧区域HSR的一侧和电阻元件区域RER的一侧的一部分相邻。

[0040] 检测电路区域DTR是其中形成有检测电路DT的区域。对检测电路区域DTR的位置没有特别限制。在本实施例中,检测电路区域DTR被形成为使得,检测电路区域DTR在平面图中与低压侧区域LSR的一侧和电阻元件区域RER的一侧的另一部分相邻。

[0041] (半导体器件的主要部分的配置)

[0042] 在此,将详细描述半导体器件SD的主要部分的配置。

[0043] 图3是示出半导体器件SD的主要部分的示例性配置的透视图。

[0044] 图4是示出半导体器件SD的主要部分的示例性配置的截面图。图4是沿图2中的线A-A截取的截面图。注意,在图3中,从易于观察的角度出发,省略了基座构件BM和多层布线层MWL。

[0045] 半导体器件SD包括基座构件BM、多层布线层MWL、散热部分HDP、电阻元件RE和热应力减轻部分TSM。

[0046] 基座构件BM包括半导体衬底SS和半导体层SL。基座构件BM支撑多层布线层MWL。散热部分HDP的一部分形成在基座构件BM中。在基座构件BM上形成有凹陷部分RP。更具体地,

凹陷部分RP穿透半导体层SL使得凹陷部分RP在基座构件BM的厚度方向上到达半导体衬底SS。散热部分HDP的一部分形成在凹陷部分RP中。因此,散热部分HDP的一部分的形状、尺寸和位置得以限定。

[0047] 半导体衬底SS是例如包含p型杂质的p型半导体衬底或包含n型杂质的n型半导体衬底。p型杂质的示例包括硼(B)和铝(Al)。n型杂质的示例包括砷(As)和磷(P)。

[0048] 半导体层SL包括第一p型外延层PE1、n型掩埋层NBL、p型掩埋层PBL和第二p型外延层PE2。第一p型外延层PE1、n型掩埋层NBL、p型掩埋层PBL和第二p型外延层PE2从半导体衬底SS侧开始依次形成。半导体层SL形成在半导体衬底SS上。n型掩埋层NBL和p型掩埋层PBL不是必需的构成元件。从半导体衬底SS与在半导体层SL中的n型掩埋层NBL和p型掩埋层PBL之上所形成的半导体元件之间的电绝缘的角度出发,半导体层SL优选地包括n型掩埋层NBL或p型掩埋层PBL。

[0049] 第一p型外延层PE1是形成在半导体衬底SS的表面上的外延层。第一p型外延层PE1包含p型杂质。第一p型外延层PE1的杂质浓度例如为 $1 \times 10^{13} \text{cm}^{-3}$ 以上且 $1 \times 10^{19} \text{cm}^{-3}$ 以下,优选地为 $1 \times 10^{13} \text{cm}^{-3}$ 以上且 $1 \times 10^{16} \text{cm}^{-3}$ 以下。

[0050] n型掩埋层NBL形成在第一p型外延层PE1的一部分或全部上。n型杂质的示例包括磷(P)、砷(As)和锑(Sb)。n型掩埋层NBL的杂质浓度例如为 $1 \times 10^{13} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。

[0051] p型掩埋层PBL例如形成在n型掩埋层NBL的一部分或全部上。p型掩埋层PBL的杂质浓度例如为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下,优选地为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。

[0052] 第二p型外延层PE2是形成在p型掩埋层PBL上的外延层。在其中n型掩埋层NBL和p型掩埋层PBL未被形成的部分中,第二p型外延层PE2形成在第一p型外延层PE1上。第二p型外延层PE2包含p型杂质。第二p型外延层PE2的杂质浓度例如为 $1 \times 10^{13} \text{cm}^{-3}$ 以上且 $1 \times 10^{19} \text{cm}^{-3}$ 以下,优选地为 $1 \times 10^{13} \text{cm}^{-3}$ 以上且 $1 \times 10^{16} \text{cm}^{-3}$ 以下。

[0053] 多层布线层MWL形成在基座构件BM上使得多层布线层MWL覆盖形成在基座构件BM上的半导体元件。多层布线层MWL由两个或多个布线层构成。布线层是包括层间绝缘层以及形成在层间绝缘层中的布线和通孔中的一者或两者的层。通孔是电连接在彼此不同的层中所形成的两个布线的传导构件。

[0054] 如图4所示,多层布线层MWL包括第一层间绝缘层IIL1、第一布线WR1、第二层间绝缘层IIL2、第一通孔V1、第二布线WR2、第三层间绝缘层IIL3、第二通孔V2、第三布线WR3、第四层间多层布线层IIL4、第五层间绝缘层IIL5和保护层PL。如稍后将详细描述,散热部分HDP的一部分、电阻元件RE和热应力减轻部分TSM形成在多层布线层MWL中。

[0055] 第一层间绝缘层IIL1、第二层间绝缘层IIL2、第三层间绝缘层IIL3、第四层间绝缘层IIL4和第五层间绝缘层IIL5依次形成在基座构件BM上。第一层间绝缘层IIL1、第二层间绝缘层IIL2、第三层间绝缘层IIL3、第四层间绝缘层IIL4和第五层间绝缘层IIL5中的每个层间绝缘层的材料的示例包括氧化硅。对第一层间绝缘层IIL1、第二层间绝缘层IIL2、第三层间绝缘层IIL3、第四层间绝缘层IIL4和第五层间绝缘层IIL5中的每个层间绝缘层的厚度没有特别限制。

[0056] 第一布线WR1形成在第一层间绝缘层IIL1上。对于第一布线WR1,可以采用在半导

体技术中被用作布线的公知配置。第一布线WR1例如是堆叠膜,在该堆叠膜中,阻挡金属、导电膜和阻挡金属依次层叠。阻挡金属的材料示例包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)。导电膜的材料示例包括铝、铜和钨。

[0057] 第一通孔V1形成在第二层间绝缘层IIL2中使得第一通孔V1到达第一布线WR1。在沿基座构件BM的表面的截面中,第一通孔V1的截面形状为大致圆形。作为第一通孔V1的配置,可以采用在半导体技术中被用作通孔的已知配置。第一通孔V1包括例如阻挡膜和形成在阻挡膜上的导电膜。阻挡膜的材料示例包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)。导电膜的材料例如是钨(W)、铝(Al)或铜(Cu)。

[0058] 第二布线WR2和第三布线WR3类似于布线WR1,不同之处在于在多层布线层MWL中所形成的位置。第二通孔V2也类似于第一通孔V1,不同之处在于在多层布线层MWL中所形成的位置。

[0059] 保护层PL是保护半导体器件SD免受外部湿气等影响的层。保护层PL形成在第五层间绝缘层IIL5上。在多层布线层MWL内,保护层PL形成在多层布线层MWL的最上层中。保护层PL可以是单层膜或两个或多个层的堆叠膜。保护层PL的示例包括氧化硅膜、氮氧化硅膜、氮化硅膜、磷硅玻璃(PSG)膜和这些膜的堆叠膜。保护层PL的厚度例如为1.0 μm 以上且2.0 μm 以下,优选地为1.5 μm 左右。

[0060] 在多层布线层MWL中,形成有散热部分HDP的一部分、电阻元件RE和热应力减轻部分TSM。在基座构件BM中,形成有散热部分HDP的其余部分。这些元件的细节将在下面描述。

[0061] 散热部分HDP具有绝缘膜ILF、热传导部分HCP和耦合部分CP。散热部分HDP被配置为将在电阻元件RE中生成的热传递到多层布线层MWL外部。例如,散热部分HDP的一部分可以形成在多层布线层MWL中,并且散热部分HDP的另一部分可以从多层布线层MWL露出。在本实施例中,散热部分HDP的一部分形成在多层布线层MWL中,并且散热部分HDP的其余部分形成在基座构件BM中。由此,在电阻元件RE中生成的热经由散热部分HDP被传递到基座构件BM。

[0062] 绝缘膜ILF形成凹陷部分RP的底面和侧面上,凹陷部分RP形成在基座构件BM的表面上。绝缘膜ILF抑制了热传导部分HCP和基座构件BM彼此的短路。对绝缘膜ILF的厚度没有特别限制,只要能够获得上述功能即可。绝缘膜ILF的厚度例如为0.1 μm 左右。绝缘膜ILF的材料例如是氧化硅。

[0063] 热传导部分HCP形成在绝缘膜ILF上使得热传导部分HCP填充凹陷部分RP的内部。热传导部分HCP由具有导热性的材料制成。从提高导热性的角度出发,热传导部分HCP的材料示例优选地包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)以及钨(W)。

[0064] 从提高散热性的角度出发,热传导部分HCP的尺寸优选较大。热传导部分HCP优选地到达p型掩埋层PBL,更优选地到达n型掩埋层NBL,还更优选地到达第一p型外延层PE1,并且还更优选地到达基座构件BM的半导体衬底SS。

[0065] 从提高散热性的角度出发,热传导部分HCP的形状优选地为板状。即,热传导部分HCP在Y方向上的长度优选地大于热传导部分HCP在X方向上的长度。热传导部分HCP在Y方向上的长度优选地大于电阻元件RE在Y方向上的长度。在本实施例中,热传导部分HCP在Y方向上的长度与电阻元件RE在Y方向上的长度大致相同。

[0066] 在本说明书中,“Y方向”是沿基座构件BM的表面(上表面、主表面)的第一方向。Y方

向也是在平面图中第三导电部分CL3a(稍后描述)的长边延伸的方向。“X方向”是在平面图中垂直于Y方向的第二方向。Y方向也是在平面图中第三导电部分CL3a(稍后描述)的短边延伸的方向。“Z方向”是多层布线层MWL的厚度方向。X方向、Y方向和Z方向彼此正交。

[0067] 耦合部分CP形成在第一层绝缘层IIL1中使得耦合部分CP与电阻元件RE直接接触。从提高散热部分HDP的散热性的角度出发,优选地,耦合部分CP与电阻元件RE直接接触。耦合部分CP由具有导热性的材料制成。耦合部分CP可以具有例如与形成在第一层绝缘层IIL1中的通孔(未示出)相同的配置,或者可以具有不同的配置。耦合部分CP包括例如阻挡膜和形成在阻挡膜上的导电膜。阻挡膜的材料示例包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)。导电膜的材料例如是钨(W)、铝(Al)或铜(Cu)。

[0068] 从提高散热性的角度出发,优选地,耦合部分CP的形状为所谓的狭缝状。即,耦合部分CP在Y方向上的长度优选地大于耦合部分CP在X方向上的长度。在本实施例中,耦合部分CP在Y方向上的长度与第一导电部分CL1b在Y方向上的长度大约相同。

[0069] 电阻元件RE形成在多层布线层MWL中。对电阻元件RE的使用没有特别限制。在本实施例中,电阻元件RE是所谓的感测电阻器,该感测电阻器被用于在检测半导体器件SD中的期望位置处的电流。

[0070] 电阻元件RE包括第一导电部分CL1a、CL1b、第二导电部分CL2a、CL2b和第三导电部分CL3a、CL3b、CL3c。第一导电部分CL1a、第三导电部分CL3a、第二导电部分CL2a、第三导电部分CL3b、第一导电部分CL1b、第三导电部分CL3c和第二导电部分CL2b按顺序彼此连接。

[0071] 构成电阻元件RE的第一导电部分、第二导电部分和第三导电部分的数目根据期望的电阻值而被适当地调节。第一导电部分CL1a和第一导电部分CL1b彼此相似,不同之处在于位置和尺寸。第二导电部分CL2a和第二导电部分CL2b也彼此相似,不同之处在于位置。第三导电部分CL3a、第三导电部分CL3b和第三导电部分CL3c也彼此相似,不同之处在于位置。从省略重复描述的角度出发,下面将仅描述第一导电部分CL1a、第二导电部分CL2a和第三导电部分CL3a。

[0072] 第一导电部分CL1a形成在多层布线层MWL中。第一导电部分CL1a形成在与在多层布线层MWL中形成有第一布线WR1的层相同的层中。在本实施例中,第一导电部分CL1a形成在第一层绝缘层IIL1上。

[0073] 第一导电部分CL1a的形状、尺寸和材料根据期望的电阻值和占用面积而被适当地调节。第一导电部分CL1a在Y方向上的长度优选地大于第一导电部分CL1a在X方向上的长度。

[0074] 第一导电部分CL1a可以具有例如与形成在同一层中的第一布线WR1相同的配置,或者可以具有不同的配置。第一导电部分CL1a例如是其中阻挡膜、导电膜和阻挡膜依次堆叠的堆叠膜。阻挡膜的材料示例包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)。导电膜的材料示例包括铝、铜和钨。在本实施例中,第一导电部分CL1a是铝布线。

[0075] 第二导电部分CL2a形成在多层布线层MWL中。第二导电部分CL2a形成在多层布线层MWL中的与形成有第三布线WR3的层相同的层中。在本实施例中,第二导电部分CL2a形成在第三层绝缘层IIL3上。

[0076] 另外,第二导电部分CL2a形成在第一导电部分CL1a之上。即,第二导电部分CL2a在Z方向上与基座构件BM的表面之间的距离,大于第一导电部分CL1a在Z方向上与基座构件BM

的表面之间的距离。在平面图中,第二导电部分CL2a的一部分被形成为使得该部分与第一导电部分CL1a的一部分重叠。优选地,在平面图中,第二导电部分CL2a沿第一导电部分CL1a形成。

[0077] 第二导电部分CL2a的形状、尺寸和材料根据期望的电阻值和占用面积而被适当地调节。第二导电部分CL2a的形状、尺寸和材料可以分别与第一导电部分CL1a的形状、尺寸和材料相同或不同。在本实施例中,第二导电部分CL2a在X方向上的长度大于第一导电部分CL1a在X方向上的长度,并且第二导电部分CL2a在X方向上的长度与第一导电部分CL1b在X方向上的长度大约相同。

[0078] 第三导电部分CL3a形成在多层布线层MWL中的第一导电部分CL1a与第二导电部分CL2a之间。第三导电部分CL3a将第一导电部分CL1a和第二导电部分CL2a彼此电连接。第三导电部分CL3a穿透夹在第一导电部分CL1a与第二导电部分CL2a之间的层间绝缘层ILI2和层间绝缘层ILL3。

[0079] 第三导电部分CL3a包括第一通孔V1a、连接部分CNTa和第二通孔V2a。第一通孔V1a的配置和第二通孔V2a的配置彼此相似,不同之处在于位置。从省略重复描述的角度出发,下面仅描述第一通孔V1a。第三导电部分CL3b包括第一通孔V1b、连接部分CNTb和第二通孔V2b。第三导电部分CL3c包括第一通孔V1c、连接部分CNTc和第二通孔V2c。

[0080] 第一通孔V1a形成在多层布线层MWL中。第一通孔V1a形成在第一导电部分CL1a上。第一通孔V1a形成在多层布线层MWL中的与形成有第一通孔V1的层相同的层中。在本实施例中,第一通孔V1a形成在第二层间绝缘层IIL2中。

[0081] 第一通孔V1a在Y方向上的长度 L_y 大于第一通孔V1a在X方向上的长度 L_x 。因此,与具有大致圆形截面形状的第一通孔V1相比,即使大电流流过第一通孔V1a,在第一通孔V1a中也难以出现电迁移所引起的缺陷。从该角度出发, L_y 与 L_x 的比率(L_y/L_x)优选地为50以上,更优选地为1000以上。对比率(L_y/L_x)没有特别限制,并且可以根据电流的大小对其适当地调节。

[0082] 另一方面,从使半导体器件SD小型化的角度出发, L_y/L_x 优选地为5000以下,更优选地为2000以下。

[0083] 从增强抗电迁移性的角度出发,优选地,第一通孔V1a在X方向上的长度 L_x (短的宽度)大于第一通孔V1在X方向上的长度(直径)。第一通孔V1形成在高压侧区域HSR和低压侧区域LSR中的一者或两者中。

[0084] 第一通孔V1a的尺寸和材料根据期望的电阻值而被适当地调节。此外,例如,第一通孔V1a的配置可以与形成在第二层间绝缘层IIL2中的第一通孔V1相同或不同。第一通孔V1包括例如阻挡膜和形成在阻挡膜上的导电膜。阻挡膜的材料示例包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)。导电膜的材料例如是钨(W)、铝(Al)或铜(Cu)。

[0085] 连接部分CNTa将多层布线层MWL中的第一通孔V1a和第二通孔V2a彼此连接。在本实施例中,连接部分CNTa形成在第二层间绝缘层IIL2上。从抑制电阻元件RE的电阻值的变化角度出发,优选地,连接部分CNTa形成在第一通孔V1a与第二通孔V2a之间。更具体地,由于第三导电部分CL3a包括连接部分CNTa,所以即使发生第一通孔V1a和第二通孔V2a的位置偏差,也可以抑制电阻元件RE的电阻值的变化。

[0086] 连接部分CNTa的形状和尺寸根据期望的电阻值而被适当地调节。例如,连接部分

CNTa的配置可以与形成在第二层间绝缘层IIL2上的布线WR2相同或不同。连接部分CNTa的配置的示例与第一导电部分CL1a的配置的示例相同。

[0087] 热应力减轻部分TSM形成在多层布线层MWL中。热应力减轻部分TSM形成在电阻元件RE与保护层PL之间。热应力减轻部分TSM被配置为抑制来自多层布线层MWL外部的热所引起的应力被施加到电阻元件RE。更具体地,热应力减轻部分TSM减轻了由于构成多层布线层MWL的电阻元件RE的热膨胀系数与层间绝缘层的热膨胀系数的差异而引起的、被施加到电阻元件RE的应力。热应力减轻部分TSM优选地在平面图中与电阻元件RE的至少一部分重叠。从提高隔热性的角度出发,更优选地,在平面图中,热应力减轻部分TSM与所有电阻元件RE重叠。从提高隔热性的角度出发,优选地,热应力减轻部分TSM被形成为包围电阻元件RE。例如,更优选地,在侧视图中,热应力减轻部分TSM与所有电阻元件RE重叠,更优选地,在前视图中,热应力减轻部分TSM与所有电阻元件RE重叠,并且更优选地,在后视图中,热应力减轻部分TSM与所有电阻元件RE重叠。在本实施例中,在平面图中,热应力减轻部分TSM与全部电阻元件RE重叠。

[0088] 热应力减轻部分TSM的配置例如可以与形成在第四层间绝缘层IIL4上的布线(未示出)相同或不同。热应力减轻部分TSM包括阻挡膜和形成在阻挡膜上的导电膜。阻挡膜的材料示例包括钛(Ti)、氮化钛(TiN)、钽(Ta)和氮化钽(TaN)。导电膜的材料例如是铝(Al)或铜(Cu)。

[0089] (半导体器件的制造方法)

[0090] 接下来,将描述制造根据本实施例的半导体器件SD的示例性方法。图5至7分别是示出制造半导体器件SD的方法中包括的示例性步骤的截面图。

[0091] 半导体器件SD的制造方法例如包括步骤(1)提供半导体晶片SW,步骤(2)形成散热部分HDP的一部分,步骤(3)形成多层布线层MWL、散热部分HDP的其余部分,以及形成热应力减轻部分TSM。

[0092] (1)提供半导体晶片SW

[0093] 首先,如图5所示,提供半导体晶片SW。半导体晶片SW可以作为商业产品购买或者可以制造。半导体晶片SW包括半导体衬底SS和半导体层SL,半导体层SL由第一p型外延层PE1、n型掩埋层NBL、p型掩埋层PBL和第二p型外延层PE2构成。半导体晶片SW的各层例如通过以下工艺来形成:利用外延生长法在半导体衬底SS上形成外延层并且将期望杂质注入到外延层的期望位置中。

[0094] (2)形成散热部分HDP的一部分

[0095] 接下来,如图6所示,在半导体晶片SW中形成绝缘膜ILF和热传导部分HCP。首先,在半导体晶片SW的正面(上表面)上形成凹陷部分RP之后,在凹陷部分RP的底面和侧面以及半导体晶片SW的上表面上形成绝缘膜ILF。凹陷部分RP例如通过光刻和蚀刻形成。形成绝缘膜ILF的方法例如是CVD法。接下来,在绝缘膜ILF上形成热传导部分HCP以填充凹陷部分RP。形成热传导部分HCP的方法例如是CVD法。例如通过CMP法去除形成在凹陷部分RP外部的绝缘膜ILF和热传导部分HCP的多余部分。

[0096] (3)形成多层布线层MWL、散热部分HDP的其余部分和热应力减轻部分TSM。

[0097] 接下来,如图7所示,在半导体晶片SW上形成多层布线层MWL、耦合部分CP和热应力减轻部分TSM。作为形成多层布线层MWL、耦合部分CP和热应力减轻部分TSM的方法,可以采

用在半导体技术中被称为形成多层布线层的方法的方法。

[0098] 第一层间绝缘层IIL1、第二层间绝缘层IIL2、第三层间绝缘层IIL3、第四层间绝缘层IIL4和第五层间绝缘层IIL5例如通过CVD法形成。耦合部分CP例如通过在第一层间绝缘层IIL1中形成通孔并且然后用导电材料填充通孔来形成。例如，第一通孔V1、V1a、V1b、V1c例如通过在第二层间绝缘层IIL2中形成通孔之后用导电材料填充通孔来形成。例如，第二通孔V2、V2a、V2b、V2c例如通过在第三层间绝缘层IIL3中形成通孔之后用导电材料填充通孔来形成。

[0099] 第一导电部分CL1a、CL1b和第一布线WR1通过使用溅射法在第一层间绝缘层IIL1上形成导电膜并且然后将导电膜图案化为期望结构来形成。第二导电部分CL2a、CL2b和第三布线WR3通过使用溅射法在第三层间绝缘层IIL3上形成导电膜并且然后将导电膜图案化为期望结构来形成。连接部分CNTa、CNTb、CNTc和第二布线WR2通过使用溅射法在第二层间绝缘层IIL2上形成导电膜并且然后将导电膜图案化为期望结构来形成。保护层PL通过溅射法在第五层间绝缘层IIL5上形成。

[0100] 然后，将通过上述步骤获取的结构从静电卡盘上拆下并且切成小块，从而得到多个单片化的半导体器件SD。最后，用密封树脂密封半导体器件SD。

[0101] (效果)

[0102] 根据本实施例的半导体器件SD的电阻元件RE包括将第一导电部分CL1a、CL1b和第二导电部分CL2a、CL2b彼此电连接的第三导电部分CL3a、CL3b、CL3c。第三导电部分CL3a、CL3b、CL3c在沿基座构件BM的表面的Y方向(第一方向)上的长度大于第三导电部分CL3a、CL3b、CL3c在沿基座构件BM的表面并且垂直于Y方向的X方向(第二方向)上的长度。特别地，第一通孔V1a、V1b、V1c在Y方向上的长度 L_y 大于第一通孔V1a、V1b、V1c在X方向上的长度 L_x 。第二通孔V2a、V2b、V2c在Y方向上的长度 L_y 也大于第二通孔V2a、V2b、V2c在X方向上的长度 L_x 。因此，与截面形状为大致圆形的通孔相比，第一通孔V1a、V1b、V1c和第二通孔V2a、V2b、V2c中的电流密度降低。因此，在本实施例中，与通孔的截面形状为大致圆形的电阻元件相比，即使大电流流过电阻元件RE，在第一通孔V1a、V1b、V1c和第二通孔V2a、V2b、V2c中也难以出现电迁移所引起的缺陷。因此，可以增强半导体器件SD的可靠性。

[0103] [第一修改]

[0104] 图8是示出根据本实施例的第一修改的半导体器件mSD1的主要部分的示例性配置的透视图。图9是示出半导体器件mSD1的主要部分的示例性配置的截面图。

[0105] 根据第一修改的半导体器件mSD1包括绝缘膜ILF、热传导部分HCP、耦合部分CP和热传导部分mHCP。第一修改的散热部分mHDP1不与电阻元件RE直接连接。即，散热部分mHDP1形成在多层布线层MWL中使得散热部分mHDP1与电阻元件RE间隔开并且与热传导部分mHCP连接。

[0106] 热传导部分mHCP由形成在多层布线层MWL中的布线和通孔形成。热传导部分mHCP沿第三导电部分CL3a、CL3b、CL3c形成。热传导部分mHCP包括第一布线mWR1、第一通孔mV1和第二布线mWR2。第一布线mWR1的配置与第一导电部分CL1a的配置相同。第一通孔mV1的配置与第一通孔V1a的配置相同。第二布线mWR2的配置与连接部分CNTa的配置相同。

[0107] 热传导部分mHCP的一个端部部分在沿基座构件BM的表面的方向上面对电阻元件RE的一部分。在第一修改中，热传导部分mHCP的一个端部部分在X方向上面对第一导电部分

CL1a、CL1b和第三导电部分CL3a、CL3b。热传导部分mHCP的一个端部部分在垂直于基座构件BM的表面的方向上面对电阻元件RE的另一部分。在第一修改中，热传导部分mHCP的一个端部部分在Z方向上面对第二导电部分CL2a。

[0108] 在第一修改中，由于散热部分mHDP1与电阻元件RE间隔开，所以可以抑制来自电阻元件RE的电流流到散热部分mHDP1。这使得可以同时实现散热和电流值的检测准确度。

[0109] [第二修改]

[0110] 图10是示出根据本实施例的第二修改的半导体器件mSD2的主要部分的示例性配置的透视图。

[0111] 根据第二修改的半导体器件mSD2具有多个电阻元件。对电阻元件的数目没有特别限制。根据第二修改的半导体器件mSD2包括第一电阻元件mRE1和第二电阻元件mRE2。第一电阻元件mRE1的示例性配置和第二电阻元件mRE2的示例性配置与电阻元件RE的示例性配置相同。在第二修改中，第一电阻元件mRE1的第一导电部分mCL1a被设置为使得，第一电阻元件mRE1在平面图中与第二电阻元件mRE2的第二导电部分mCL2a相邻。因此，在第一电阻元件mRE1中流动的电流所生成的磁场与在第二电阻元件mRE2中流动的电流所生成的磁场相互抵消。因此，可以抑制由于流过电阻元件的电流所生成的磁场而引起的外围半导体元件的特性的变化。因此，还可以增强半导体器件的性能。

[0112] [第三修改]

[0113] 图11是示出根据本实施例的第三修改的半导体器件mSD3的主要部分的示例性配置的透视图。

[0114] 根据第三修改的半导体器件mSD3包括电阻元件mRE3。电阻元件mRE3还包括第一导电部分CL1d、第二导电部分CL2d和第三导电部分CL3d。第一导电部分CL1d在Y方向上的长度小于第一导电部分CL1d在X方向上的长度。第二导电部分CL2d在Y方向上的长度小于第二导电部分CL2d在X方向上的长度。第三导电部分CL3d在Y方向上的长度小于第三导电部分CL3d在X方向上的长度。

[0115] 在第三修改中，电阻元件mRE3包括以下部分：每个组件（第一导电部分CL1a、CL1b、第二导电部分CL2a、CL2b和第三导电部分CL3a、CL3b、CL3c）沿Y方向延伸的部分、以及每个组件（第一导电部分CL1d、第二导电部分CL2d和第三导电部分CL3d）沿X方向延伸的部分。从而，当半导体器件mSD3用密封树脂被密封时，当X方向上的应力与Y方向上的应力之间存在差异时，平均而言可以减小被施加到半导体器件mSD3上的应力的总和。

[0116] 应当注意，本发明不限于上述实施例，并且在不脱离其要旨的情况下可以进行各种修改。例如，第三导电部分CL3仅需要能够将第一导电部分CL1a和第二导电部分CL2a彼此电连接，而不必具有连接部分CNTa。

[0117] 另外，即使在描述特定数值示例的情况下，除了理论上明显地限于该数值的情况，该数值可以是超过该特定数值的数值，或者可以是小于该特定数值的数值。另外，组成是指“B包含A作为主要成分”等，并且不排除包含其他成分的模式。

[0118] 此外，实施例的至少一部分和每个修改的至少一部分可以彼此被任意地组合。例如，热传导部分和散热部分的结构、位置 and 材料可以被适当地设计。

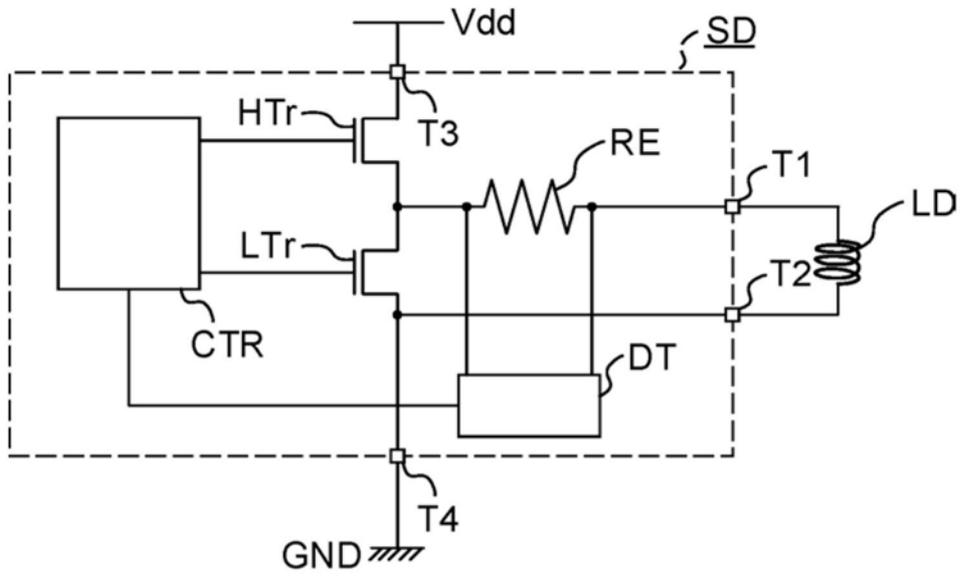


图1

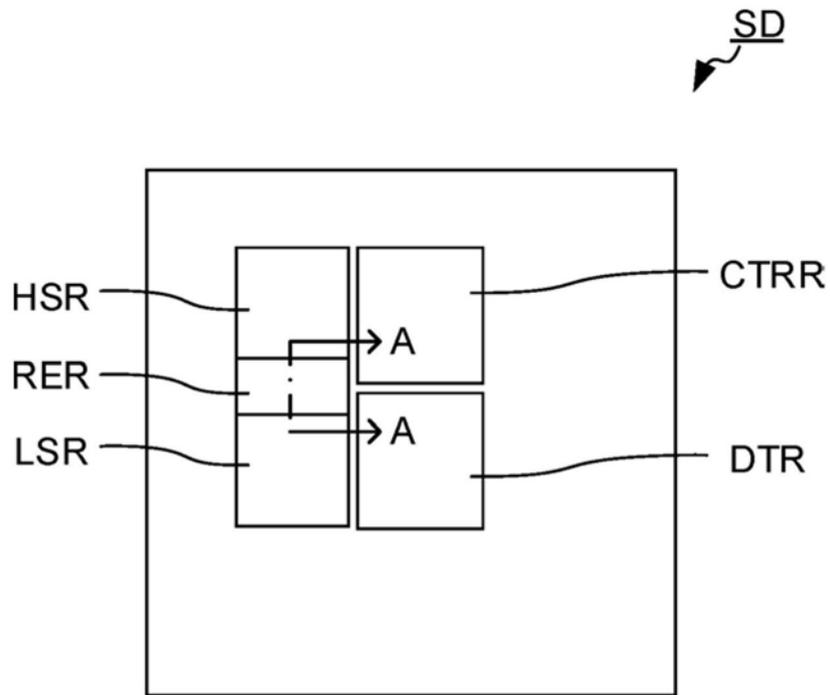


图2

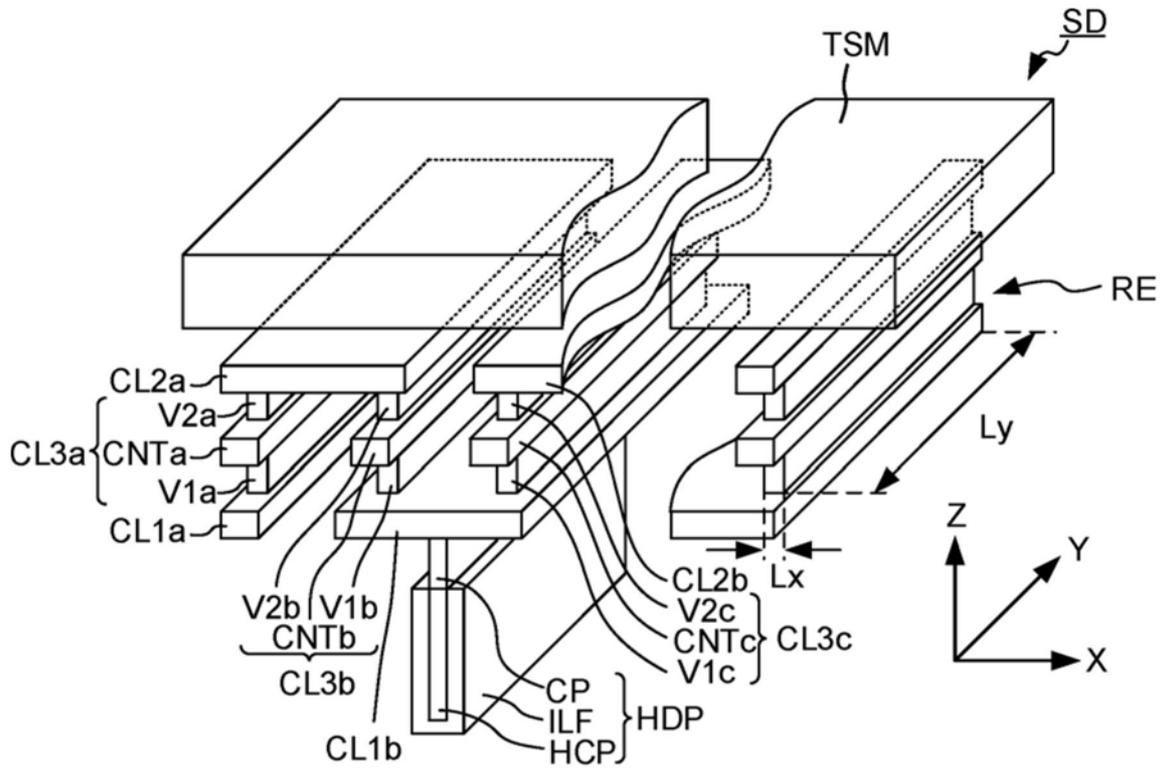


图3

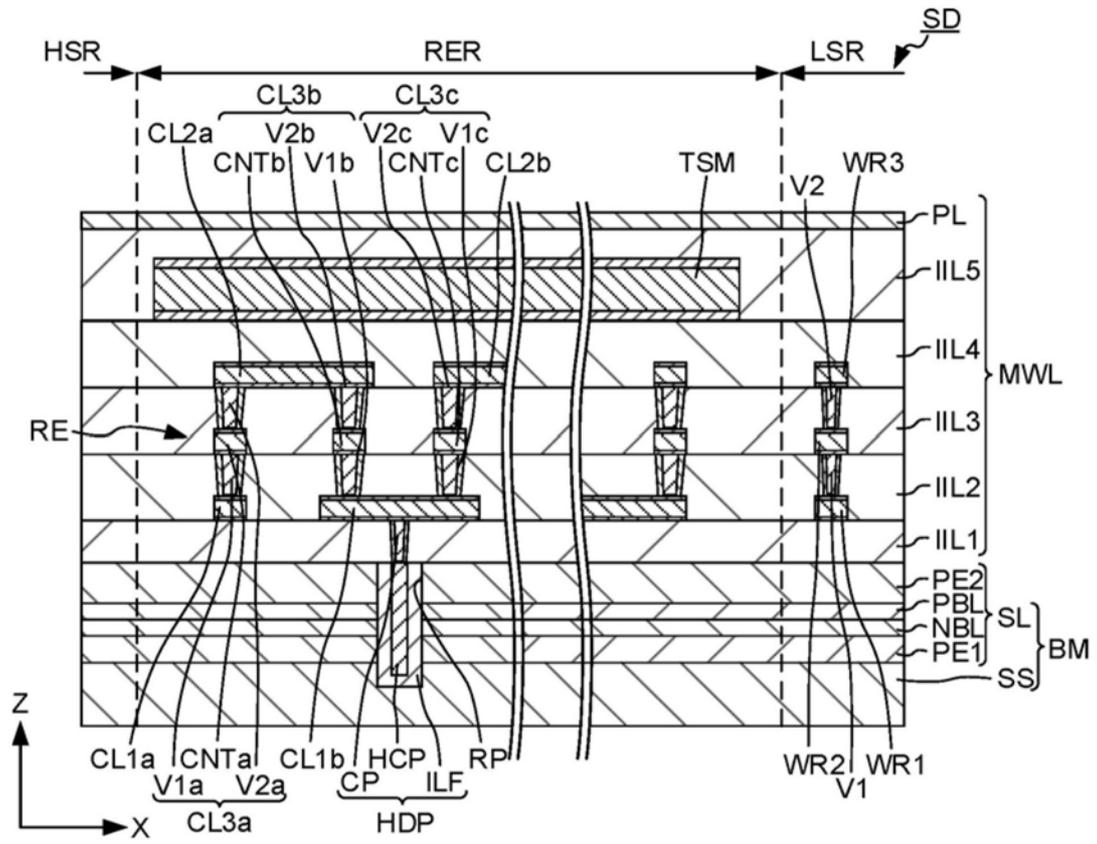


图4

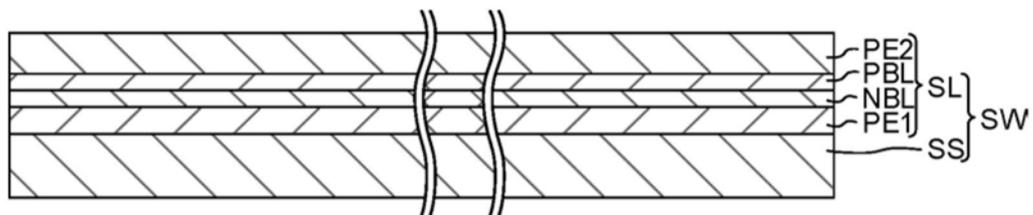


图5

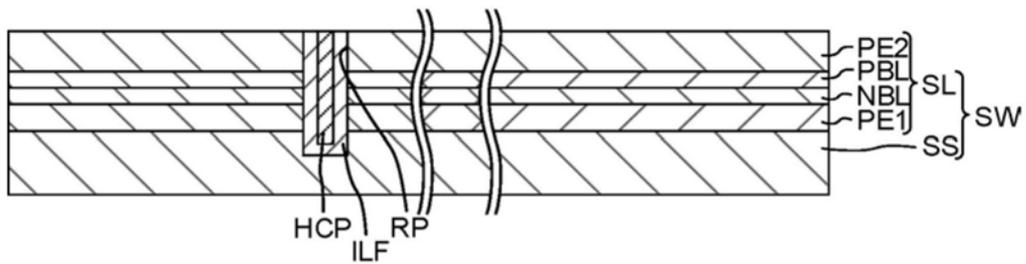


图6

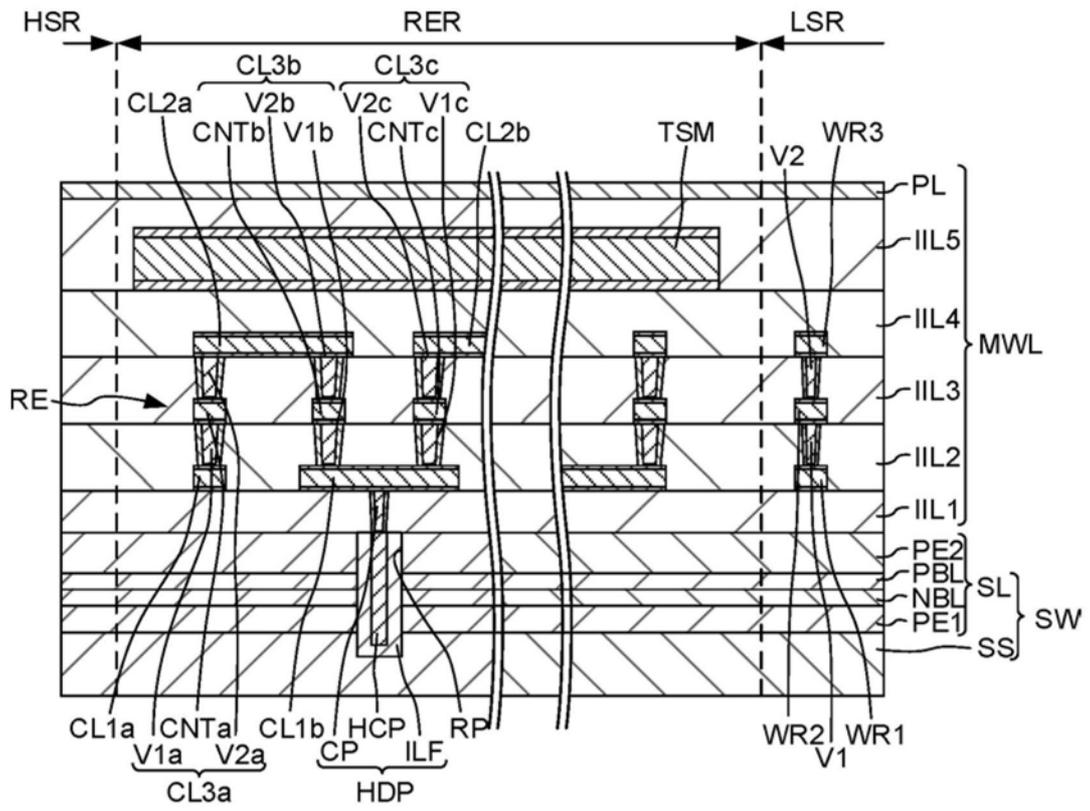


图7

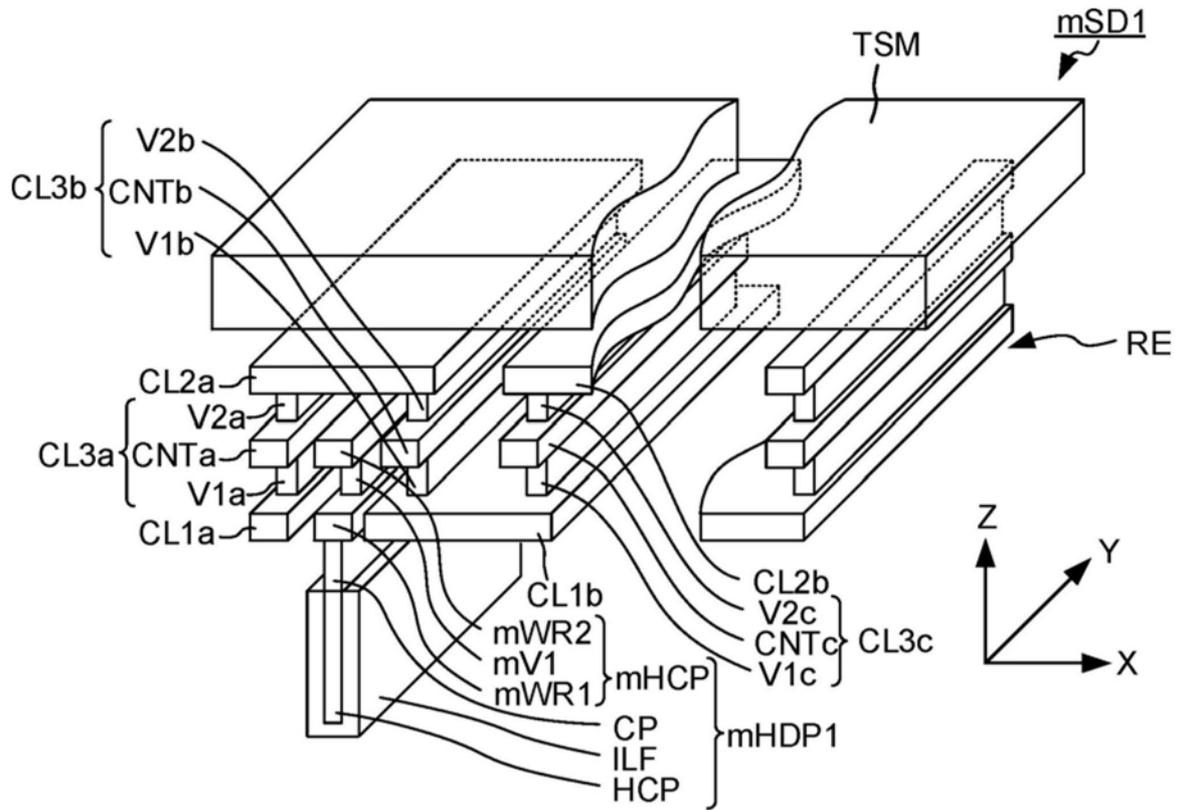


图8

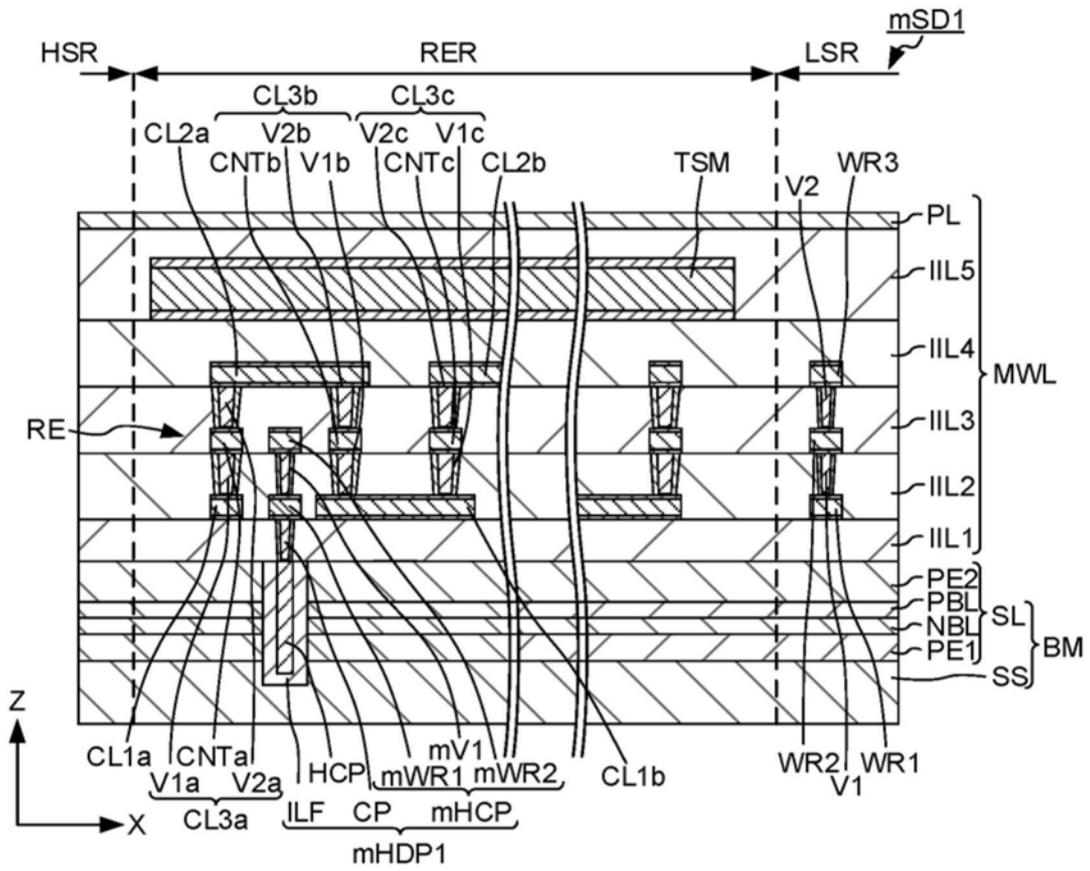


图9

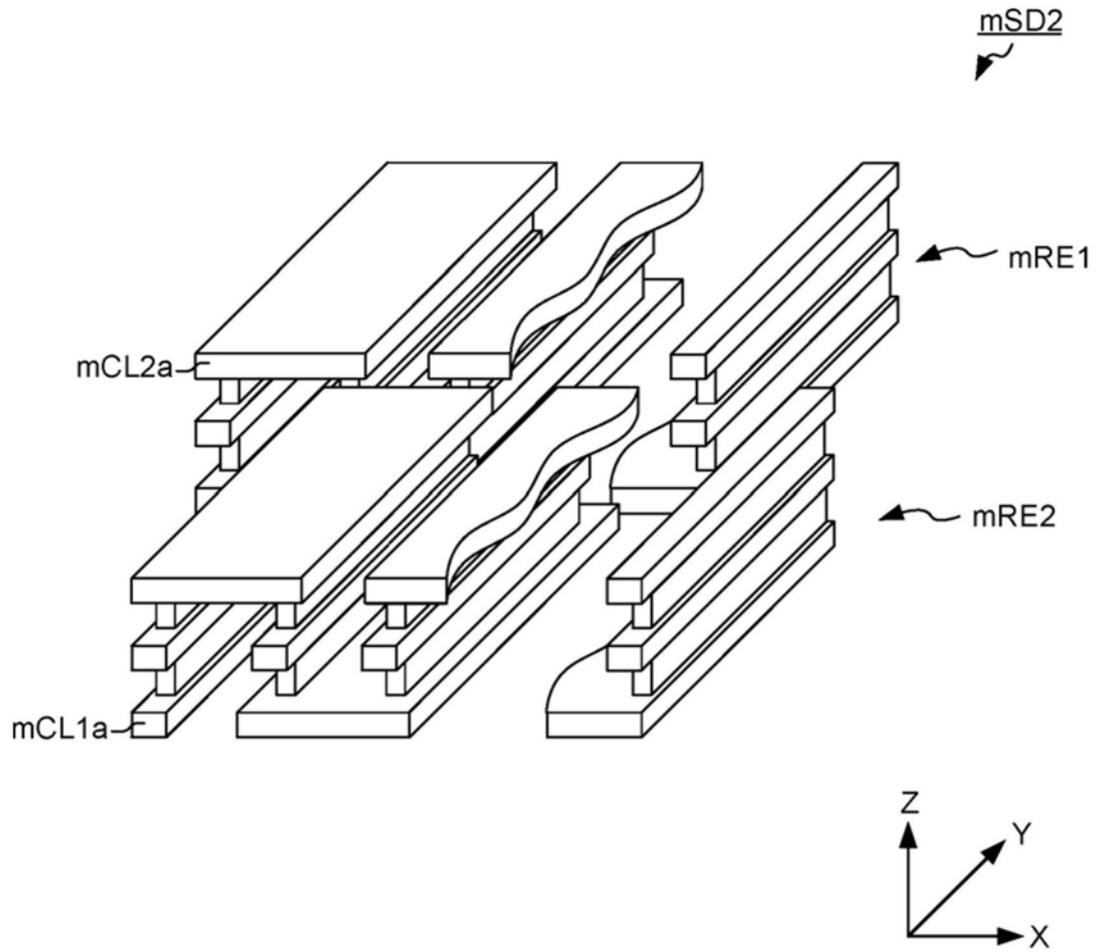


图10

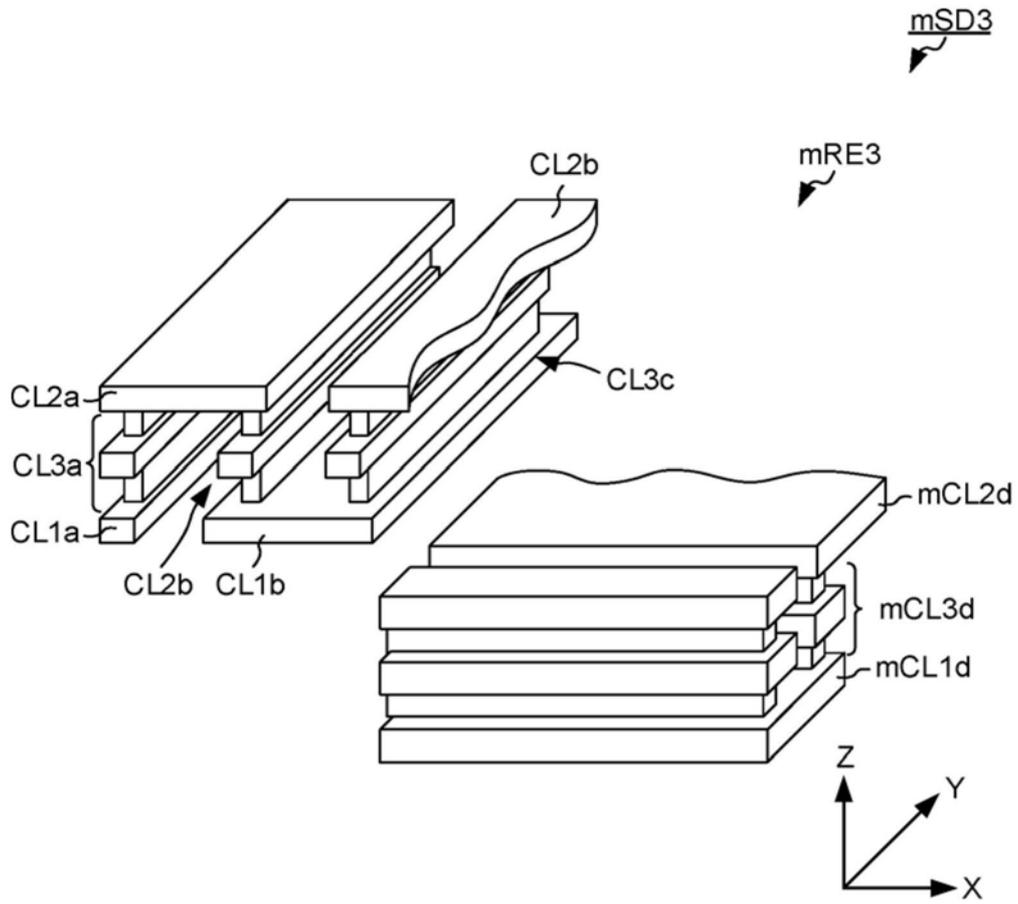


图11