



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월21일  
(11) 등록번호 10-2254524  
(24) 등록일자 2021년05월14일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01)  
(21) 출원번호 10-2014-0126034  
(22) 출원일자 2014년09월22일  
심사청구일자 2019년07월31일  
(65) 공개번호 10-2016-0035171  
(43) 공개일자 2016년03월31일  
(56) 선행기술조사문헌  
JP06148658 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
서경한  
경기도 파주시 책향기로 420 1103동 1201호 (동  
패동, 책향기마을신동아아파트)  
서현식  
경기도 고양시 일산동구 정발산로82번길 10 703  
동 201호 (마두동, 정발마을7단지아파트)  
(뒷면에 계속)  
(74) 대리인  
특허법인(유한) 대아

전체 청구항 수 : 총 1 항

심사관 : 윤성주

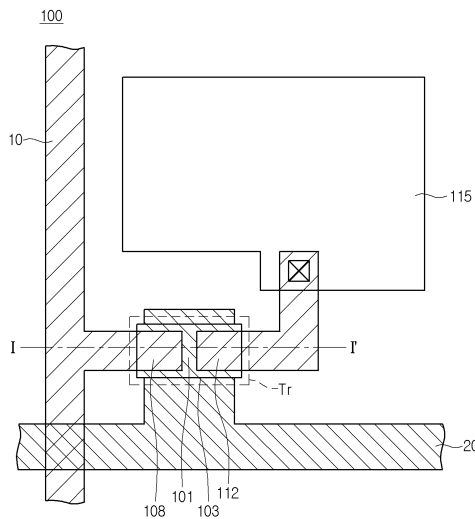
(54) 발명의 명칭 유기전계발광 표시장치

(57) 요약

본 발명은 유기전계발광 표시장치를 개시한다. 개시된 본 발명의 유기전계발광 표시장치는, 기관 상에 게이트 전극이 형성되고, 상기 게이트 전극이 형성된 기관 상에 게이트 절연막이 형성된다. 그리고, 상기 게이트 절연막 상에 반도체층이 형성되고, 상기 반도체층 상에 식각 방지막이 형성된다.

상기 식각 방지막 상에 형성되고, 상기 반도체층에 중첩되어 배치되며 투명도전층, 제 1 금속층 및 제 2 금속층으로 이루어지는 소스전극 및 드레인전극이 형성된다. 이를 통해, 박막 트랜지스터의 소자 특성을 향상시키는 효과가 있다.

대표도 - 도2



(72) 발명자

**강임국**

경기도 파주시 교하읍 동패리 책향기 마을 1698번  
지 동문굿모닝힐 1006-401호

**이진구**

경기도 파주시 월롱면 엘씨디로 231 H동 2009호  
(덕은리, 정다운마을)

(56) 선행기술조사문헌

JP2014030014 A\*

KR1020130086910 A\*

KR1020140003027 A\*

KR1020140079120 A\*

JP2007250804 A

KR1020130066410 A

KR1020140071042 A

KR1020130025269 A

KR1020130119174 A

KR1020100051560 A

KR1020080112091 A

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

기관;

상기 기관 상의 게이트 전극;

상기 게이트 전극을 포함하는 기관 상의 게이트 절연막;

상기 게이트 절연막 상의 반도체층;

상기 반도체층의 일부 상의 식각 방지막; 및

상기 식각 방지막의 양측 상에 배치되고 상기 반도체층의 양측에 접하는 소스전극 및 드레인전극을 포함하고,

상기 반도체층은 IGZO의 산화물 반도체로 이루어지며,

상기 소스전극 및 상기 드레인전극 각각은 상기 반도체층에 접하는 계면반응억제층, 상기 계면반응억제층 상의 제 1 금속층 및 상기 제 1 금속층 상의 제 2 금속층으로 이루어지고,

상기 계면반응억제층은 100 Å 내지 200 Å의 두께를 갖는 ITO(indium tin oxide)로 이루어지며,

상기 제 1 금속층은 MoTi로 이루어지고,

상기 제 2 금속층은 Cu로 이루어지는 유기전계발광 표시장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**발명의 설명**

**기술분야**

[0001] 본 발명은 유기전계발광 표시장치에 관한 것으로, 보다 구체적으로는 유기전계발광 표시장치의 소자 특성을 향상시킬 수 있는 유기전계발광 표시장치에 관한 것이다.

**배경기술**

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광 소자(Electroluminescence Device) 등이 있다.

[0003] 전계발광소자는 발광층의 재료에 따라 무기발광다이오드 표시장치와 유기발광다이오드 표시장치로 대별되며 스

스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

- [0004] 전계발광소자 중 하나인 유기전계발광 소자는 높은 휘도와 낮은 동작 전압 특성을 갖는다. 또한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초( $\mu s$ ) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적인 장점이 있다.
- [0005] 유기전계발광 소자는 크게 어레이 소자와 유기전계발광 다이오드로 이루지고 있다. 어레이 소자는 게이트 및 데이터 배선과 연결된 스위칭 박막트랜지스터와, 유기전계발광 소자와 연결된 구동 박막트랜지스터로 이루어진다. 또한, 유기전계발광 소자는 구동 박막트랜지스터와 연결된 제 1 전극과 유기발광층 및 제 2 전극으로 이루어진다.
- [0006] 상기 박막 트랜지스터는 게이트전극, 게이트 절연막, 반도체층, 식각 방지막, 소스전극 및 드레인전극을 포함한다. 여기서, 상기 반도체층과 소스전극은 접촉하여 형성되며, 상기 반도체층과 드레인전극 역시 접촉하여 형성된다.
- [0007] 그러나, 상기 박막 트랜지스터가 구동되면서 상기 반도체층과 소스전극 사이의 계면과 상기 반도체층과 드레인전극 사이의 계면에서 계면반응물이 형성된다. 이로 인해, 상기 반도체층과 소스전극 및 드레인전극 사이의 계면 저항이 증가하는 문제가 있다. 또한, 상기 소스전극 및 드레인전극 물질이 상기 반도체층으로 확산해 들어감으로써, 소자 신뢰성이 저하되는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0008] 본 발명은 소스전극 및 드레인전극을 투명도전층, 제 1 금속층 및 제 2 금속층을 포함하는 3 중층으로 형성함으로써, 유기전계발광 표시장치의 소자 특성을 향상시키는 데 목적이 있다.

**과제의 해결 수단**

- [0009] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명에 따른 유기전계발광 표시장치는, 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극이 형성된 기판 상에 게이트 절연막을 형성한다. 그리고, 상기 게이트 절연막 상에 반도체층을 형성하고, 상기 반도체층 상에 식각 방지막을 형성한다.
- [0010] 상기 식각 방지막 상에 형성되고, 상기 반도체층에 중첩되어 배치되며 투명도전층, 제 1 금속층 및 제 2 금속층으로 이루어지는 소스전극 및 드레인전극을 형성한다. 이를 통해, 박막 트랜지스터의 소자 특성을 향상시키는 것이 특징이다.

**발명의 효과**

- [0011] 본 발명에 따른 유기전계발광 표시장치는, 소스전극 및 드레인전극을 투명도전층, 제 1 금속층 및 제 2 금속층을 포함하는 3 중층으로 형성함으로써, 유기전계발광 표시장치의 소자 특성을 향상시키는 데 효과가 있다.

**도면의 간단한 설명**

- [0012] 도 1은 종래의 유기전계발광 표시장치를 도시한 단면도 이다.
- 도 2는 본 발명의 실시예에 따른 유기전계발광 표시장치를 도시한 평면도이다.
- 도 3은 본 발명의 실시예에 따른 유기전계발광 표시장치의 I-I'를 따라 절단한 단면도를 도시한 도면이다.
- 도 4는 본 발명의 실시예에 따른 유기전계발광 표시장치를 개시한 단면도 이다.
- 도 5는 비교예에 따른 포지티브 바이어스 열화(PBTS: Positive Bias Temperature Stress) 특성을 나타내는 도

면이다.

도 6는 본 발명의 실시예에 따른 포지티브 바이어스 열화 특성을 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0014] 도 1은 종래의 유기전계발광 표시장치를 도시한 단면도 이다. 도 1을 참조하면, 종래의 유기전계발광 표시장치는 기판(100) 상에 형성된 박막 트랜지스터를 포함한다. 이 때, 상기 박막 트랜지스터는 게이트 전극(101), 게이트 절연막(102), 반도체층(103), 식각 방지막(104), 소스전극(18) 및 드레인전극(12)을 포함한다. 또한 상기 소스전극(18) 및 드레인전극(12) 상에 보호막(113)이 더 형성될 수 있다.
- [0015] 여기서, 상기 소스전극(18) 및 드레인전극(12)은 2 층층으로 이루어질 수 있다. 이 때, 상기 소스전극(18) 및 드레인전극(12)은 제 1 층(16,10) 및 상기 제 1 층(16,10) 상에 형성되는 제 2 층(17,11)으로 이루어질 수 있다. 상기 제 1 층(16,10) 및 제 2 층(17,11)은 금속으로 이루어질 수 있다.
- [0016] 여기서, 상기 반도체층(103)과 소스전극(18)의 계면 또는 상기 반도체층(103)과 드레인전극(12)의 계면에서의 반응으로 인해 상기 반도체층(103)과 소스전극(18)의 사이 또는 상기 반도체층(103)과 드레인전극(12) 사이에 계면 반응물이 형성될 수 있다. 상기 계면 반응물은 금속 산화물일 수 있다. 예를 들면,  $TiO_x$  일 수 있다. 이로 인해, 계면 저항이 증가할 수 있다.
- [0017] 또한, 상기 소스전극(18) 및 드레인전극(12) 상에 형성되는 보호막을 형성하는 공정 중 열에너지로 인해, 상기 소스전극(18) 및 드레인전극(12)의 물질이 상기 반도체층(103)으로 확산하여 들어갈 수 있다. 이로 인해, 소자의 신뢰성을 저하시킬 수 있다.
- [0018] 따라서, 유기전계발광 표시장치의 소자 특성을 유지하기 위해서는 상기 소스전극(18)과 반도체층(103) 사이의 계면 또는 드레인전극(12)과 반도체층(103) 사이의 계면에서의 반응을 억제해야 한다. 이어서, 본 발명에 따른 반도체층과 소스전극 및 드레인전극 사이의 계면 반응을 억제하기 위한 유기전계발광 표시장치를 도 2를 참조하여 설명한다.
- [0019] 도 2는 본 발명의 실시예에 따른 유기전계발광 표시장치를 도시한 평면도이다. 도 2를 참조하면, 본 발명의 유기전계발광 표시장치는 영상을 표시하기 위해 정의된 다수의 화소영역들을 포함하고, 상기 각 화소영역은 구동부와 화소부를 포함한다.
- [0020] 상기 화소영역은 기판(100) 상의 게이트 배선(20)과 데이터 배선(10)이 교차하여 정의된다. 그리고, 상기 교차 영역에 박막 트랜지스터(Tr)를 포함하는 구동부가 형성된다. 상기 구동부 상측에는 제 1 전극 (115), 유기발광층 및 제 2 전극을 포함하는 유기발광 소자를 포함하는 화소부가 형성된다.
- [0021] 상기 박막 트랜지스터(Tr)는 게이트 전극(101), 반도체층(103), 소스전극(108) 및 드레인전극(112)으로 이루어진다. 자세하게는, 상기 기판(100) 상에 게이트 전극(101)이 형성된다. 상기 게이트 전극(101) 포함하는 기판 상에 게이트 절연막이 형성되고, 상기 게이트 절연막 상에 반도체층(103)이 형성된다.
- [0022] 여기서, 상기 반도체층(103)은 산화물 반도체로 형성될 수 있다. 예를 들면, 상기 산화물 반도체는 IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide),  $In_2O_3$  또는 이들의 조합으로부터 형성되는 물질일 수 있다. 바람직하게는, 상기 산화물 반도체는 IGZO로 형성될 수 있다. 상기 산화물 반도체는 투과율이 높고 전자의 이동도가 높은 특징이 있다.
- [0023] 또한, 상기 반도체층(103) 상에 식각 방지막이 형성될 수 있다. 상기 식각 방지막 및 상기 반도체층(103)에 중첩되어 배치되는 소스전극(108)과 드레인전극(112)이 이격되어 배치될 수 있다.

- [0024] 상기 소스전극(108) 및 드레인전극(112)은 다양한 물질로 형성될 수 있다. 예를 들면, Cu, Ag, Al, Cr, Ti, Ta 또는 이들의 조합으로부터 형성되는 합금 일 수 있다.
- [0025] 그리고, 상기 박막 트랜지스터(Tr)를 포함하는 기판 상에는 상기 박막 트랜지스터(Tr)를 덮는 보호막 및 평탄화막이 더 형성될 수 있다. 상기 보호막 및 평탄화막 상에는 상기 드레인전극(112)을 노출하는 컨택홀이 형성된다. 상기 컨택홀을 통해 상기 드레인전극(112)과 제 1 전극(115)이 전기적으로 연결될 수 있다.
- [0026] 도면에는 도시하지 않았으나, 상기 제 1 전극(115)과 대향하여 배치되는 제 2 전극이 형성될 수 있다. 또한, 상기 제 1 전극(115)과 제 2 전극 사이에 유기발광층이 배치됨으로써, 상기 제 1 전극(115), 제 2 전극 및 유기발광층을 포함하는 유기전계발광 소자가 형성될 수 있다.
- [0027] 종래의 문제점을 해결하기 위해 본 발명에 따른 유기전계발광 표시장치는 3 중층으로 형성된 상기 소스전극(108) 및 드레인전극(112)을 포함한다. 자세하게는, 상기 소스전극(108) 및 드레인전극(112)은 계면반응억제층과 상기 계면반응억제층 상에 제 1 금속층이 형성되고, 상기 제 1 금속층 상에 제 2 금속층이 형성될 수 있다.
- [0028] 이 때, 상기 계면반응억제층은 ITO(indium tin oxide)일 수 있다. 상기 계면반응억제층은 상기 반도체층(103)과 소스전극(108) 및 드레인전극(112) 사이에 계면 반응물이 형성되는 것을 억제하는 효과가 있다.
- [0029] 상기 계면반응억제층의 두께는 100 Å 내지 200 Å으로 형성될 수 있다. 상기 계면반응억제층의 두께가 100 Å 미만일 경우, 상기 계면반응억제층의 두께를 일정하게 형성하는데 어려움이 있다. 또한, 상기 계면반응억제층의 두께가 200 Å을 초과할 경우, 상기 계면반응억제층의 에칭(etching) 공정에서 잔사가 발생할 수 있다.
- [0030] 또한, 상기 제 1 금속층은 Mo와 Ti의 합금으로 이루어질 수 있다. 그리고, 상기 제 2 금속층은 Cu로 형성될 수 있다. 이 때, 상기 제 1 금속층은 제 2 금속층 물질이 확산되는 것을 방지하는 역할을 할 수 있다. 즉, Cu층 하부에 MoTi를 형성함으로써, Cu가 확산하는 현상을 방지한다. 또한, 상기 제 2 금속층을 Cu로 형성할 경우, 상기 Cu의 낮은 저항으로 인해 높은 소자 특성을 확보할 수 있다.
- [0031] 도면에는 도시하지 않았으나, 상기 소스전극(108) 및 드레인전극(112)이 형성된 기판(100) 상에 보호막이 형성될 수 있다. 상기 보호막은 상기 소스전극(108) 및 드레인전극(112)을 보호하는 역할을 할 수 있다.
- [0032] 본 발명에 따른 유기전계발광 표시장치는 반도체층(103)과 중첩되어 형성되는 소스전극(108) 및 드레인전극(112)을 계면반응억제층, 제 1 금속층 및 제 2 금속층으로 이루어진 3중층으로 형성함으로써, 상기 반도체층(103)과 소스전극(108) 및 드레인전극(112) 계면에서 계면 반응물이 형성되는 것을 억제할 수 있는 효과가 있다. 또한, 상기 소스전극(108) 및 드레인전극(112) 물질이 상기 반도체층(103)으로 확산되는 것을 방지할 수 있는 효과가 있다. 이를 I-I'를 따라 절단한 단면도인 도 3을 참조하여 설명하면 다음과 같다.
- [0033] 도 3은 본 발명의 실시예에 따른 유기전계발광 표시장치의 I-I'를 따라 절단한 단면도를 도시한 도면이다. 도 3을 참조하면, 기판(100) 상에 게이트 전극(101)이 형성된다. 상기 게이트 전극(101)은 Cu, Mo, Al, Ag, Ti 또는 이들의 조합으로부터 형성되는 합금 일 수 있다. 또한, 도면에서는 단일 금속층으로 형성되어 있지만, 경우에 따라서는 적어도 2개 이상의 금속층들을 적층하여 형성할 수도 있다. 상기 Cu, Mo, Al, Ag, Ti 또는 이들의 조합으로부터 형성되는 합금은 저항이 낮은 효과가 있다.
- [0034] 상기 게이트 전극(101) 상에는 게이트 절연막(102)이 형성된다. 상기 게이트 절연막(102)은 상기 게이트 전극(101)을 보호하는 역할을 할 수 있다. 상기 게이트 절연막(102) 상에는 반도체층(103)이 형성된다.
- [0035] 상기 반도체층(103)은 산화물 반도체로 형성될 수 있다. 상기 산화물 반도체는 IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), In<sub>2</sub>O<sub>3</sub> 또는 이들의 조합으로부터 형성되는 물질 일 수 있다. 바람직하게는, 상기 산화물 반도체는 IGZO로 형성될 수 있다.
- [0036] 상기 반도체층(103) 상에는 식각 방지막(104)이 형성된다. 상기 식각 방지막(104)은 SiO<sub>2</sub> 또는 SiN<sub>x</sub>와 같은 무기절연물질로 형성될 수 있다. 이를 통해, 소스전극(108) 및 드레인전극(112)을 식각하는 공정에서 상기 반도체층(103)이 식각되는 것을 방지할 수 있다.
- [0037] 상기 식각 방지막(104)과 상기 반도체층(103)에 중첩되어 상기 소스전극(108) 및 드레인전극(112)이 이격되어 형성될 수 있다. 상기 소스전극(108) 및 드레인전극(112)은 동일층에서 동일물질로 형성될 수 있다.
- [0038] 이 때, 상기 소스전극(108) 및 드레인전극(112)은 3 중층으로 형성될 수 있다. 자세하게는, 계면반응억제층

(105,109), 상기 계면반응억제층(105,109) 상에 형성되는 제 1 금속층(106,110), 상기 제 1 금속층(106,110) 상에 형성되는 제 2 금속층(107,111)으로 이루어질 수 있다.

- [0039] 여기서, 상기 계면반응억제층(105,109)은 ITO(indium tin oxide)일 수 있다. 상기 계면반응억제층은 상기 반도체층(103)과 소스전극(108) 및 드레인전극(112) 사이에 계면 반응물이 형성되는 것을 억제하는 효과가 있다.
- [0040] 상기 계면반응억제층(105,109)의 두께는 100 Å 내지 200 Å으로 형성될 수 있다. 상기 계면반응억제층(105,109)의 두께가 100 Å 미만일 경우, 상기 계면반응억제층(105,109)의 두께를 일정하게 형성하는데 어려움이 있다. 또한, 상기 계면반응억제층(105,109)의 두께가 200 Å을 초과할 경우, 상기 계면반응억제층(105,109)의 에칭(etching) 공정에서 잔사가 발생할 수 있다.
- [0041] 또한, 상기 제 1 금속층(106,110)은 Mo와 Ti의 합금으로 이루어질 수 있다. 그리고, 상기 제 2 금속층(107,111)은 Cu로 형성될 수 있다. 이 때, 상기 제 1 금속층(106,110)은 제 2 금속층(107,111) 물질이 확산되는 것을 방지하는 역할을 할 수 있다.
- [0042] 상기 소스전극(108) 및 드레인전극(112)이 형성된 기판(100) 상에 보호막(113)이 형성될 수 있다. 상기 보호막(113)은 상기 소스전극(108) 및 드레인전극(112)을 보호하는 역할을 할 수 있다. 또한, 상기 보호막(113)은 상기 소스전극(108) 및 드레인전극(112)을 형성하는 공정에서 발생하는 테이퍼 현상이나 공극을 보완하는 역할을 할 수 있다.
- [0043] 본 발명에 따른 유기전계발광 표시장치는 반도체층(103)과 중첩되어 형성되는 소스전극(108) 및 드레인전극(112)을 계면반응억제층, 제 1 금속층 및 제 2 금속층으로 이루어진 3중층으로 형성함으로써, 상기 반도체층(103)과 소스전극(108) 및 드레인전극(112) 계면에서 계면 반응물이 형성되는 것을 억제할 수 있는 효과가 있다. 또한, 상기 소스전극(108) 및 드레인전극(112) 물질이 상기 반도체층(103)으로 확산되는 것을 방지할 수 있는 효과가 있다.
- [0044] 이어서, 도 4를 참조하여 본 발명의 실시예에 따른 유기전계발광 표시장치를 설명한다. 도 4는 본 발명의 실시예에 따른 유기전계발광 표시장치를 개시한 단면도이다. 도 4를 참조하면, 본 발명에 따른 유기전계발광 표시장치는 박막 트랜지스터(Tr) 및 유기전계발광 소자(115,117,118)를 포함한다.
- [0045] 상기 박막 트랜지스터(Tr)는 게이트 전극(101), 반도체층(103), 소스전극(108) 및 드레인전극(112)을 포함한다. 또한, 상기 유기전계발광 소자(115,117,118)는 상기 드레인전극(112)과 접촉하여 형성되는 제 1 전극(115), 상기 제 1 전극과 대향하여 배치되는 제 2 전극(118) 및 상기 제 1 전극과 제 2 전극 사이에 배치되는 유기발광층(117)을 포함한다.
- [0046] 자세하게는, 기판(100) 상에 게이트 전극(101)이 형성된다. 상기 게이트 전극(101)은 Cu, Mo, Al, Ag, Ti 또는 이들의 조합으로부터 형성되는 합금 일 수 있다. 또한, 도면에서는 단일 금속층으로 형성되어 있지만, 경우에 따라서는 적어도 2개 이상의 금속층들을 적층하여 형성할 수도 있다. 상기 Cu, Mo, Al, Ag, Ti 또는 이들의 조합으로부터 형성되는 합금은 저항이 낮은 효과가 있다.
- [0047] 상기 게이트 전극(101) 상에 게이트 절연막(102)이 형성된다. 상기 게이트 절연막(102) 상에는 반도체층(103)이 형성된다. 여기서, 상기 반도체층(103)은 산화물 반도체로 이루어질 수 있다.
- [0048] 상기 산화물 반도체는 IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), In<sub>2</sub>O<sub>3</sub> 또는 이들의 조합으로부터 형성되는 물질일 수 있다. 바람직하게는, 상기 산화물 반도체는 IGZO로 형성될 수 있다.
- [0049] 상기 반도체층(103)층 상에는 식각 방지막(104)이 형성된다. 상기 식각 방지막(104)은 SiO<sub>2</sub> 또는 SiN<sub>x</sub>와 같은 무기절연물질로 형성될 수 있다.
- [0050] 상기 식각 방지막(104)과 상기 반도체층(103)에 중첩되어 상기 소스전극(108) 및 드레인전극(112)이 이격되어 형성될 수 있다. 상기 소스전극(108) 및 드레인전극(112)은 동일층에서 동일물질로 형성될 수 있다.
- [0051] 이 때, 상기 소스전극(108) 및 드레인전극(112)은 3 중층으로 형성될 수 있다. 자세하게는, 계면반응억제층(105,109), 상기 계면반응억제층(105,109) 상에 형성되는 제 1 금속층(106,110), 상기 제 1 금속층 상에 형성되는 제 2 금속층(107,111)으로 이루어질 수 있다.



- [0052] 여기서, 상기 계면반응억제층(105,109)은 ITO(indium tin oxide)일 수 있다. 상기 계면반응억제층은 상기 반도체층(103)과 소스전극(108) 및 드레인전극(112) 사이에 계면 반응물이 형성되는 것을 억제하는 효과가 있다.
- [0053] 상기 계면반응억제층(105,109)의 두께는 100 Å 내지 200 Å으로 형성될 수 있다. 상기 계면반응억제층(105,109)의 두께가 100 Å 미만일 경우, 상기 계면반응억제층(105,109)의 두께를 일정하게 형성하는데 어려움이 있다. 또한, 상기 계면반응억제층(105,109)의 두께가 200 Å을 초과할 경우, 상기 계면반응억제층(105,109)의 에칭(etching) 공정에서 잔사가 발생할 수 있다.
- [0054] 또한, 상기 제 1 금속층(106,110)은 Mo와 Ti의 합금으로 이루어질 수 있다. 그리고, 상기 제 2 금속층(107,111)은 Cu로 형성될 수 있다. 또한, 상기 소스전극(108) 및 드레인전극(112)을 형성하는 물질이 상기 반도체층(103)으로 확산되는 것을 방지할 수 있다. 상기 제 1 금속층은 상기 제 2 금속층 물질이 확산되는 것을 방지할 수 있다. 이와 같은 구성으로, 게이트 전극(101), 반도체층(103), 소스전극(108) 및 드레인전극(112)을 포함하는 박막 트랜지스터(Tr)가 형성될 수 있다.
- [0055] 상기 소스전극(108) 및 드레인전극(112)이 형성된 기판(100) 상에 보호막(113)이 형성된다. 상기 보호막(113) 상에는 상기 기판(100)을 평탄하게 하는 평탄화막(114)이 형성된다. 상기 평탄화막(114)과 보호막(113) 상에는 상기 드레인전극(112)을 노출하는 콘택홀이 형성된다.
- [0056] 상기 콘택홀에 의해 상기 드레인전극(112)과 접속되는 상기 유기전계발광 소자의 제 1 전극(115)이 상기 평탄화막(114) 상면의 일부에 형성된다. 여기서, 상기 제 1 전극(115)은 애노드(anode) 전극 일 수 있다. 다만, 상기 제 1 전극(115)은 이에 한정되지 않으며 상기 제 1 전극(115)은 캐소드(cathode)일 수도 있다. 이하에서는, 상기 제 1 전극(115)이 애노드인 실시예를 중심으로 설명한다.
- [0057] 상기 제 1 전극(115)은 일함수 값이 비교적 높은 투명 도전물질로 이루어진 단일층으로 형성될 수 있다. 이를 통해, 상기 제 2 전극으로부터 상기 제 1 전극(115)으로 발광하는 하부 발광방식 유기전계발광 표시장치를 구현할 수 있다.
- [0058] 또한, 상기 제 1 전극(115)의 하부에 반사층을 더 포함할 수도 있다. 이를 통해, 상기 제 2 전극으로부터 상기 제 1 전극(115)으로 발광하는 빛을 반사하여 상부로 빛을 발광시키는 상부 발광방식 유기전계발광 표시장치를 구현할 수도 있다.
- [0059] 상기 제 1 전극(115)의 형태는 도면에 한정되지 않으며, 상기 제 1 전극(115)은 다중층으로 형성될 수 있다. 예를 들면, 제 1 층 상에 제 2 층이 형성되고 상기 제 2 층 상에 제 3 층이 형성된 3중층 구조로 형성될 수 있다.
- [0060] 여기서, 상기 제 1 층 및 제 3 층은 투명 도전물질일 수 있다. 예를 들면, 상기 투명 도전물질은 ITO 또는 IZO 일 수 있다. 상기 제 2 층은 반사층일 수 있다. 이 때, 상기 제 2 층은 금속 또는 금속 합금층일 수 있다. 예를 들면, Ag 또는 Ag를 포함하는 금속 합금층일 수 있다. 이를 통해, 상기 유기전계발광 소자는 상기 제 2 전극으로부터 상기 제 1 전극(115)으로 발광하는 빛을 반사하여, 상부 발광방식 유기전계발광 표시장치를 구현할 수 있다.
- [0061] 상기 제 1 전극(115)이 형성된 평탄화막(114) 상에 बैं크 패턴(116)이 형성될 수 있다. 이 때, 상기 बैं크 패턴(116)은 발광영역과 비발광영역을 정의할 수 있다. 또한, 각 화소마다 특정한 색을 발광하는 유기발광층을 격리하는 역할을 할 수 있다. 상기 बैं크 패턴(116)은 상기 발광영역에서 상기 제 1 전극(115)의 상면의 일부를 노출하여 형성될 수 있다.
- [0062] 상기 상면의 일부가 노출된 제 1 전극(115) 상에는 유기발광층(117)이 형성된다. 상기 유기발광층(117)은 발광 물질로 이루어진 단일층으로 구성될 수 있다.
- [0063] 또한, 상기 유기발광층(117)은 발광 효율을 높이기 위해 정공주입층(Hole Injection Layer;HIL), 정공수송층(Hole Transporting Layer;HTL), 발광층(Emitting Material Layer;EML), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 다중층으로 구성될 수 있다.
- [0064] 상기 유기발광층(117) 및 बैं크 패턴(116)이 형성된 상기 기판(100) 상에는 상기 제 1 전극(115)과 대향하여 제 2 전극(118)이 형성될 수 있다. 이 때, 상기 제 2 전극(118)은 캐소드(cathode)전극 일 수 있다. 이와 같은 구성으로 상기 제 1 전극(115), 제 2 전극(118) 및 유기발광층(117)을 포함하는 유기전계발광 소자가 형성될 수 있다.
- [0065] 본 발명에 따른 유기전계발광 표시장치는 반도체층(103)과 중첩되어 형성되는 소스전극(108) 및 드레인전극



(112)을 계면반응억제층, 제 1 금속층 및 제 2 금속층으로 이루어진 3중층으로 형성함으로써, 상기 반도체층 (103)과 소스전극(108) 및 드레인전극(112) 계면에서 계면 반응물이 형성되는 것을 억제하고, 상기 소스전극 (108) 및 드레인전극(112) 물질이 상기 반도체층(103)으로 확산되는 것을 방지할 수 있는 효과가 있다.

[0066] 이어서, 도 5 내지 도 6을 참조하여 비교예와 실시예에 따른 반도체층과 소스전극 또는 드레인전극의 계면 반응을 자세히 살펴본다. 도 5는 비교예에 따른 포지티브 바이어스 열화(PBTS: Positive Bias Temperature Stress) 특성을 나타내는 도면이다. 도 6는 본 발명의 실시예에 따른 포지티브 바이어스 열화 특성을 나타내는 도면이다.

[0067] PBTS 테스트는 바이어스 온도 스트레스(BTIS: Bias Temperature Illumination Stress) 환경에 따라 산화물 박막트랜지스터의 문턱전압 이동(Vth Shift)이 유발되는 측정 방법이다. 상기 PBTS 테스트는 시편에 가혹한 에너지를 가하여 시편의 신뢰성을 측정할 수 있다.

[0068] 도 5는 비교예로서, PBTS 테스트 전후의 시편의 전압 대 전류 특성을 나타내었다. 여기서, 비교예에 해당하는 시편은 반도체층 상에 2중층의 소스전극 또는 드레인전극을 형성한 시편을 이용하였다.

[0069] 또한, 도 6은 본 발명의 실시예로서 PBTS 테스트 전후에 대한 시편의 전압 대 전류 특성을 나타내었다. 여기서, 실시예에 해당하는 시편은 반도체층 상에 3중층의 소스전극 또는 드레인 전극을 형성한 시편을 이용하였다.

[0070] 이 때, 비교예에 따른 시편의 반도체층은 IGZO이고, 상기 소스전극 또는 드레인전극은 MoTi 상에 Cu가 형성된 것이다. 또한, 실시예에 따른 시편의 반도체층은 IGZO이고, 상기 소스전극 또는 드레인전극은 100 Å 내지 200 Å 두께의 ITO 상에 MoTi가 형성되고, 상기 MoTi 상에 Cu가 형성된 것이다. 상기 비교예와 실시예에 따른 시편에는 공정온도 60 °C에서 3600초 동안 30 V의 전압이 인가된다.

[0071] 도 5를 참조하면, 청색 그래프를 통해서 PBTS 테스트 전의 반도체층과 전극사이의 문턱전압이 약 0 V 이고, 적색 그래프를 통해서 PBTS 테스트 후에는 문턱전압이 약 5.51 V인 것을 관찰할 수 있다. 또한, 도 6을 참조하면 청색 그래프를 통해서 PBTS 테스트 전의 반도체층과 전극사이의 문턱전압이 약 0 V 이고, 적색 그래프를 통해서 PBTS 테스트 후에는 문턱전압이 약 1.67 V인 것을 관찰할 수 있다.

[0072] 즉, PBTS 테스트 후 비교예에 따른 시편의 그래프가 실시예에 따른 시편의 그래프보다 오른쪽으로 쉬프트(shift) 된 폭이 더 크게 나타난다. 따라서, 실시예에 따른 시편이 비교예에 따른 시편보다 신뢰성이 더 높다는 것을 알 수 있다. 따라서, 본 발명에 따른 3중층의 소스전극 및 드레인전극을 산화물반도체 상에 형성하였을 때, 박막 트랜지스터의 신뢰성이 높아지는 효과가 있다.

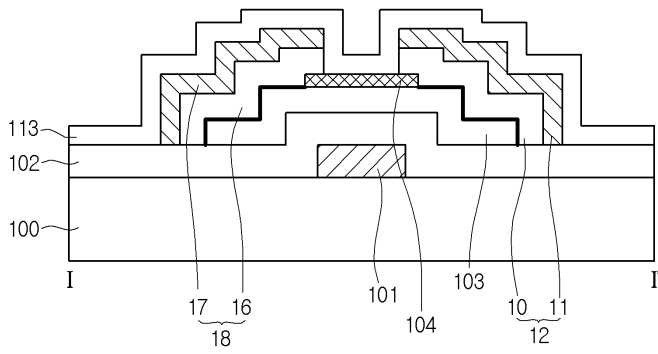
[0073] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

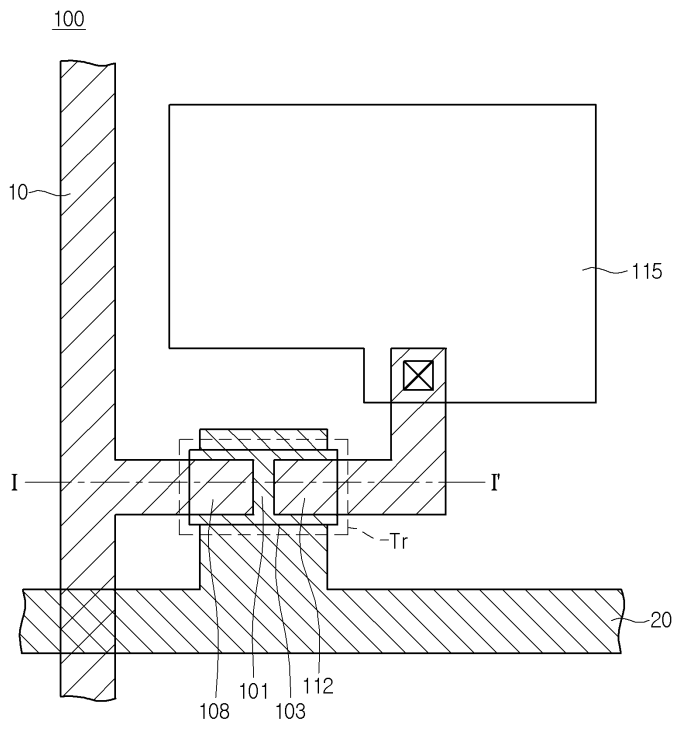
- |        |            |             |
|--------|------------|-------------|
| [0074] | 100: 기관    | 10: 데이터라인   |
|        | 20: 게이트라인  | 101: 게이트전극  |
|        | 103: 반도체층  | 108: 소스전극   |
|        | 112: 드레인전극 | 115: 제 1 전극 |

도면

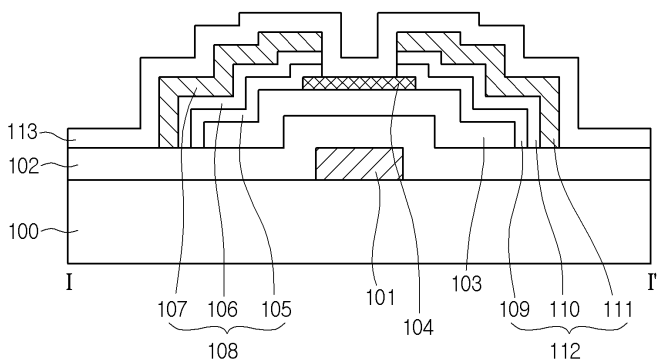
도면1



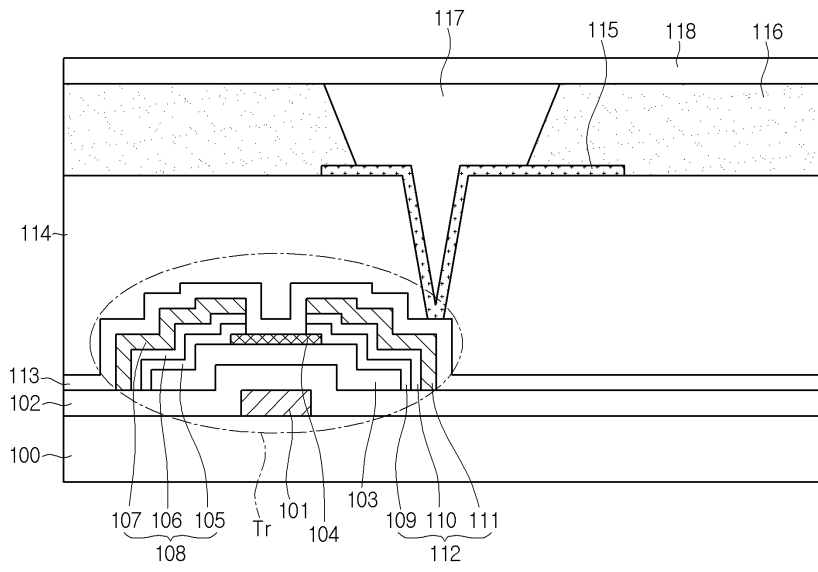
도면2



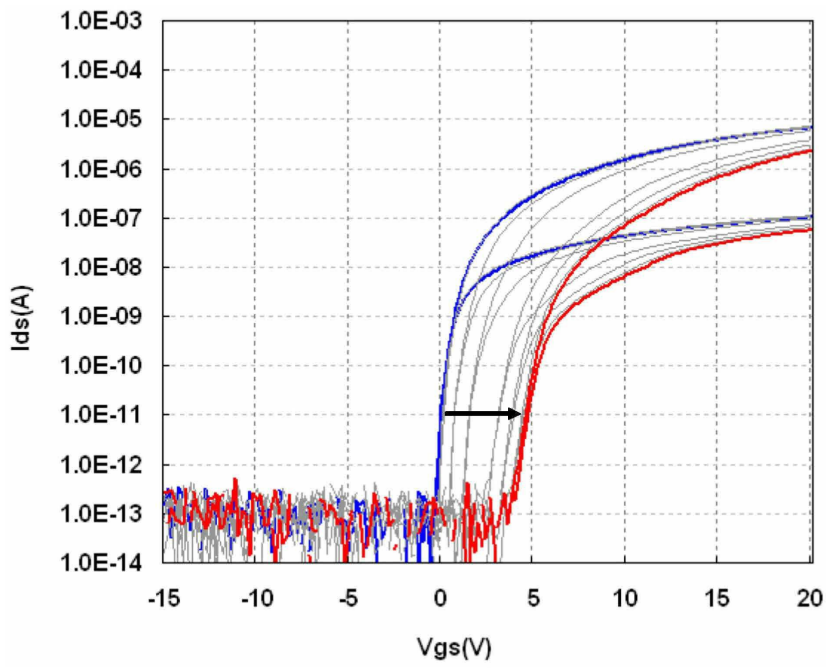
도면3



도면4



도면5



도면6

