

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3684232号
(P3684232)

(45) 発行日 平成17年8月17日(2005.8.17)

(24) 登録日 平成17年6月3日(2005.6.3)

(51) Int. Cl.⁷

F I

H O 1 L 21/8244

H O 1 L 27/10 3 8 1

H O 1 L 27/11

請求項の数 12 (全 14 頁)

(21) 出願番号	特願2003-121630 (P2003-121630)	(73) 特許権者	000003078
(22) 出願日	平成15年4月25日(2003.4.25)		株式会社東芝
(65) 公開番号	特開2004-327796 (P2004-327796A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年11月18日(2004.11.18)	(74) 代理人	100058479
審査請求日	平成15年10月2日(2003.10.2)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の活性領域に形成され、第1ゲート配線によりゲートが構成された第1導電型の第1のMOSトランジスタと、
 前記第1の活性領域に隣接して配置された第2の活性領域と、
 前記第2の活性領域に形成され、前記第1ゲート配線によりゲートが構成された第2導電型の第2のMOSトランジスタと、
 前記第2の活性領域に形成され、第2ゲート配線によりゲートが構成された第2導電型の第3のMOSトランジスタと、
 前記第1の活性領域に離間して形成された第3の活性領域と、
 前記第3の活性領域に形成され、第3ゲート配線によりゲートが構成された第1導電型の第4のMOSトランジスタと、
 前記第3の活性領域に隣接して配置された第4の活性領域と、
 前記第4の活性領域に形成され、前記第3ゲート配線によりゲートが構成された第2導電型の第5のMOSトランジスタと、
 前記第4の活性領域に形成され、第4ゲート配線によりゲートが構成された第2導電型の第6のMOSトランジスタとを具備し、
 前記第1の活性領域上から突出した前記第1ゲート配線の端部は、前記第1のMOSトランジスタのゲート幅方向に対して斜めに配置され、前記第3の活性領域上から突出した前記第3ゲート配線の端部は、前記第4のMOSトランジスタのゲート幅方向に対して斜め

10

20

に配置されていることを特徴とする半導体装置。

【請求項 2】

素子分離領域内に形成された第 1 の活性領域と、
 前記第 1 の活性領域に形成され、第 1 ゲート配線によりゲートが構成された第 1 導電型の第 1 の MOS トランジスタと、
 前記素子分離領域内に前記第 1 の活性領域に隣接して配置された第 2 の活性領域と、
 前記第 2 の活性領域に形成され、前記第 1 ゲート配線によりゲートが構成された第 2 導電型の第 2 の MOS トランジスタと、
 前記第 2 の活性領域に形成され、第 2 ゲート配線によりゲートが構成された第 2 導電型の第 3 の MOS トランジスタと、
 前記素子分離領域内に前記第 1 の活性領域に離間して形成された第 3 の活性領域と、
 前記第 3 の活性領域に形成され、第 3 ゲート配線によりゲートが構成された第 1 導電型の第 4 の MOS トランジスタと、
 前記素子分離領域内に前記第 3 の活性領域に隣接して配置された第 4 の活性領域と、
 前記第 4 の活性領域に形成され、前記第 3 ゲート配線によりゲートが構成された第 2 導電型の第 5 の MOS トランジスタと、
 前記第 4 の活性領域に形成され、第 4 ゲート配線によりゲートが構成された第 2 導電型の第 6 の MOS トランジスタとを具備し、
 前記第 1 の活性領域上から突出し、前記素子分離領域上に存在する前記第 1 ゲート配線の端部は、前記第 1 の活性領域上に配置された前記第 1 ゲート配線の延伸方向に対して斜めに配置され、前記第 3 の活性領域上から突出し、前記素子分離領域上に存在する前記第 3 ゲート配線の端部は、前記第 3 の活性領域上に配置された前記第 3 ゲート配線の延伸方向に対して斜めに配置されていることを特徴とする半導体装置。

10

20

【請求項 3】

第 1 の活性領域に形成され、第 1 ゲート配線によりゲートが構成された第 1 導電型の第 1 の MOS トランジスタと、
 前記第 1 の活性領域に隣接して配置された第 2 の活性領域と、
 前記第 2 の活性領域に形成され、前記第 1 ゲート配線によりゲートが構成された第 2 導電型の第 2 の MOS トランジスタと、
 前記第 2 の活性領域に形成され、第 2 ゲート配線によりゲートが構成された第 2 導電型の第 3 の MOS トランジスタと、
 前記第 1 の活性領域に離間して形成された第 3 の活性領域と、
 前記第 3 の活性領域に形成され、第 3 ゲート配線によりゲートが構成された第 1 導電型の第 4 の MOS トランジスタと、
 前記第 3 の活性領域に隣接して配置された第 4 の活性領域と、
 前記第 4 の活性領域に形成され、前記第 3 ゲート配線によりゲートが構成された第 2 導電型の第 5 の MOS トランジスタと、
 前記第 4 の活性領域に形成され、第 4 ゲート配線によりゲートが構成された第 2 導電型の第 6 の MOS トランジスタとを具備し、
 前記第 1 の活性領域のうち、電源電圧に接続されたコンタクトが接続される拡散層と逆側に配置された、前記第 1 の MOS トランジスタのノード側拡散層の長手方向と、前記第 1、第 2、第 3、第 4、第 5、及び第 6 の MOS トランジスタから構成される矩形のユニットセルの長辺方向とが、20～30度の角度をなし、
 前記第 3 の活性領域のうち、電源電圧に接続されたコンタクトが接続される拡散層と逆側に配置された、前記第 4 の MOS トランジスタのノード側拡散層の長手方向と、前記第 1、第 2、第 3、第 4、第 5、及び第 6 の MOS トランジスタから構成される矩形のユニットセルの長辺方向とが、20～30度の角度をなしていることを特徴とする半導体装置。

30

40

【請求項 4】

前記第 2 の活性領域上から突出した前記第 1 ゲート配線の端部は、前記第 2 の MOS トラ

50

ンジスタのゲート幅方向に対して斜めに配置され、前記第4の活性領域上から突出した前記第3ゲート配線の端部は、前記第5のMOSトランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】

前記第2の活性領域上から突出した前記第2ゲート配線の端部は、前記第3のMOSトランジスタのゲート幅方向に対して斜めに配置され、前記第4の活性領域上から突出した前記第4ゲート配線の端部は、前記第6のMOSトランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記第1、第2、第3のMOSトランジスタと、前記第4、第5、第6のMOSトランジスタとは、前記第1のMOSトランジスタと前記第4のMOSトランジスタとの間の中心点を基準として、点対称に配置されていることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項7】

前記第1、第2、第3、第4、第5、及び第6のMOSトランジスタは、矩形形状のユニットセルを構成し、前記ユニットセルの外部には前記ユニットセルの各辺を基準として、線対称に他のユニットセルが配置されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】

前記第1の活性領域上から突出した前記第1ゲート配線の端部、及び前記第3の活性領域上から突出した前記第3ゲート配線の端部は、前記ユニットセルの長辺方向に対して斜めに配置されていることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項9】

前記第1の活性領域上から突出した前記第1ゲート配線の端部と前記第3の活性領域とに共通に接続された第1の共通コンタクトと、
前記第3の活性領域上から突出した前記第3ゲート配線の端部と前記第1の活性領域とに共通に接続された第2の共通コンタクトと、
をさらに具備することを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項10】

前記第1の共通コンタクトの長径方向と前記第1の活性領域上から突出した前記第1ゲート配線の端部とが同一方向に配置されており、
前記第2の共通コンタクトの長径方向と前記第3の活性領域上から突出した前記第3ゲート配線の端部とが同一方向に配置されていることを特徴とする請求項9に記載の半導体装置。

【請求項11】

前記第1のMOSトランジスタのゲート幅方向、及び前記第4のMOSトランジスタのゲート幅方向と、前記第1、第2、第3、第4、第5、及び第6のMOSトランジスタから構成される矩形形状のユニットセルの長辺方向とが、20～30度の角度をなしていることを特徴とする請求項3に記載の半導体装置。

【請求項12】

前記第1、第2、第3、及び第4の活性領域は、絶縁膜上に形成されていることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、絶縁膜上の半導体層に形成された半導体装置に関するものであり、特に絶縁膜上の半導体層に形成されたスタティックランダムアクセスメモリに関するものである。

【0002】

【従来の技術】

スタティックランダムアクセスメモリ（以下、SRAMと記す）に代表される半導体メモ

10

20

30

40

50

りは、近年ますます大規模化されつつある。大規模なSRAMを実現するために、セル面積を小さくし、かつ製造プロセスの困難度を抑制することができるセルレイアウトが強く望まれている。

【0003】

従来より、6個のトランジスタで構成された6トランジスタ型SRAMセルのレイアウトは各種開示されている（例えば、特許文献1参照）。また、図9には、前記特許文献1とは別のレイアウトの例を示した。これら2つのセルレイアウトは、点Cを中心にセル内部のパターンを180度回転すると元のパターンに重なり、隣接セルがセル境界線を軸とする線対称なパターンとなっていることを特徴としている。これらレイアウトは、レジスト形成プロセスのマージンが比較的大きく、将来の微細なSRAMセルのレイアウトとして期待されている。

10

【0004】

図9に示したレイアウトは、N+型拡散層とP+型拡散層とが隣接する隣接領域（Butting diffusion）を有している。この隣接領域を用いれば、特許文献1に示したレイアウトに比べてSRAMセルの面積を小さくすることができる。図9に示したレイアウトは、絶縁膜上に形成されたシリコン層（厚さが100nm程度）を有する薄膜SOI基板を用いて、ウェル領域を形成せず拡散層にシリサイドを貼り付けることにより、N+型拡散層とP+型拡散層を接続する場合に有効なレイアウトである。SOI（Silicon on insulator）基板とは、絶縁膜上にシリコン層等の半導体層を形成した構造を有する基板である。

【0005】

20

また、図9に示したSRAMセル101では、ゲート配線GL上と活性領域（Active area）AA上に同時に開口した穴を用いて、これらを共通に接続する共通コンタクト（Shared contact）SCを形成している。この共通コンタクトSCを用いることにより、SRAMセル101の面積を小さくすることができる。なお、CVCは電源電圧Vccに接続されたコンタクト、CVSは基準電位Vssに接続されたコンタクト、CBLはビット線に接続されたコンタクトをそれぞれ示している。

【0006】

【特許文献1】

特開平10-178110号公報

【0007】

30

【発明が解決しようとする課題】

しかしながら、前述の図9に示したセルレイアウトにはいくつかの問題点がある。

【0008】

まず第1に、図9にD1で示した長さ0.1μm程度のゲート配線間の狭スペースは、マスクを作成するのが非常に困難な上、レジストパターンを形成するプロセスのマージンも少ないので、ゲート配線間の寸法変動が大きくなる。このため、大規模なSRAMを再現性良く製造することは非常に困難である。

【0009】

第2に、図9にD2で示したゲート配線間の狭スペースは、Pで示した突起部の影響により（すなわち、突起部がない場合に比べて）レジスト残りが発生しやすく、レジストパターンを形成するプロセスのマージンが少ないという問題がある。

40

【0010】

第3に、共通コンタクトSCの長径方向の寸法は、ばらつきが短径方向よりも大きい。これは、マスク形成プロセスとレジスト形成プロセスのばらつきによる。そのため、となりのゲート配線とのショートが懸念され、SRAMセル101の縦方向（短辺方向）の寸法を小さくできないという問題がある。

【0011】

第4に、図9に示したレイアウトでは、D3で示したpチャネルMOSトランジスタとpチャネルMOSトランジスタとの素子分離幅として、リソグラフィの解像限界程度の距離を確保する必要がある。また、D4で示した隣接領域の横幅は、N型不純物とP型不純物

50

をイオン注入する際のレジストマスクの合わせずれを考慮した距離だけ確保する必要がある。そのため、SRAMセル101の横方向（長辺方向）の寸法を小さくできないという問題がある。

【0012】

【課題を解決するための手段】

そこでこの発明は、前記課題に鑑みてなされたものであり、面積を小さくでき、かつリソグラフィのマージンを確保できるセルレイアウトを有する半導体装置を提供することを目的とする。

【0013】

前記目的を達成するために、この発明の一実施形態の半導体装置は、第1の活性領域に形成され、第1ゲート配線によりゲートが構成された第1導電型の第1のMOSトランジスタと、前記第1の活性領域に隣接して配置された第2の活性領域と、前記第2の活性領域に形成され、前記第1ゲート配線によりゲートが構成された第2導電型の第2のMOSトランジスタと、前記第2の活性領域に形成され、第2ゲート配線によりゲートが構成された第2導電型の第3のMOSトランジスタと、前記第1の活性領域に離間して形成された第3の活性領域と、前記第3の活性領域に形成され、第3ゲート配線によりゲートが構成された第1導電型の第4のMOSトランジスタと、前記第3の活性領域に隣接して配置された第4の活性領域と、前記第4の活性領域に形成され、前記第3ゲート配線によりゲートが構成された第2導電型の第5のMOSトランジスタと、前記第4の活性領域に形成され、第4ゲート配線によりゲートが構成された第2導電型の第6のMOSトランジスタとを具備し、前記第1の活性領域上から突出した前記第1ゲート配線の端部は、前記第1のMOSトランジスタのゲート幅方向に対して斜めに配置され、前記第3の活性領域上から突出した前記第3ゲート配線の端部は、前記第4のMOSトランジスタのゲート幅方向に対して斜めに配置されていることを特徴とする。

10

20

【0014】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0015】

[第1の実施の形態]

まず、この発明の第1の実施の形態の半導体装置について説明する。

30

【0016】

図1は、第1の実施の形態のSOI基板に形成された6トランジスタ型SRAMセルを有する半導体装置の構成を示す平面図である。

【0017】

絶縁膜上のシリコン半導体層のSRAMセル11内には、ロード(load)トランジスタLO1、トランスファ(transfer)トランジスタTR1、及びドライバ(driver)トランジスタDR1の3つのトランジスタが配置されている。さらに、SRAMセル11内には、点Cを基準として、前記ロードトランジスタLO1、トランスファトランジスタTR1、及びドライバトランジスタDR1に対し、ロードトランジスタLO2、トランスファトランジスタTR2、及びドライバトランジスタDR2が点対象に配置されている。

40

【0018】

SRAMセル11内には、PチャネルMOSトランジスタが形成されるPMOS領域と、このPMOS領域を挟むように、NチャネルMOSトランジスタが形成される2つのNMOS領域が配置されている。PMOS領域には、素子分離領域12により分離された活性領域（素子領域）PD1、PD2が形成されている。活性領域PD1、PD2は、シリコン層などの半導体領域からなる。さらに、活性領域PD1には、PチャネルMOSトランジスタであるロードトランジスタLO1が形成され、活性領域PD2にはPチャネルMOSトランジスタであるロードトランジスタLO2が形成されている。

【0019】

50

また、PMOS領域の右側のNMOS領域には、素子分離領域12により分離された活性領域(素子領域)ND1が形成されている。活性領域ND1は、シリコン層などの半導体層からなる。さらに、活性領域ND1には、NチャネルMOSトランジスタであるトランスファトランジスタTR1、及びドライバトランジスタDR1が形成されている。

【0020】

PMOS領域の左側のNMOS領域には、素子分離領域12により分離された活性領域(素子領域)ND2が形成されている。活性領域ND2は、シリコン層などの半導体層からなる。さらに、活性領域ND2には、NチャネルMOSトランジスタであるトランスファトランジスタTR2、及びドライバトランジスタDR2が形成されている。

【0021】

また、図1においてSRAMセル11の右側には、SRAMセル11の境界線11Aを基準として、SRAMセル11が線対称に形成されている。すなわち、ドライバトランジスタDR1の右側には隣接してドライバトランジスタDR3が配置され、トランスファトランジスタTR1の右側には隣接してトランスファトランジスタTR3が配置されている。

【0022】

同様に、図1においてSRAMセル11の左側には、SRAMセル11の境界線11Bを基準として、SRAMセル11が線対称に形成されている。すなわち、ドライバトランジスタDR2の左側には隣接してドライバトランジスタDR4が配置され、トランスファトランジスタTR2の左側には隣接してトランスファトランジスタTR4が配置されている。

【0023】

図1においてSRAMセル11の上側には、SRAMセル11の境界線11Cを基準として、SRAMセル11が線対称に形成されている。さらに、SRAMセル11の下側には、SRAMセル11の境界線11Dを基準として、SRAMセル11が線対称に形成されている。

【0024】

また、ロードトランジスタLO1が形成された活性領域PD1上の一方側には、電源電圧Vccに接続されたコンタクトC1が形成される。さらに、活性領域PD1上の他方側、及びロードトランジスタLO2のゲートフリンジF2上には、これらに共通に接続された共通コンタクトSC1が形成されている。同様に、ロードトランジスタLO2が形成された活性領域PD2上の一方側には、電源電圧Vccに接続されたコンタクトC2が形成される。さらに、活性領域PD2上の他方側、及びロードトランジスタLO1のゲートフリンジF1上には、これらに共通に接続された共通コンタクトSC2が形成されている。

【0025】

トランスファトランジスタTR1が形成された活性領域ND1上の一方側には、ビット線に接続されたコンタクトC3が形成されている。同様に、トランスファトランジスタTR2が形成された活性領域ND2上の一方側には、ビット線に接続されたコンタクトC4が形成されている。

【0026】

さらに、ドライバトランジスタDR1が形成された活性領域ND1上の他方側には、基準電位Vssに接続されたコンタクトC5が形成されている。同様に、ドライバトランジスタDR2が形成された活性領域ND2上の他方側には、基準電位Vssに接続されたコンタクトC6が形成されている。

【0027】

前記ロードトランジスタLO1のゲートフリンジF1は、ロードトランジスタLO1におけるチャンネル上のゲート幅方向(チャンネル幅方向)に対して斜めに形成されている。言い換えると、ロードトランジスタLO1のゲートフリンジF1は、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに形成されている。前記ロードトランジスタLO2のゲートフリンジF2も、同様にロードトランジスタLO2におけるチャンネル上のゲート幅方向に対して斜めに形成されている。言い換えると、ロードトランジスタLO2の

10

20

30

40

50

ゲートフリンジF 2は、境界線1 1 C、1 1 Dに対して斜めに形成されている。

【0028】

例えば、ロードトランジスタL O 1のゲート幅方向とゲートフリンジF 1とは、約20度の角度をなすように配置される。同様に、ロードトランジスタL O 2のゲート幅方向とゲートフリンジF 2とは、約20度の角度をなすように配置される。前記ゲートフリンジは、活性領域上から突出し、素子分離領域1 2上に存在するゲート配線の端部を指す。

【0029】

このように、ロードトランジスタのゲートフリンジが、チャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されたレイアウトを持つSRAMセル1 1では、図9に示した従来例に比べて、ロードトランジスタL O 2のゲートフリンジF 2とトランスファトランジスタT R 1のゲートフリンジとの距離D 1を長くすることができる。これにより、SRAMセル1 1のサイズを大きくすることなく、ゲートフリンジ間の距離D 1を長くすることができるため、マスク形成プロセスとレジスト形成プロセスのマージンを確保することができる。

10

【0030】

なお、ロードトランジスタL O 1のゲートフリンジF 1とゲート幅方向との角度が大きすぎると、SRAMセル1 1内のもう一方のロードトランジスタL O 2のゲート電極との距離が小さくなるため、レジスト形成プロセスのマージンが小さくなる。よって、ロードトランジスタのゲートフリンジとゲート幅方向との角度は最大でも約20度とするのが望ましい。

20

【0031】

また、前記トランスファトランジスタT R 1のゲートフリンジF 3は、トランスファトランジスタT R 1におけるチャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されている。言い換えると、トランスファトランジスタT R 1のゲートフリンジF 3は、SRAMセル1 1の長辺方向の境界線1 1 C、1 1 Dに対して斜めに形成されている。前記トランスファトランジスタT R 2のゲートフリンジF 4も、同様にトランスファトランジスタT R 2におけるチャンネル上のゲート幅方向に対して斜めに形成されている。言い換えると、トランスファトランジスタT R 2のゲートフリンジF 4は、境界線1 1 C、1 1 Dに対して斜めに形成されている。

【0032】

例えば、トランスファトランジスタT R 1のゲート幅方向とゲートフリンジF 3とは、約20度の角度をなすように配置される。同様に、トランスファトランジスタT R 2のゲート幅方向とゲートフリンジF 4とは、約20度の角度をなすように配置される。

30

【0033】

このように、トランスファトランジスタのゲートフリンジが、チャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されたレイアウトを持つSRAMセル1 1では、図9に示した従来例に比べて、トランスファトランジスタT R 1のゲートフリンジF 3とロードトランジスタL O 2のゲートフリンジF 2との距離D 1を長くすることができる。これにより、SRAMセル1 1のサイズを大きくすることなく、ゲートフリンジ間の距離D 1を長くすることができるため、マスク形成プロセスとレジスト形成プロセスのマージンを確保することができる。

40

【0034】

さらに、トランスファトランジスタT R 1のゲートフリンジF 3と共通コンタクトS C 1との距離を長くすることができるので、ゲートフリンジF 3と共通コンタクトS C 1との間のショートを減らすことができ、不良率を低減することができる。

【0035】

なお、トランスファトランジスタT R 1のゲートフリンジF 3とゲート幅方向との角度が大きすぎると、ビット線に接続されたコンタクトC 3との距離が小さくなる。同様に、トランスファトランジスタT R 2のゲートフリンジF 4とゲート幅方向との角度が大きすぎると、ビット線に接続されたコンタクトC 4との距離が小さくなる。よって、トランスフ

50

ァトランジスタのゲートフリッジとゲート幅方向との角度は最大でも約20度とするのが望ましい。

【0036】

また、図9に示した従来のレイアウトでは、あるSRAMセル内のドライバトランジスタのチャンネル上のゲート電極と、隣のSRAMセルのドライバトランジスタのチャンネル上のゲート電極とが、SRAMセルの長辺方向に平行な同一直線上に配置されており、これらドライバトランジスタのゲートフリッジも、前記同一直線上に距離D2を隔てて向かい合っている。

【0037】

これに対して、この第1の実施の形態では、ドライバトランジスタDR1、DR2のゲートフリッジF5、F6を、SRAMセルの長辺方向の境界線11C、11Dに対し斜めに形成する。言い換えると、前記ドライバトランジスタDR1のゲートフリッジF5は、ドライバトランジスタDR1におけるチャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されており、前記ドライバトランジスタDR2のゲートフリッジF6は、ドライバトランジスタDR2におけるチャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されている。

10

【0038】

例えば、ドライバトランジスタDR1のゲート幅方向とゲートフリッジF5とは、約20度の角度をなすように配置される。同様に、ドライバトランジスタDR2のゲート幅方向とゲートフリッジF6とは、約20度の角度をなすように配置される。フリッジF5を形成する方向は、トランスファトランジスタTR1のゲート配線の突起部Pがある方向と逆の方向であり、フリッジF6を形成する方向は、トランスファトランジスタTR2のゲート配線の突起部Pがある方向と逆の方向である。

20

【0039】

このように、ドライバトランジスタのゲートフリッジが、チャンネル上のゲート幅方向（チャンネル幅方向）に対して斜めに形成されたレイアウトを持つSRAMセル11では、図9に示した従来例に比べて、ドライバトランジスタDR1のゲートフリッジF5と、隣のSRAMセルのドライバトランジスタDR3のゲートフリッジとの距離D2を長くすることができる。同様に、ドライバトランジスタDR2のゲートフリッジF6と、隣のSRAMセルのドライバトランジスタDR4のゲートフリッジとの距離を長くすることができる。これにより、SRAMセル11のサイズを大きくすることなく、ゲートフリッジ間の距離D2を長くすることができるため、マスク形成プロセスとレジスト形成プロセスのマージンを確保することができる。さらに、ゲートフリッジF5あるいはF6と突起部Pとが接近することで生じるレジスト残りを防ぐことができる。

30

【0040】

なお、ドライバトランジスタDR1のゲートフリッジF5とゲート幅方向との角度が大きすぎると、基準電位V_{ss}に接続されたコンタクトC5との距離が小さくなる。同様に、ドライバトランジスタDR2のゲートフリッジF6とゲート幅方向との角度が大きすぎると、基準電位V_{ss}に接続されたコンタクトC6との距離が小さくなる。よって、ドライバトランジスタのゲートフリッジとゲート幅方向との角度は最大でも約20度とするのが望ましい。

40

【0041】

以上説明したようにこの第1の実施の形態では、前記トランジスタのゲートフリッジを、そのゲート幅方向（チャンネル幅方向）に対して斜めに形成することにより、言い換えると、前記トランジスタのゲートフリッジを、活性領域上に配置されたゲート配線の延伸方向に対して斜めに配置することにより、ゲートフリッジ間の距離を長くすることができる。これにより、リソグラフィ工程のマージンを確保しつつ、SRAMセルの長辺方向の長さを短縮できるため、SRAMセルの長辺方向の寸法を小さくすることが可能となる。

【0042】

なお、ゲートフリッジの仕上がり形状が直線的ではなく、弧を描くように形成された場合

50

、厳密な意味では角度を定義することはできないが、この第1の実施形態の効果を楽しむことができる。また、図1にはロードトランジスタ、トランスファトランジスタ、及びドライバトランジスタのゲートフリンジが全て斜めに形成された例を示したが、これらのトランジスタのうち、少なくともいずれかのトランジスタのゲートフリンジのみを斜めに形成するようにしてもよい。

【0043】

[第2の実施の形態]

次に、この発明の第2の実施の形態の半導体装置について説明する。この第2の実施の形態は、前記第1の実施の形態の構成に加えて、さらに共通コンタクトを斜めに配置したものである。前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。

10

【0044】

図2は、第2の実施の形態のSOI基板に形成された6トランジスタ型SRAMセルを有する半導体装置の構成を示す平面図である。

【0045】

前記第1の実施の形態では、共通コンタクトSC1（またはSC2）の長径方向と、ロードトランジスタLO2（またはロードトランジスタLO1）のゲート幅方向（あるいはSRAMセル境界線の長辺方向）とが90度の角度をなすように配置されていた。

【0046】

この第2の実施の形態では、図2に示すように、共通コンタクトSC1の長径方向は、ロードトランジスタLO2のゲート幅方向（あるいはSRAMセル境界線の長辺方向）に対して斜めに配置される。同様に、共通コンタクトSC2の長径方向は、ロードトランジスタLO1のゲート幅方向に対して斜めに配置される。

20

【0047】

例えば、共通コンタクトSC1の長径方向とロードトランジスタLO2のゲート幅方向とは、約20～30度の角度をなすように配置される。同様に、共通コンタクトSC2の長径方向とロードトランジスタLO1のゲート幅方向とは、約20～30度の角度をなすように配置される。

【0048】

このようなレイアウトを持つSRAMセル11では、共通コンタクトの長径の寸法がばらついていても、共通コンタクトとゲート配線との間の距離のばらつきを小さくすることができる。このため、SRAMセルの短辺方向の寸法を小さくすることが可能になる。

30

【0049】

以上説明したようにこの第2の実施の形態では、前記トランジスタのゲートフリンジを、そのゲート幅方向（チャンネル幅方向）に対して斜めに形成すると共に、共通コンタクトの長径方向をトランジスタのゲート幅方向（あるいはSRAMセル境界線の長辺方向）に対して斜めに配置することにより、ゲートフリンジ間の距離を長くすることができると共に、共通コンタクトとゲート配線との距離のばらつきを小さくすることができる。これにより、リソグラフィ工程のマージンを確保しつつ、SRAMセルの長辺方向、及び短辺方向の寸法を小さくでき、SRAMセルの面積を小さくすることができる。

40

【0050】

[第3の実施の形態]

次に、この発明の第3の実施の形態の半導体装置について説明する。図9に示した従来のレイアウトでは、ロードトランジスタ同士の最小素子分離幅の方向D3がSRAMセルの長辺方向の境界線に対し平行であった。

【0051】

この第3の実施の形態では、ロードトランジスタのノード側拡散層の長手方向と、SRAMセル11の長辺方向の境界線11C、11Dとが斜めに配置される。前記ロードトランジスタのノード側拡散層は、電源電圧V_{cc}に接続されたコンタクトC1が接続されていない拡散層を指す。すなわち、前記ノード側拡散層は、電源電圧V_{cc}に接続されたコンタク

50

トC1が接続されるソース/ドレイン拡散層と逆側に配置されたソース/ドレイン拡散層を示す。さらに、トランジスタのゲート幅方向、及び共通コンタクトSC1、SC2の長径方向と、SRAMセル11の長辺方向の境界線11C、11Dとが斜めに配置される。前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。

【0052】

図3は、第3の実施の形態のSOI基板に形成された6トランジスタ型SRAMセルを有する半導体装置の構成を示す平面図である。

【0053】

図3に示すように、ロードトランジスタLO1のノード側拡散層LON1は、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。また、ロードトランジスタLO1のゲート幅方向が、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。

【0054】

同様に、ロードトランジスタLO2のノード側拡散層LON2は、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。また、ロードトランジスタLO2のゲート幅方向が、SRAMセル11の長辺方向の境界線11C、11Dに対して斜めに配置される。

【0055】

例えば、ロードトランジスタLO1のノード側拡散層LON1とSRAMセル11の長辺方向とは、約20～30度の角度をなすように配置される。同様に、ロードトランジスタLO2のノード側拡散層LON2とSRAMセル11の長辺方向とは、約20～30度の角度をなすように配置される。

【0056】

これに伴って、ロードトランジスタ同士の最小素子分離幅の方向D3は、SRAMセル11の長辺方向の境界線11C、11Dに対して60度～70度の角度をなすように配置される。

【0057】

このようなレイアウトを持つSRAMセル11では、SRAMセル11の長辺方向の寸法を、図9に示した従来例の約76%に短くすることができる。SRAMセル11の短辺方法は、従来例と同じ寸法を確保できるので、セル面積を従来例の約76%に縮小することができる。

【0058】

また、この実施の形態では、トランスファトランジスタTR1（またはTR2）のゲート配線は、従来例のような突起部Pを持たず、均一な幅を有するパターンとする。さらに、トランスファトランジスタTR1（またはTR2）のゲート配線は、コンタクトC7（またはC8）の中央を横切るような配置とすることが望ましい。このとき、トランスファトランジスタTR1（またはTR2）のゲート配線上のコンタクトC7（またはC8）と前記ゲート配線との接触部分におけるゲート配線の幅が、前記コンタクトC7（またはC8）の径よりも小さくなる。このような配置により、SRAMセル11の短辺方向の寸法の増大を抑制しつつ、距離D2で示したゲート配線間におけるリソグラフィ工程のマージンを確保することができる。

【0059】

また、ドライバトランジスタDR1のチャンネル上のゲート幅方向と、SRAMセル11の長辺方向の境界線11C、11Dとが、35度～45度の角度をなすように配置される。この配置によれば、図9に示した従来例に比べてセルサイズを増大させることなく、ドライバトランジスタDR1のチャンネル幅が増大するので、スタティックノイズマージンを向上させることができる。

【0060】

また、隣り合う共通コンタクトSC1とSC2との距離が、長径と同程度確保できるため

10

20

30

40

50

、レジスト形成プロセスや電極の形成を安定して行うことができる。

【0061】

以下に、前記第3の実施の形態の半導体装置の断面構造について説明しておく。図4は、図3に示したSRAMセルのA-B線に沿った断面図である。

【0062】

図4に示すように、半導体基板21上には、絶縁膜、例えば酸化膜22が形成されている。酸化膜22内には、活性領域としてのシリコン層23A、23Bが形成される。シリコン層23A上にはゲート絶縁膜24が形成され、ゲート絶縁膜24上にはゲート配線25及びシリサイド層26が形成されている。このゲート配線25及びシリサイド層26の側面には、酸化膜などのゲート側壁膜27が形成されている。

10

【0063】

さらに、シリコン層23B上にはシリサイド層28が形成されている。シリサイド層26、28上には、これらを接続するコンタクトSC1としてのタングステン膜29が形成される。さらに、前記構造上には層間絶縁膜30が形成され、層間絶縁膜30内には第2の配線31、及び第3の配線32が形成されている。

【0064】

また、図5は、図3に示したSRAMセルのE-F線に沿った断面図である。

【0065】

図5に示すように、半導体基板21上には、絶縁膜、例えば酸化膜22が形成されている。酸化膜22上には、ゲート配線25及びシリサイド層26が形成される。このゲート配線25及びシリサイド層26の側面には、酸化膜などのゲート側壁膜27が形成されている。

20

【0066】

さらに、前記構造上には層間絶縁膜30が形成され、層間絶縁膜30内のシリサイド層26上には、このシリサイド層26と第1の配線33とを接続するコンタクトC7としてのタングステン膜29が形成される。タングステン膜29上には、前記第1の配線33が形成され、第1の配線33上には第2配線下コンタクト34を介して第2の配線31が形成されている。さらに、第2の配線31の上方には、第3の配線32が形成されている。

【0067】

また、図6に、図3に示したSRAMセルにおける、第1の配線33、第1配線下コンタクト、及び共通コンタクトのパターンを示す。さらに、図7に、第2の配線31、及び第2配線下コンタクトのパターンを示し、図8に第3の配線32、及び第3配線下コンタクトのパターンを示す。なお、図6～図8において、コンタクトのパターンは破線にて表した。

30

【0068】

以上説明したようにこの第3の実施の形態では、ロードトランジスタのノード側拡散層を、SRAMセルの長辺方向に対して斜めに配置する、トランスファトランジスタのゲート配線は突起部Pを持たず、均一な幅を有するパターンとする。ドライバトランジスタのチャネル上のゲート幅方向と、SRAMセルの長辺方向とが、35度～45度の角度をなすように配置する。これらにより、ゲート配線間の距離を確保することができ、かつSRAMセルの面積を縮小することができる。

40

【0069】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせ実施することも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0070】

【発明の効果】

以上述べたようにこの発明によれば、面積を小さくでき、かつリソグラフィのマージンを確保できるセルレイアウトを有する半導体装置を提供することが可能である。

50

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A Mセルを有する半導体装置の構成を示す平面図である。

【図 2】 この発明の第 2 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A Mセルを有する半導体装置の構成を示す平面図である。

【図 3】 この発明の第 3 の実施の形態の S O I 基板に形成された 6 トランジスタ型 S R A Mセルを有する半導体装置の構成を示す平面図である。

【図 4】 図 3 に示した半導体装置の A - B 線に沿った断面図である。

【図 5】 図 3 に示した半導体装置の E - F 線に沿った断面図である。

【図 6】 図 3 に示した半導体装置における、第 1 の配線及びコンタクト部のパターンを示す図である。 10

【図 7】 図 3 に示した半導体装置における、第 2 の配線及びコンタクト部のパターンを示す図である。

【図 8】 図 3 に示した半導体装置における、第 3 の配線及びコンタクト部のパターンを示す図である。

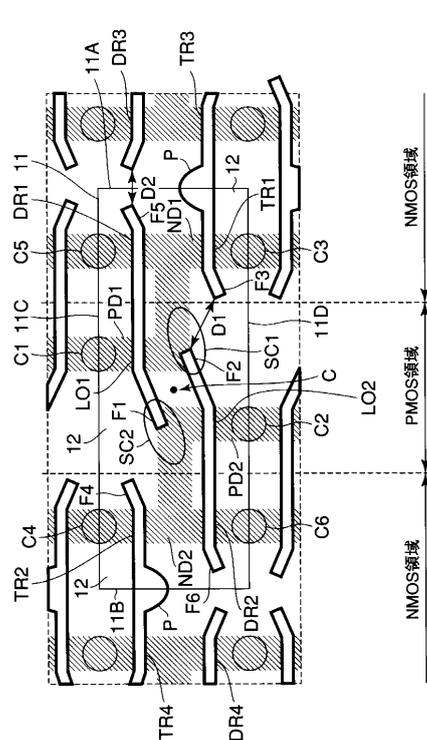
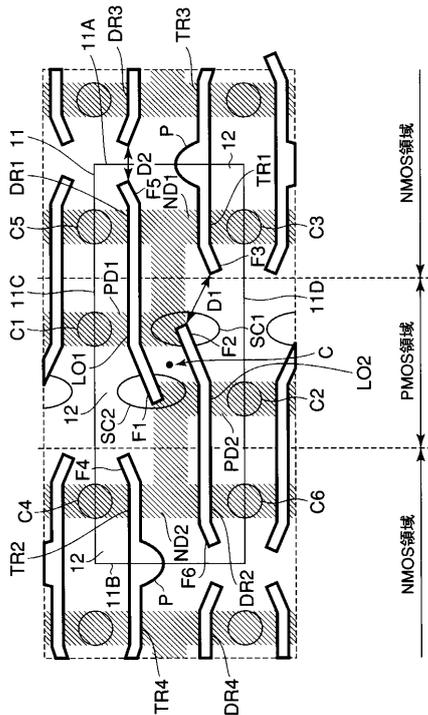
【図 9】 従来の S R A Mセルを有する半導体装置の構成を示す平面図である。

【符号の説明】

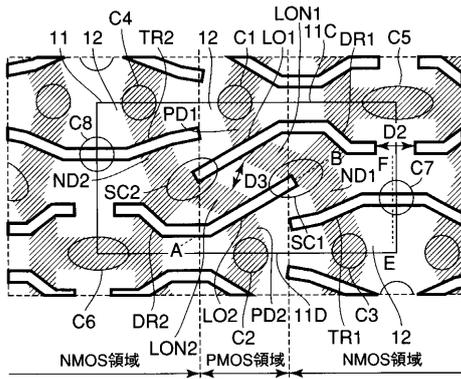
1 1 ... S R A Mセル、 L O 1、 L O 2 ... ロード (load) トランジスタ、 T R 1、 T R 2、 T R 3、 T R 4 ... トランスファ (transfer) トランジスタ、 D R 1、 D R 2、 D R 3、 D R 4 ... ドライバ (driver) トランジスタ、 1 2 ... 素子分離領域、 P D 1、 P D 2、 N D 1、 N D 2 ... 活性領域 (素子領域)、 1 1 A、 1 1 B ... S R A Mセル 1 1 の境界線 (短辺方向)、 1 1 C、 1 1 D ... S R A Mセル 1 1 の境界線 (長辺方向)、 C 1、 C 2、 C 3、 C 4、 C 5、 C 6 ... コンタクト、 F 1、 F 2、 F 3、 F 4、 F 5、 F 6 ... ゲートフリンジ、 S C 1、 S C 2 ... 共通コンタクト、 P ... 突起部。 20

【図 1】

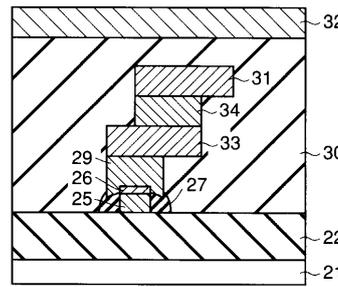
【図 2】



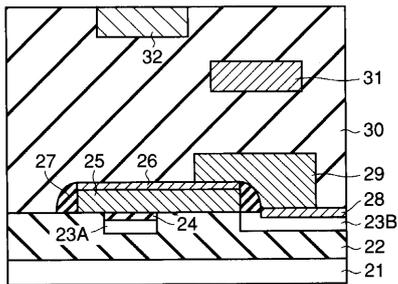
【 図 3 】



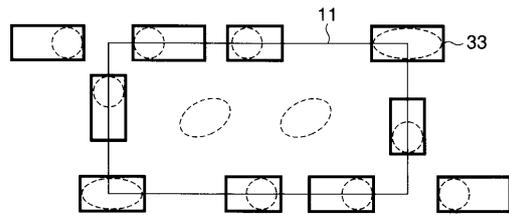
【 図 5 】



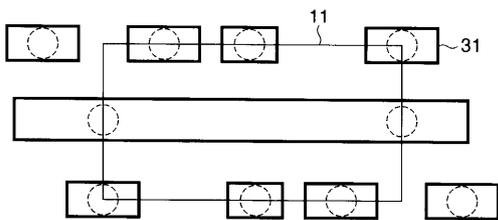
【 図 4 】



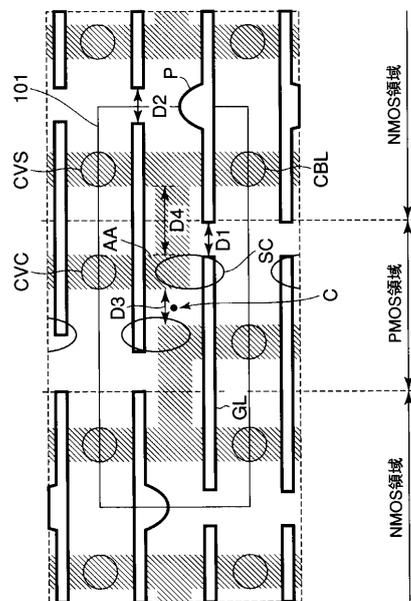
【 図 6 】



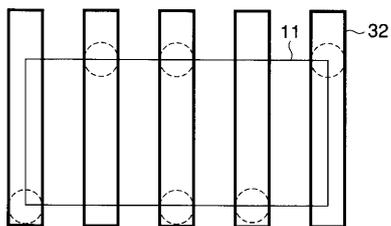
【 図 7 】



【 図 9 】



【 図 8 】



フロントページの続き

(72)発明者 篠 智彰

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 正山 旭

(56)参考文献 特開平08-130254(JP,A)
特開平10-172287(JP,A)
特開2000-003967(JP,A)
特開2000-036543(JP,A)
特開2003-115550(JP,A)
特開平10-178110(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/11

H01L 21/8244