

(12) 发明专利申请

(10) 申请公布号 CN 102576789 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201080041485. 9

(74) 专利代理机构 北京嘉和天工知识产权代理
事务所 11269

(22) 申请日 2010. 09. 20

代理人 严慎

(30) 优先权数据

61/244, 046 2009. 09. 20 US

61/351, 875 2010. 06. 05 US

(51) Int. Cl.

H01L 33/48(2006. 01)

H01L 33/62(2006. 01)

H01L 23/48(2006. 01)

(85) PCT申请进入国家阶段日

2012. 03. 16

(86) PCT申请的申请数据

PCT/IL2010/000772 2010. 09. 20

(87) PCT申请的公布数据

W02011/033516 EN 2011. 03. 24

(71) 申请人 维亚甘有限公司

地址 以色列奇科隆雅科夫

(72) 发明人 M·马格利特 I·佩特洛尼尔斯

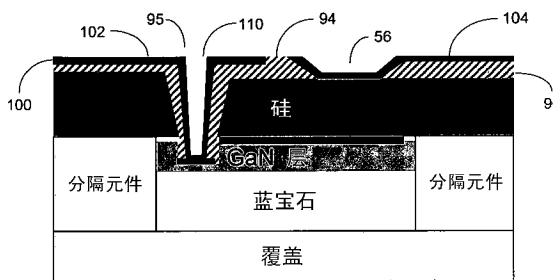
权利要求书 2 页 说明书 10 页 附图 12 页

(54) 发明名称

电子器件的晶片级封装

(57) 摘要

一种电子器件封装由以下部件构成：电子器件，其包括第一触点；金属焊盘，其被设置用于提供与所述第一触点的电连接；衬底，其包括第一面和与所述衬底的第一面相对的第二面，所述衬底的第一面与所述电子器件的面相邻；以及 VIA，其从所述衬底的第二面穿过所述衬底到达所述金属焊盘。所述 VIA 呈现有：通路，其延伸通过所述衬底，从所述第一面延伸到所述第二面；金属层，其设置在所述通路内，被布置成提供从与所述衬底的第二面相邻的区域到所述金属焊盘的电连接；以及电绝缘第一钝化层，其设置在所述金属层和所述衬底之间，被布置成提供所述衬底和所述金属层之间的电绝缘。



1. 一种电子器件封装,所述电子器件封装包括:
电子器件,所述电子器件包括第一触点;
金属焊盘,所述金属焊盘被设置用于提供与所述第一触点的电连接;
衬底,所述衬底包括第一面和与所述衬底的所述第一面相对的第二面,所述衬底的所述
所述第一面与所述电子器件的面相邻;以及
垂直互连通道 (VIA),所述 VIA 从所述衬底的所述第二面穿过所述衬底到达所述金属
焊盘,所述 VIA 呈现有:
通路,所述通路延伸通过所述衬底,从所述第一面延伸到所述第二面;
金属层,所述金属层设置在所述通路内,被布置成提供从与所述衬底的所述第二面相
邻的区域到所述金属焊盘的电连接;以及
电绝缘第一钝化层,所述电绝缘第一钝化层设置在所述金属层和所述衬底之间,被布
置成提供所述衬底和所述金属层之间的电绝缘。
2. 根据权利要求 1 所述的电子器件封装,其中,所述电绝缘第一钝化层由聚合物构成。
3. 根据权利要求 1 所述的电子器件封装,还包括第二钝化层,所述第二钝化层至少部
分地以接触方式包住所述金属层。
4. 根据权利要求 3 所述的电子器件封装,其中,所述第二钝化层由焊接掩模材料构成。
5. 根据权利要求 1 至 4 中的任一项所述的电子器件封装,其中,所述衬底由硅构成。
6. 根据权利要求 1 至 4 中的任一项所述的电子器件封装,其中,所述电子器件呈现有第
一面,并且其中,所述金属焊盘设置在所述第一面上。
7. 根据权利要求 6 所述的电子器件封装,其中,所述 VIA 延伸通过所述金属焊盘。
8. 根据权利要求 1 所述的电子器件封装,其中,所述电子器件由发光二极管构成。
9. 根据权利要求 1 所述的电子器件封装,其中,所述电子器件还包括与所述第一触点
在电学性能上不同的第二触点,并且其中,所述衬底由提供与所述第二触点的电连接的导
电材料构成。
10. 根据权利要求 1 至 4 中的任一项所述的电子器件封装,还包括附于所述衬底的分隔
元件,所述分隔元件限定所述电子器件附着于所述衬底的位置。
11. 根据权利要求 10 所述的电子器件封装,其中,所述分隔元件由反射性聚合物构成。
12. 根据权利要求 1 至 4 中的任一项所述的电子器件封装,还包括光学透明的覆盖,所
述电子器件设置在所述衬底和所述光学透明的覆盖之间。
13. 根据权利要求 12 所述的电子器件封装,其中,所述光学透明的覆盖包括透镜、漫射
元件、荧光体涂层、变色材料涂层、抗反射涂层以及滤光器中的至少一种。
14. 根据权利要求 12 所述的电子器件封装,还包括附于所述衬底的分隔元件,所述分
隔元件限定将所述电子器件附着于所述衬底的位置并且还限定附着所述光学透明的覆盖
的位置。
15. 一种形成电子器件封装的方法,所述方法包括:
提供包括第一触点的电子器件;
沉积金属焊盘,以提供与所述第一触点的电连接;
提供包括第一面和第二面的衬底,所述第二面与所述衬底的所述第一面是相对的;
将所提供的所述电子器件附着于所提供的所述衬底,使得所提供的所述衬底的所述第

一面与所提供的所述电子器件的面相邻；

蚀刻从所述衬底的所述第二面到所述金属焊盘的垂直互连通道 (VIA)；

向所述衬底的所述第二面施用电绝缘第一钝化层,所述电绝缘第一钝化层与经蚀刻的所述 VIA 的表面接触；

钻孔形成接触孔,所述接触孔在经蚀刻的所述 VIA 的顶部处穿过所述电绝缘第一钝化层,以至少接触所沉积的所述金属焊盘；以及

向所述电绝缘第一钝化层的第二面沉积金属层,以提供从与所述衬底的所述第二面相邻的区域到所沉积的所述金属焊盘的导电性。

16. 根据权利要求 15 所述的方法,其中,所施用的所述电绝缘第一钝化层由聚合物构成。

17. 根据权利要求 15 所述的方法,还包括施用第二钝化层,以至少部分地以接触方式包住所沉积的所述金属层。

18. 根据权利要求 17 所述的方法,其中,所述第二钝化层由焊接掩模材料构成。

19. 根据权利要求 15 至 18 中的任一项所述的方法,其中,所述衬底由硅构成。

20. 根据权利要求 15 至 18 中的任一项所述的方法,其中,所提供的所述电子器件呈现有与所述第一触点相关联的第一面,并且其中,所述金属焊盘沉积在所述第一面上。

21. 根据权利要求 20 所述的方法,其中,所述钻孔操作延伸通过所沉积的所述金属焊盘。

22. 根据权利要求 15 至 18 中的任一项所述的方法,其中,所述电子器件由发光二极管构成。

23. 根据权利要求 15 所述的方法,其中,所提供的所述电子器件包括在电学性能上与所述第一触点不同的第二触点并且所附着的所述衬底由导电材料构成,并且所述方法还包括沉积第二金属焊盘,所述第二金属焊盘接触所述第二触点。

24. 根据权利要求 15 至 18 中的任一项所述的方法,还包括：

提供分隔元件；以及

将所提供的所述分隔元件附于所提供的所述衬底,所述分隔元件限定所述将所提供的所述电子器件附着于所提供的所述衬底的位置。

25. 根据权利要求 24 所述的方法,其中,所提供的所述分隔元件由反射性聚合物构成。

26. 根据权利要求 15 至 19 所述的方法,还包括：

提供光学透明的覆盖；以及

附着所提供的所述光学透明的覆盖,使得所提供的所述电子器件设置在所提供的所述衬底和所提供的所述光学透明的覆盖之间。

27. 根据权利要求 26 所述的方法,其中,所提供的所述光学透明的覆盖包括透镜、漫射元件、荧光体涂层、变色材料涂层、抗反射涂层以及滤光器中的至少一种。

28. 根据权利要求 26 所述的方法,还包括：

提供分隔元件,其中,所提供的所述分隔元件限定所述附着所提供的所述光学透明的覆盖的位置。

电子器件的晶片级封装

技术领域

[0001] 本发明总体涉及电子器件的晶片级封装领域,具体来讲,涉及其中穿过衬底提供 VIA 的晶片级封装,所述 VIA 被布置用于为电子器件提供穿过衬底的绝缘连接路径。

背景技术

[0002] 对诸如发光二极管(LED)和其他器件之类的电子器件的封装为电子部件的主要造价项。在一个非限制性的实例中,提供长寿命、紧凑的形状因子、优良的能量效率以及 RohS 兼容性的 LED 是昂贵的,这是由于包括密封、光学器件、荧光体和有效导热的一些封装要求导致的。对于通过使用硅基的晶片级组装技术来降低电子器件封装成本,已存在各种努力。然而,这些方法仍需要用于电子器件的载体芯片,并且在大多数情况下,载体芯片使成本加倍,并且就 LED 而言,载体芯片使耐热性增至三倍。因此,长久地需要这样的电子器件的晶片级封装,其不需要任何载体芯片并且兼顾到电子器件的连接。

发明内容

[0003] 因此,本发明的主要目的在于克服现有技术的受控通道(access)系统的不足。为了实现这个目的,在本发明中,将电子器件放置在衬底的第一面上,并且通过生成与电子器件的垂直互连通道(VIA)连接,使 VIA 与衬底绝缘而提供从衬底的第二面的区域到电子器件的电接触。在示例性实施方案中,在衬底中形成直至电子器件上的金属焊盘的通路孔(pass through hole),并且形成绝缘钝化层,使其覆盖通路孔的表面区域。然后,形成穿过绝缘钝化层的通路(passage),并且在其内设置金属层,从而提供从衬底的第二面的区域到金属焊盘的电接触。

[0004] 在一个实施方案中,提供了一种电子器件封装,该电子器件封装包括:电子器件,其包括第一触点;金属焊盘,其被设置用于提供与所述第一触点的电连接;衬底,其包括第一面和与所述衬底的所述第一面相对的第二面,所述衬底的所述第一面与所述电子器件的面相邻;以及垂直互连通道(VIA),其从所述衬底的第二面穿过所述衬底到达所述金属焊盘。所述 VIA 呈现有(exhibit):通路,其延伸通过所述衬底,从所述第一面延伸到所述第二面;金属层,其设置在所述通路内,被布置成提供从与所述衬底的所述第二面相邻的区域到所述金属焊盘的电连接;以及电绝缘第一钝化层,其设置在所述金属层和所述衬底之间,被布置成提供所述衬底和所述金属层之间的电绝缘。

[0005] 在一个实施方案中,所述电绝缘第一钝化层由聚合物构成。在另一个实施方案中,电子器件封装还包括第二钝化层,所述第二钝化层至少部分地以接触方式包住(encase)所述金属层。

[0006] 在又一个实施方案中,所述第二钝化层由焊接掩模材料构成。在又一个实施方案中,所述衬底由硅构成。

[0007] 在又一个实施方案中,所述电子器件呈现有第一面,并且所述金属焊盘设置在所述第一面上。在又一个实施方案中,所述 VIA 延伸通过所述金属焊盘。

[0008] 在一个实施方案中,所述电子器件由发光二极管构成。在另一个实施方案中,所述电子器件还包括与所述第一触点在电学性能上不同的 (electrically different) 第二触点,并且所述衬底由提供与所述第二触点的电连接的导电材料构成。

[0009] 在又一个实施方案中,所述电子器件封装还包括附于 (affix) 所述衬底的分隔元件 (spacer element),所述分隔元件限定所述电子器件附着 (attachment) 于所述衬底的位置。在又一个实施方案中,所述分隔元件由反射性聚合物构成。

[0010] 在又一个实施方案中,所述电子器件封装还包括光学透明的覆盖 (cover),所述电子器件设置在所述衬底和所述光学透明的覆盖之间。在又一个实施方案中,所述光学透明的覆盖包括透镜、漫射元件、荧光体涂层、变色材料涂层、抗反射涂层以及滤光器中的至少一种。在又一个实施方案中,所述电子器件封装还包括附于所述衬底的分隔元件,所述分隔元件限定将所述电子器件附着于所述衬底的位置并且还限定附着所述光学透明的覆盖的位置。

[0011] 此外,提供了一种形成电子器件封装的方法,所述方法包括:提供包括第一触点的电子器件;沉积金属焊盘,以提供与所述第一触点的电连接;提供包括第一面和第二面的衬底,所述第二面与所述衬底的所述第一面相对;将所提供的所述电子器件附着于所提供的所述衬底,使得所提供的所述衬底的所述第一面与所提供的所述电子器件的面相邻;蚀刻从所述衬底的所述第二面到所述金属焊盘的垂直互连通道 (VIA);向所述衬底的所述第二面施用电绝缘第一钝化层,所述电绝缘第一钝化层与经蚀刻的所述 VIA 的表面接触;钻孔形成接触孔,所述接触孔在经蚀刻的所述 VIA 的顶部 (apex) 处穿过所述电绝缘第一钝化层,以至少接触所沉积的所述金属焊盘;以及向所述电绝缘第一钝化层的第二面沉积金属层,以提供从与所述衬底的所述第二面相邻的区域到所沉积的所述金属焊盘的导电性。

[0012] 在一个实施方案中,所施用的所述电绝缘第一钝化层由聚合物构成。在另一个实施方案中,所述方法还包括施用第二钝化层,以至少部分地以接触方式包住所沉积的所述金属层。

[0013] 在又一个实施方案中,所述第二钝化层由焊接掩模材料构成。在又一个实施方案中,所述衬底由硅构成。

[0014] 在又一个实施方案中,所提供的所述电子器件呈现有与所述第一触点相关联的第一面,并且所述金属焊盘沉积在所述第一面上。在又一个实施方案中,所述钻孔延伸通过所沉积的所述金属焊盘。在又一个实施方案中,所述电子器件由发光二极管构成。

[0015] 在一个实施方案中,所提供的所述电子器件包括在电学性能上与所述第一触点不同的第二触点并且所附着的所述衬底由导电材料构成,并且所述方法还包括沉积第二金属焊盘,所述第二金属焊盘接触所述第二触点。

[0016] 在又一个实施方案中,所述方法还包括:提供分隔元件;以及将所提供的所述分隔元件附于所提供的所述衬底,所述分隔元件限定将所提供的所述电子器件附着于所提供的所述衬底的位置。在又一个实施方案中,所提供的所述分隔元件由反射性聚合物构成。

[0017] 在又一个实施方案中,所述方法还包括:提供光学透明的覆盖;以及附着所提供的所述光学透明的覆盖,使得所提供的所述电子器件设置在所提供的所述衬底和所提供的所述光学透明的覆盖之间。在又一个实施方案中,所提供的所述光学透明的覆盖包括透镜、漫射元件、荧光体涂层、变色材料涂层、抗反射涂层以及滤光器中的至少一种。在又一个实

实施方案中,所述方法还包括:提供分隔元件,其中,所提供的所述分隔元件限定附着所提供的所述光学透明的覆盖的位置。

[0018] 根据以下的附图和说明,本发明另外的特征和优点将变得清楚。

附图说明

[0019] 为了更好地理解本发明并且为了示出如何可以使本发明生效,现在将只以举例的方式参照附图,在附图中,类似的标号始终代表对应的元件或部分。

[0020] 现在详细地具体参照附图,要强调的是,图示的细节是举例的方式并且只是出于示例性讨论本发明的优选实施方案的目的,并且其呈现的目的是为了提供据信是最可用的且容易理解的对本发明的原理和构思方面的说明。在这点上,不尝试示出比基础性理解本发明所需的细节更详细的本发明结构上的细节,从而结合附图的说明使本领域的技术人员清楚实际上可以如何实现本发明的多种形式。在附图中:

[0021] 图 1 至图 10 图示说明根据某些实施方案的水平型 LED 封装的制造过程中的步骤;以及

[0022] 图 11 至图 19 图示说明根据某些实施方案的垂直型 LED 封装的制造过程中的步骤。

具体实施方式

[0023] 在详细解释本发明的至少一个实施方案之前,要理解,本发明的应用不限于随后说明中阐述的或附图中图示说明的各组件的构造和布置的细节。本发明可应用于其他实施方案或者以各种方式来实践或执行。另外,要理解,本文采用的措辞和术语是出于说明的目的而不应该被认为是限制性的。

[0024] 图 1 至图 19 描述了制造 LED 封装的实施方案,然而,这并不以任何方式意味着是限制性的,并且在不超过范围的情况下,相同的装置和方法可以用于制造具有电触点的任何电子器件。

[0025] 图 1 图示说明制造电子封装 10 的第一阶段的框图,电子封装 10 包括电子组件 20,图示的电子组件 20 并不限制为是水平型 LED 20。水平型 LED 20 包括复合衬底,如 GaN、InGaN 或 GaAs 层,并且外延生长于 GaAs、蓝宝石、碳化硅 (SiC) 或其他晶片衬底 30 上。通常,使用 MOCVD 机,在蓝宝石衬底上,生长用于 LED、RF 组件和各种其他高功率电子器件的 GaN。电子组件 20 的其他实施方案可以由类似地生长在晶片衬底 30 上的用于激光器、LED、VECSEL 或 RF 组件的 GaAs,或者 InP 或 InGaP,或者用于激光器、VECSEL 或 RF 组件的 InGaAs 构成。

[0026] 图 2 图示说明制造电子封装 10 的后一阶段,其中,通过蚀刻,暴露水平型 LED 20 中的第一触点 22,第一触点 22 由掺杂有第一杂质类型的第一层的一部分构成,并且暴露水平型 LED 20 的第二触点 24,第二触点 24 由掺杂有第二杂质类型的第二层构成。在电学性能上,第一触点 22 与第二触点 24 不同。为了清晰起见,以下将描述水平型 LED 20 的第一触点 22 是 N 掺杂类型而第二触点 24 是 P 掺杂类型的实施方案,然而,这并不以任何方式意味着是限制性的。在另一个实施方案中,水平型 LED 20 的第一触点 22 是 P 掺杂类型而水平型 LED 20 的第二触点 24 是 N 掺杂类型。

[0027] 图 3A 至图 3B 图示说明制造电子组件 10 的后一阶段,其中,如图 3A 和图 3B 中所示,将第一金属焊盘 40 沉积在水平型 LED 20 的第一触点 22 的一部分上并且将第二金属焊盘 45 施用于水平型 LED 20 的第二触点 24 的至少一部分,其中,图 3A 图示说明水平型 LED 20 的俯视图而图 3B 图示说明水平型 LED 20 沿着线 15 的侧视图。在一个优选实施方案中,第一金属焊盘 40 和第二金属焊盘 45 包括铝。在另一个实施方案中,第一金属焊盘 40 和第二金属焊盘 45 包括金、镍和铜中的任一种。在一个实施方案中,使用剥离技术 (lift off),限定第一金属焊盘 40 和第二金属焊盘 45,在所述剥离技术中,将金属沉积在光致抗蚀剂中的预先限定的开口中。在另一个实施方案中,使用蚀刻技术,限定第一金属焊盘 40 和第二金属焊盘 45,在所述蚀刻技术中,在水平型 LED 20 上全部地覆盖 (blanket coat) 金属,并且施用光致抗蚀剂,将其图案化,然后从在光致抗蚀剂中所暴露出来的的区域中蚀刻掉金属。在这两个实施方案中,随后去除光致抗蚀剂。通过电学和操作方面的要求来确定第一金属焊盘 40 和第二金属焊盘 45 的具体形状。在一个实施方案中,将第一金属焊盘 40 设置得尽可能小,以使被第一金属焊盘 40 阻挡通路的光的量最少,并且第二金属焊盘 45 设置得尽可能大,以使从水平型 LED 20 向第一金属焊盘 40 的方向反射的光的量最多。

[0028] 在一个实施方案中,使用切片锯或划断以及分离技术,从电子组件的晶片 20 中分出单个较小的电子组件 10。如图 4A 中所图示说明的,将水平型 LED 20 结合到衬底 50 的第一面 52 上,使第二金属焊盘 45 与衬底 50 的第一面 52 相邻。衬底 50 还包括与第一面 52 相对的第二面 54。在一个实施方案中,衬底 50 包括功能元件,如,控制或驱动电子器件。有利地,如本文所述的加工温度低于电子功能元件或组件的受损阈值。在一个实施方案中,衬底 50 包括硅。在一个实施方案中,衬底 50 是非导电性的。在另一个实施方案中,衬底 50 是被掺杂的,从而具有导电性。在一个实施方案中,使用非导电性环氧树脂、导电性环氧树脂、导热率大于 1W/mk 的导热性环氧树脂进行结合;或者利用诸如金锡结合的共熔结合 (eutectic bonding) 进行结合。在一个实施方案中,利用非导电性聚合物进行结合,该非导电性聚合物呈现有足够的粘度以填充于第一或第二金属焊盘 45 中的任何表面形态,并且还呈现有足够的适应性以响应于水平型 LED 20 和衬底 50 之间的任何热膨胀不匹配。在一个实施方案中,在水平型 LED 20 的周围,沉积荧光体材料或诸如有机硅的透明封装材料。

[0029] 在一个实施方案中,如图 4B 中所图示说明的,衬底 50 的第一面 52 包括分隔元件 60,分隔元件 60 布置在第一面 52 的预定位置处并且背离第一面 52 延伸,并且水平型 LED 20 在分隔元件 60 所限定的位置处结合到衬底 50。分隔元件 60 优选地由热固性或热塑性材料构成,并且在另一个实施方案中由环状结构构成,限定用于将水平型 LED 20 附着于衬底 50 的环状结构的内部空间中的位置。因此,图 4B 图示说明为了清晰起见去除了分隔元件 60 的一部分的剖视图。在另一个实施方案中,设置多个分隔元件,以限定将水平型 LED 20 附着于衬底 50 的位置。在一个实施方案中,分隔元件 60 面对水平型 LED 20 的内壁与从第一面 52 延伸的垂直平面成某一角度,以充当离开水平型 LED 20 的光的反射器。在优选实施方案中,分隔元件 60 反射水平型 LED 20 的操作范围内的光。在一个实施方案中,通过使分隔元件 60 包括白色或金属性微米和 / 或纳米颗粒,如,铝、氧化锌和氧化铝,使其具有反射性。在可替换实施方案中,用铝或电介质薄膜滤波材料涂覆分隔元件 60,以增强其反射性。在一个实施方案中,将分隔元件 60 模制到衬底 50 上,并且在另一个实施方案中,分隔元件 60 被注射或浇注成型,并且随后结合到衬底 50 上。

[0030] 图 5 图示说明制造电子组件 10 的后一阶段,其中,在分隔元件 60 上设置覆盖 70。在一个实施方案中,用环氧树脂或其他粘合剂,将覆盖 70 固定于分隔元件 60。优选地,覆盖 70 包括光学透明的材料(如,玻璃或聚合物),而这并非限制性的。在一个实施方案中,覆盖 70 包括光学器件,如,透镜、漫射元件、荧光体或其他变色材料涂层、抗反射涂层或滤光器,而这并非限制性的。在一个实施方案中,覆盖 70 包括具有荧光体或量子点材料的闭合腔体,其对材料提供额外的环境保护。在分隔元件 60 没有施用于衬底 50 的实施方案中,覆盖 70 可以包括分隔元件或用于限定覆盖 70 与衬底 50 距离的元件。在优选实施方案中,覆盖 70 的厚度小于 400 微米。

[0031] 以上已描述了晶片衬底 30 在电子组件 10 的制造期间得以保持的实施方案,然而,这不以任何方式意味着是限制性的。在一个具体实施方案中,在不超过范围的情况下,在形成第一金属焊盘 40 和第二金属焊盘 45 之前,去除晶片衬底。

[0032] 图 6 图示说明图 5 的电子封装 10 的 180 度旋转图,并且还图示说明了制造电子组件 10 的后一阶段,其中,从第二面 54 穿过衬底 50 直至第一面 52 进行蚀刻,形成通路 80,以暴露第一金属焊盘 40。在一个实施方案中,通过深反应离子蚀刻(DRIE)实现对通路 80 的蚀刻。在使用导电材料将水平型 LED 20 结合到衬底 50 并且衬底 50 被掺杂从而具有导电性的实施方案中,通过结合第二金属焊盘 45 和衬底 50,在衬底 50 的第二面 54 处提供与第二金属焊盘 45 的电连接。在示例性实施方案中,通路 80 是成锥形的,其顶部形成为朝向衬底 50 的第一面的方向上。

[0033] 图 7 图示说明制造电子组件 10 的后一阶段,其中,将电绝缘第一钝化层 90 施用到衬底 50 的第二面 54。电绝缘第一钝化层 90 表现为具有第一表面 92,第一表面 92 与通路 80 的内表面和衬底 50 的第二面 54 接触。电绝缘第一钝化层 90 还表现为具有第二表面 94,第二表面 94 与第一表面 92 相对。在一个实施方案中,电绝缘第一钝化层 90 包括有机材料,如,焊接掩模、环氧树脂或电泳涂料,并且在另一个实施方案中,电绝缘第一钝化层 90 是无机材料,如, SiO_2 、 SiN 、 AlN 或 Al_2O_3 。在一个实施方案中,电绝缘第一钝化层 90 包括非导电性聚合物。在优选实施方案中,电绝缘第一钝化层包括导热材料,如, SiN 或 AlN ,以增强电子封装 10 的导热率。在一个实施方案中,根据材料和所需的电钝化性,电绝缘第一钝化层 90 的厚度范围是 1 微米至 40 微米。

[0034] 图 8A 图示说明制造电子组件 10 的后一阶段,其中,优选地,通过钻穿通路 80 的中轴以及第一钝化层 90 覆盖通路 80 顶部的那部分,形成穿过第一钝化层 90 的一部分的孔 95,由此暴露第一金属焊盘 40。进一步通过钻孔或蚀刻暴露电绝缘第一钝化层 90 覆盖第二面 54 的那部分,由此暴露第二面 54 的一部分 56。在一个实施方案中,利用激光对电绝缘第一钝化层 90 进行钻孔。在将 SiN 或 AlN 用于电绝缘第一钝化层 90 的另一个实施方案中,利用等离子蚀刻进行钻孔。在一个实施方案中,对孔 95 的钻孔止于金属焊盘 40。在图 8B 所图示说明的另一个实施方案中,孔 95 穿过金属焊盘 40。

[0035] 图 9 图示说明制造电子组件 10 的后一阶段,其中,包括第一部分 102 和第二部分 104 的金属层 100 施用于电绝缘第一钝化层 90 的第二表面 94。具体来讲,在孔 95 内部施用金属层 100 的第一部分 102,并且在另一个实施方案中,在孔 95 外部的电绝缘第一钝化层 90 的第二面 94 的至少一部分上施用第一部分 102,从而形成绝缘垂直互连通道(VIA)110,提供从衬底 50 的第二面 54 的区域到第一金属焊盘 40 的电连接。在衬底 50 的部分 56 上

施用金属层 100 的第二部分 104, 并且在一个实施方案中, 在与衬底 50 的部分 56 相邻的电绝缘第一钝化层 90 的第二表面 94 的至少一部分上施用第二部分 104, 由此在部分 56 处提供通过衬底 50 与第二金属焊盘 45 的电连接。

[0036] 以上已描述了衬底 50 具有导电性的实施方案, 然而, 这不以任何方式意味着是限制性的。在另一个实施方案中, 形成额外的绝缘 VIA 110, 以提供从衬底 50 的第二表面 54 的区域到第二金属焊盘 45 的电接触。金属层 100 的第一部分 102 和第二部分 104 彼此电分离。

[0037] 在一个实施方案中, 通过溅射金属晶种层, 施用金属层 100。在另外一个实施方案中, 使用电泳沉积的光致抗蚀剂、喷涂的抗蚀剂或厚抗蚀剂, 将晶种层图案化, 在一个具体实施方案中, 使其厚度大于 50 微米。在一个实施方案中, 将抗蚀剂图案化, 以创建针对焊料球的电走线 (electrical routing) 连接和凸点下金属化 (UBM)。然后, 在一个实施方案中, 通过电镀, 在暴露区域上生长 10 微米至 40 微米的另一个金属层。然后, 去除光致抗蚀剂, 使用化学干或湿蚀刻, 蚀刻被暴露的晶种层。在一个实施方案中, 金属晶种层包括铝、钛、铬、镍、钯、铂和铜中的任一种; 并且电镀层包括镍、铝和铜 (vopper) 中的任一种。在另一个实施方案中, 使用诸如镍、钛或铬的额外金属来促进粘附性并且降低腐蚀性和电迁移。

[0038] 图 10 图示说明制造电子组件 10 的后一阶段, 其中, 施用电绝缘第二钝化层 120 以至少部分覆盖金属层 100。在一个实施方案中, 电绝缘第二钝化层 120 包括焊接掩模并且为电触点和热触点设置开口。在一个实施方案中, 通过电绝缘第二钝化层 120 中的开口, 将焊料球 130 附着于金属层 100。在一个实施方案中, 使用焊料球 130 来将热从电子封装 10 导向电子封装 10 所附着的 PCB 或其他电路板。在另一个实施方案中, 使用导热性底部填充材料来导热。

[0039] 在未图示说明的另一个实施方案中, 将额外的金属导热焊盘沉积在电绝缘第一钝化层 90 上, 以提供非导电的导热路径。

[0040] 图 11 图示说明制造垂直型 LED 封装 200 的第一阶段的框图, 垂直型 LED 封装 200 包括垂直型 LED 205。垂直型 LED 205 包括复合衬底, 如, GaN、InGaN 或 GaAs 层, 并且外延生长在 GaAs、蓝宝石、碳化硅 (SiC) 或其他晶片衬底 30 上。通常, 使用 MOCVD 机, 在蓝宝石衬底上生长用于 LED、RF 组件和其他各种高功率器件的 GaN。电子组件 20 的其他实施方案可以由类似地生长在晶片衬底 30 上的用于激光器、LED、VECSEL 或 RF 组件的 GaAs, 或者 InP 或 InGaP, 或者用于激光器、VECSEL 或 RF 组件的 InGaAs 构成。

[0041] 垂直型 LED 205 包括: 第一触点 202, 其由掺杂有第一杂质类型的第一层构成; 以及第二触点 204, 其由掺杂有第二杂质类型的第二层构成。为了清晰起见, 以下将描述垂直型 LED 205 的第一触点 202 是 N 掺杂类型而第二触点 204 是 P 掺杂类型的实施方案, 然而, 这不以任何方式意味着是限制性的。在另一个实施方案中, 垂直型 LED 205 的第一触点 202 是 P 掺杂类型而垂直型 LED 205 的第二触点 204 是 N 掺杂类型的。

[0042] 垂直型 LED 205 被结合到导电衬底 210, 在一个实施方案中, 导电衬底 210 是铜、铝和硅中的任一种。在一个实施方案中, 使用非导电性环氧树脂、导电性环氧树脂、导热率大于 1W/mk 的导热性环氧树脂进行结合; 或者利用诸如金锡结合的共熔结合进行结合。在一个实施方案中, 利用非导电性聚合物进行结合, 该非导电性聚合物呈现有足够的粘度以填充于与第二触点 204 相关联的垂直型 LED 205 的面的凹部和与垂直型 LED 205 相邻的导电

衬底 210 的面的凹部,并且呈现有足够的适应性以响应于导电衬底 210 和垂直型 LED 205 之间的任何热膨胀不匹配。

[0043] 在一个实施方案中,在垂直型 LED 205 周围,沉积荧光体材料或诸如有机硅的透明封装材料。

[0044] 图 12A 和图 12B 图示说明制造垂直型 LED 封装 200 的最后一阶段,其中,优选地使用激光剥离工艺去除晶片衬底 30。图 12A 图示说明垂直型 LED 封装 200 的俯视图而图 12B 图示说明垂直型 LED 封装 200 沿着线 215 的侧视图。沉积一个或更多个第一金属焊盘 40,使其覆盖第一触点 202 的一部分。在一个优选实施方案中,第一金属焊盘 40 包括铝。在另一个实施方案中,第一接触金属焊盘 40 包括金、镍和铜中的任一种。在一个实施方案中,第一触点金属焊盘 40 由诸如 ITO 或 ZnO 的透明电极材料制成,并且覆盖垂直型 LED 205 的整个区域。在一个实施方案中,使用剥离技术限定第一金属焊盘 40,在所述剥离技术中,将金属沉积在光致抗蚀剂中预先限定的开口中。在另一个实施方案中,使用蚀刻技术,限定第一触点金属焊盘 40,在所述蚀刻技术中,在晶片上全部地覆盖金属,施用光致抗蚀剂,将其图案化,然后从在光致抗蚀剂中暴露出来的区域中蚀刻掉金属。在这两个实施方案中,随后去除光致抗蚀剂。通过电学和操作方面的要求来确定第一触点金属焊盘 40 的具体形状。在一个实施方案中,将第一触点金属焊盘 40 设置得尽可能小,以使被第一金属焊盘 40 阻挡通路的光的量最少。

[0045] 在一个实施方案中,使用切片锯或划断以及分离技术,从垂直型 LED 205 的晶片 20 分出单个较小的垂直型 LED 205。然后,如图 13A 中所图示说明的,将导电衬底 210 结合到衬底 50 的第一面 52 上。衬底 50 还包括与第一面 52 相对的第二面 54。在一个实施方案中,衬底 50 包括功能元件,如,控制或驱动电子器件。在一个优选实施方案中,加工温度低于电子组件的受损阈值。在一个实施方案中,衬底 50 包括硅。在一个实施方案中,衬底 50 是非导电性的。在另一个实施方案中,衬底 50 是被掺杂的,从而具有导电性。在一个实施方案中,使用非导电性环氧树脂、导电性环氧树脂、导热率大于 1W/mk 的导热性环氧树脂进行结合;或者利用诸如金锡结合的共熔键合进行结合。在一个实施方案中,利用非导电性聚合物进行结合,该非导电性聚合物呈现有足够的粘度以填充于导电衬底 210 和衬底 50 的凹部,并且表现出足够的适应性以应对导电衬底 210 和衬底 50 之间的任何热膨胀不匹配。

[0046] 图 13A 和图 13B 图示说明制造垂直型 LED 封装 200 的最后一阶段,其中,优选地使用激光剥离工艺去除晶片衬底 30。在一个实施方案中,如图 13B 中所图示说明的,衬底 50 的第一面 52 包括分隔元件 60,分隔元件 60 布置在第一面 52 的预定位置处并且背离第一面 52 延伸,并且垂直型 LED 205 在分隔元件 60 所限定的位置处结合到衬底 50。分隔元件 60 优选地由热固性或热塑性材料构成,并且在实施方案中由环状结构构成,限定用于将垂直型 LED 205 附着于衬底 50 的环状结构的内部空间中的位置。因此,图 13B 图示说明为了清晰起见去除了分隔元件 60 的一部分的剖视图。在另一个实施方案中,设置多个分隔元件,以限定将垂直型 LED 205 附着于衬底 50 的位置。在一个实施方案中,分隔元件 60 面对垂直型 LED 205 的内壁与从第一面 52 延伸的垂直平面成某一角度,以充当离开垂直型 LED 205 的光的反射器。在优选实施方案中,分隔元件 60 反射垂直型 LED 205 的操作范围内的光。在一个实施方案中,通过使分隔元件 60 包括白色或金属性微米和/或纳米颗粒,如,铝、氧化锌和氧化铝,使其具有反射性。在可替换的实施方案中,利用铝或电介质薄膜滤波材料

涂覆分隔元件 60,以增强其反射性。在一个实施方案中,将分隔元件 60 模制到衬底 50 上,并且在另一个实施方案中,分隔元件 60 被注射或浇注成型,并且随后结合到衬底 50 上。

[0047] 图 14A 图示说明制造垂直型 LED 封装 200 的后一阶段,其中,在分隔元件 60 上设置覆盖 70。在一个实施方案中,利用环氧树脂或其他粘合剂,将覆盖 70 固定于分隔元件 60。优选地,覆盖 70 包括光学透明的材料(如,玻璃或聚合物),而这并非限制性的。在一个实施方案中,覆盖 70 包括光学器件,如,透镜、漫射元件、荧光体或其他变色材料、抗反射涂层或滤光器,而这并非限制性的。在一个实施方案中,覆盖 70 包括具有荧光体或量子点材料的闭合腔体,其对材料提供额外的环境保护。在分隔元件 60 没有施用于衬底 50 的实施方案中,覆盖 70 可以包括分隔元件或用于限定覆盖 70 与衬底 50 距离的分隔元件。在优选实施方案中,覆盖 70 的厚度小于 400 微米。

[0048] 在一个实施方案中,覆盖 70 包括具有荧光体或量子点材料的闭合腔体,其对材料提供额外的环境保护。在一个实施方案中,如图 14B 中所图示说明的,在覆盖 70 和垂直型 LED 205 之间形成空气腔 220。空气腔 220 提供高耐热性并且降低覆盖中的温度。温度降低使得荧光体或量子点材料的寿命得以延长。为了创建空气腔 220,在一个实施方案中,在覆盖 70 上沉积光可限定材料(photo definable material)。在一个实施方案中,光可限定材料是苯并环丁烯(BCB)、焊接掩模材料、SU8 和其他聚合物材料中的任一种。在沉积后,空气腔 220 经限定和成像,在空气腔 220 的边界处留有材料,以支持与垂直型 LED 205 的接触。可以限定另外的这类腔,并且可以使用多个覆盖衬底来限定用于荧光体材料以及用于光学元件(如,透镜或漫射器)的腔。在优选实施方案中,第一触点金属焊盘 40 位于腔插入物下面并且不在空气腔 220 之内。

[0049] 在一个图示说明的实施方案中,在衬底 70 上设置光学元件 230,该光学元件 230 被图示说明为透镜(并非限制性的)。在一个实施方案中,通过聚合物或有机硅材料的液滴的表面张力,创建透镜 230 的形状。在一个实施方案中,将衬底 70 图案化,以创建特定的液滴形状、尺寸和表面质量。光学元件 230 可以由透镜、漫射元件、荧光体涂层、变色材料涂层、抗反射涂层以及滤光器中的一个或更多个构成。

[0050] 图 15 图示说明图 14A 或图 14B 的垂直型 LED 封装 200 的 180 度旋转图,并且还示出了制造垂直型 LED 封装 200 的后一阶段,其中,从第二面 54 穿过衬底 50 直至第一面 52 进行蚀刻,形成多个通路 80,以暴露第一金属焊盘 40。在一个实施方案中,通过深反应离子蚀刻(DRIE)实现对通路 80 的蚀刻。在使用导电材料结合垂直型 LED 205 并且衬底 50 被掺杂从而具有导电性的实施方案中,穿过衬底 50 实现与垂直型 LED 205 的第二触点 24 的电连接。在一个实施方案(未示出)中,蚀刻使用导电衬底 210 作为蚀刻停止件。在导电衬底 210 是由硅构成的实施方案中,可以继续穿过导电衬底 210 进行蚀刻。在导电衬底 210 是由金属构成的实施方案中,可以使用相关化学蚀刻来实现蚀刻,直至垂直型 LED 205。使用 UV 激光消融垂直型 LED 20,直到到达第一金属焊盘 40。

[0051] 图 16 图示说明制造垂直型 LED 封装 200 的后一阶段,其中,将电绝缘第一钝化层 90 施用到衬底 50 的第二面 54。电绝缘第一钝化层 90 表现为具有第一表面 92,第一表面 92 与通路 80 的内表面和衬底 50 的第二面 54 接触。电绝缘第一钝化层 90 还表现为具有第二表面 94,第二表面 94 与第一表面 92 相对。在一个实施方案中,电绝缘第一钝化层 90 包括有机材料,如,焊接掩模、环氧树脂或电泳涂料,并且在另一个实施方案中,电绝缘第一

钝化层 90 是无机材料,如, SiO_2 、 SiN 、 AlN 或 Al_2O_3 。在一个实施方案中,电绝缘第一钝化层 90 包括非导电性聚合物。在优选实施方案中,电绝缘第一钝化层包括导热材料,如, SiN 或 AlN ,以增强电子封装 10 的导热率。在一个实施方案中,根据材料和所需的电钝化性,电绝缘第一钝化层 90 的厚度范围是 1 微米至 40 微米。

[0052] 图 17 图示说明制造垂直型 LED 封装 200 的后一阶段,其中,优选地,通过钻穿通路 80 的中轴以及第一钝化层 90 覆盖通路 80 顶部的那部分,形成穿过第一钝化层 90 的一部分的孔 95,由此暴露第一金属焊盘 40。进一步通过钻孔或蚀刻暴露电绝缘第一钝化层 90 覆盖第二面 54 的那部分,由此暴露第二面 54 的一部分 56。在一个实施方案中,利用激光对电绝缘第一钝化层 90 进行钻孔。在将 SiN 或 AlN 用于电绝缘第一钝化层 90 的另一个实施方案中,利用离子蚀刻进行钻孔。在一个实施方案中,对孔 95 的钻孔止于金属焊盘 40。在如以上关于图 8B 所述的另一个实施方案中,孔 95 穿过金属焊盘 40。

[0053] 图 18 图示说明制造垂直型 LED 封装 200 的后一阶段,其中,包括第一部分 102 和第二部分 104 的金属层 100 施用于电绝缘第一钝化层 90 的第二面 94。具体来讲,在孔 95 内部施用金属层 100 的第一部分 102,并且在一个实施方案中,在孔 95 外部的电绝缘第一钝化层 90 的第二面 94 的至少一部分上施用第一部分 102,从而形成绝缘 VIA 110,提供从衬底 50 的第二面 54 的区域到第一金属焊盘 40 的电连接。在衬底 50 的部分 56 的至少一部分施用金属层 100 的第二部分 104,由此提供通过导电衬底 210 和衬底 50 与垂直型 LED 205 的第二金属焊盘 45 的电连接。

[0054] 以上已描述了衬底 50 具有导电性的实施方案,然而,这不以任何方式意味着是限制性的。在另一个实施方案中,形成额外的绝缘 VIA 110,以提供从衬底 50 的第二表面 54 的区域到第二金属焊盘 45 的电连接。金属层 100 的第一部分 102 和第二部分 104 彼此电分离。

[0055] 在一个实施方案中,通过溅射金属晶种层,施用金属层 100。在另外一个实施方案中,使用电泳沉积的光致抗蚀剂、喷涂的抗蚀剂或厚抗蚀剂,将晶种层图案化,在一个具体实施方案中,使其厚度大于 50 微米。在一个实施方案中,将抗蚀剂图案化,以创建针对焊料球的电走线连接和凸点下金属化 (UBM)。然后,在一个实施方案中,通过电镀,在暴露区域上生长 10 微米至 40 微米的另一个金属层。然后,去除光致抗蚀剂,使用化学干或湿蚀刻,蚀刻被暴露的晶种层。在一个实施方案中,金属晶种层包括铝、钛、铬、镍、钯、铂和铜中的任一种;并且电镀层包括镍、铝和铜 (vopper) 中的任一种。在另一个实施方案中,使用诸如镍、钛或铬的额外金属来促进粘附性并且降低腐蚀性和电迁移。

[0056] 图 19 图示说明制造垂直型 LED 封装 200 的后一阶段,其中,施用电绝缘第二钝化层 120 以至少部分覆盖金属层 100。在一个实施方案中,电绝缘第二钝化层 120 包括焊接掩模并且为电触点和热触点设置开口。在一个实施方案中,通过电绝缘第二钝化层 120 中的开口,将焊料球 130 附着于金属层 100。在一个实施方案中,使用焊料球 130,将热从电子封装 10 导向电子封装所附着的 PCB 或其他电路板。在另一个实施方案中,使用导热性底部填充材料来导热。

[0057] 在未图示说明的另一个实施方案中,将额外的金属导热焊盘沉积在电绝缘第一钝化层 90 上,以提供非导电的导热路径。

[0058] 要理解,为了清晰起见在各个实施方案的环境下描述的本发明的某些特征还可以

在单个实施方案中以组合的形式提供。相反,为了简便起见在单个实施方案的环境下描述的本发明的各种特征还可以单独地或者以任何合适的子组合的形式提供。

[0059] 除非另外定义,否则本文使用的所有技术和科学术语的含义与本发明所属技术领域的普通技术人员通常理解的含义相同。虽然可以在实践或检验本发明时使用与本发明所述的方法类似或等同的方法,但是本文描述了合适的方法。

[0060] 本文提及的所有出版物、专利申请、专利以及其他参考文献的全部内容以引用方式被并入。就抵触而言,包括定义的专利说明书将处于优先地位。另外,这些材料、方法和实施例只是示例性的而不意图成为限制性的。

[0061] 本领域的技术人员应该理解,本发明不限于上文具体示出和描述的内容。更确切地,本发明的范围由所附权利要求书限定,并且包括上文描述的各种特征的组合形式和子组合形式以及其变形形式和变化形式,本领域的技术人员在阅读了以上说明后将会想到这些形式。

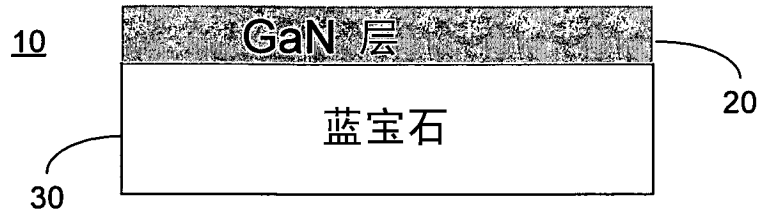


图 1

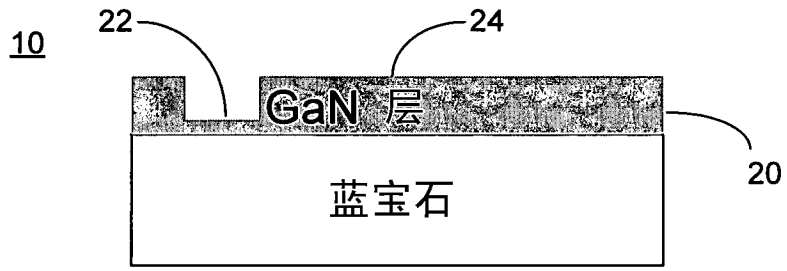


图 2

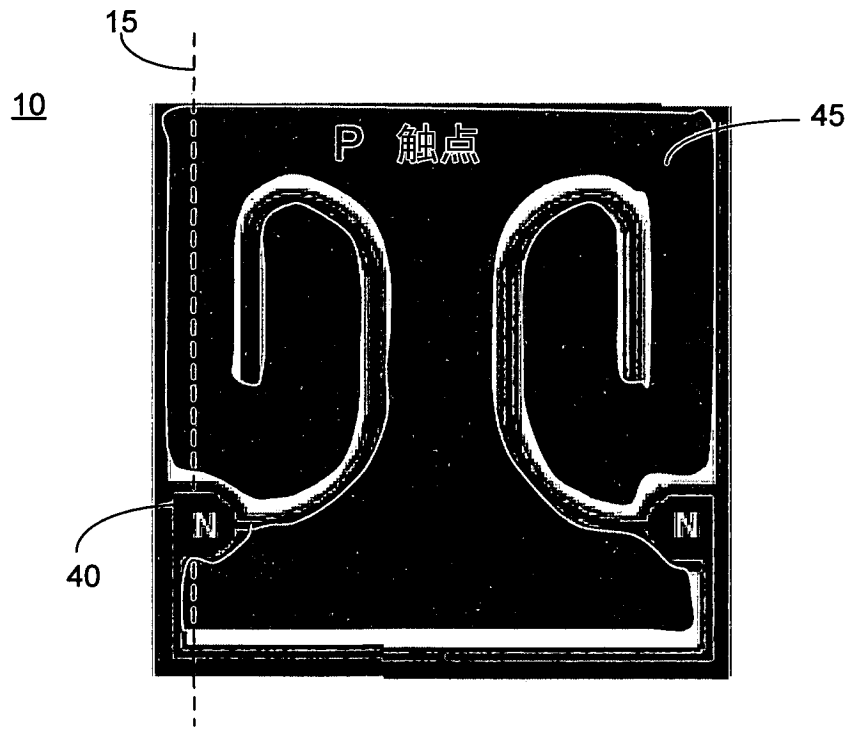


图 3A

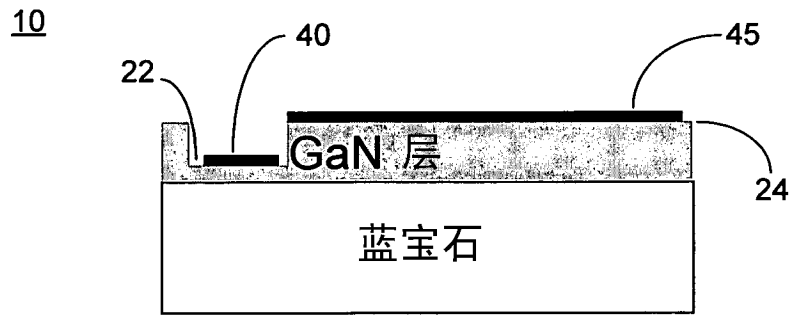


图 3B

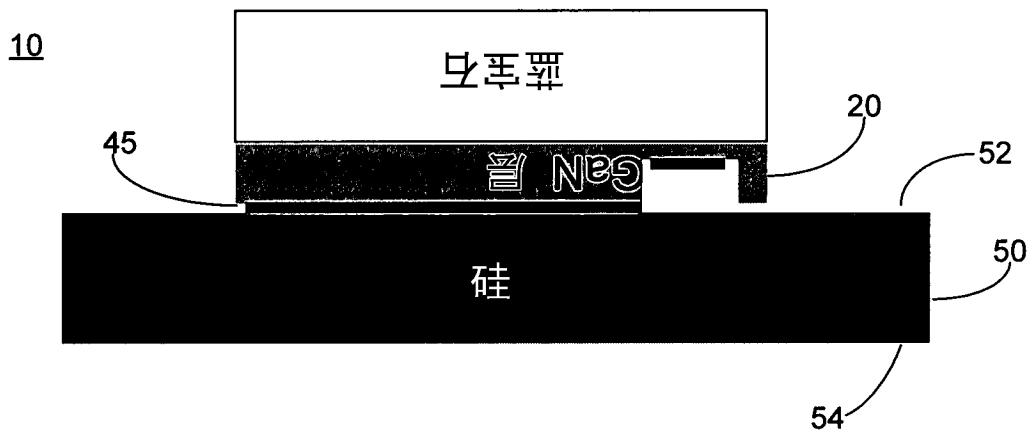


图 4A

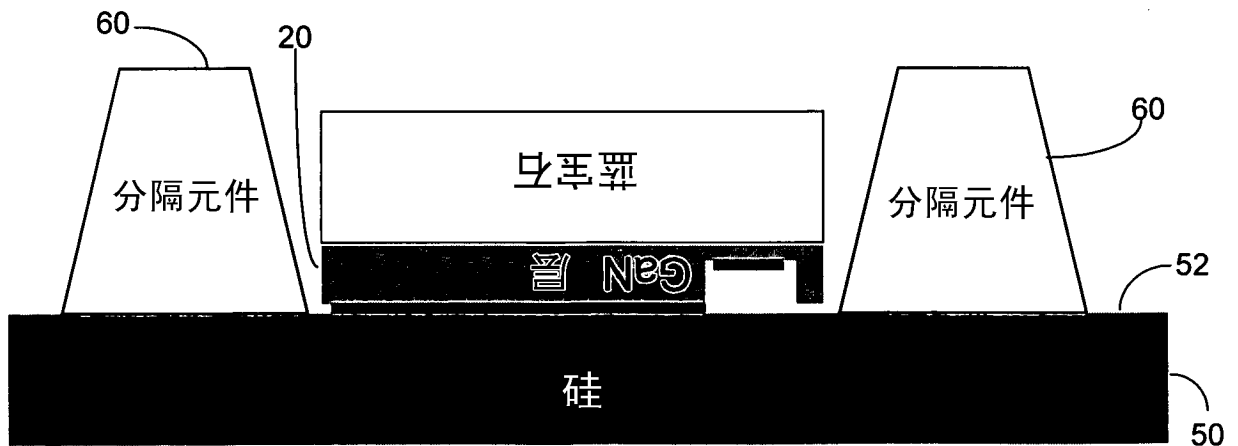


图 4B

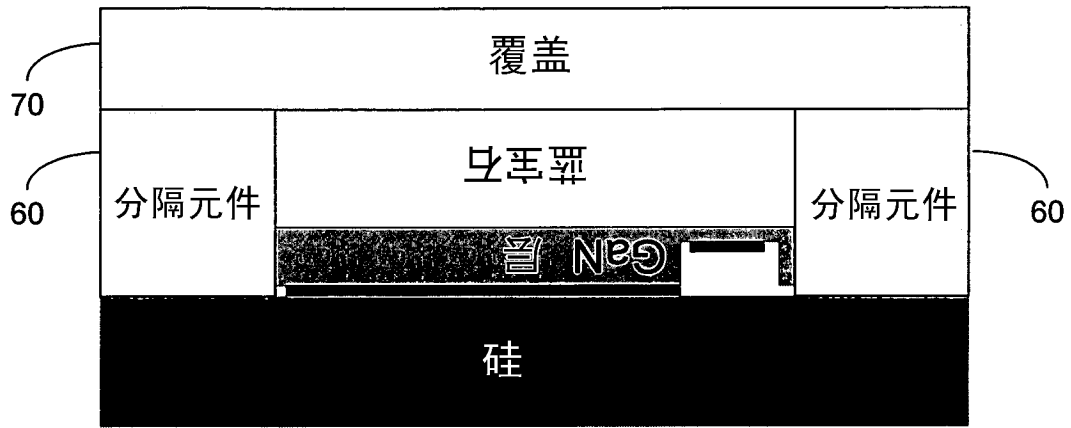


图 5

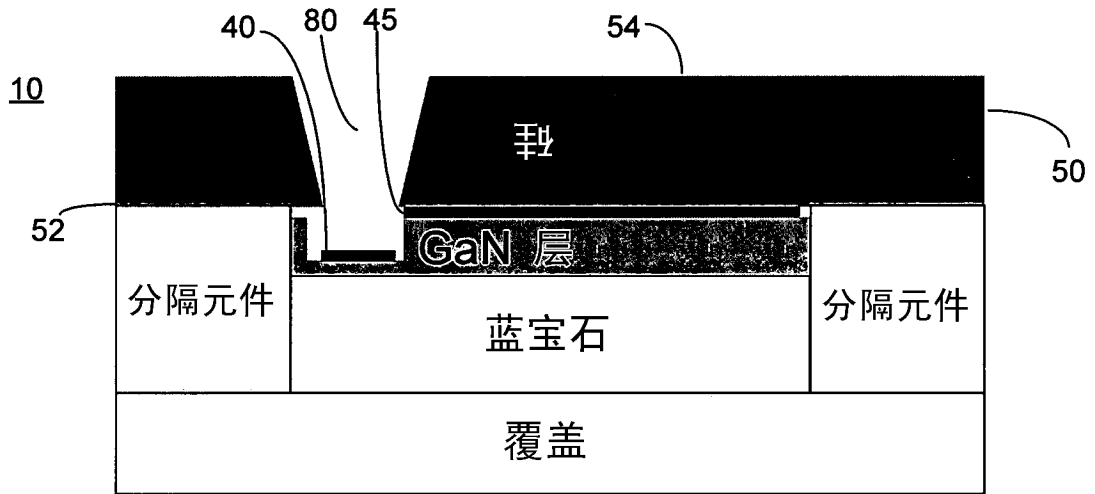


图 6

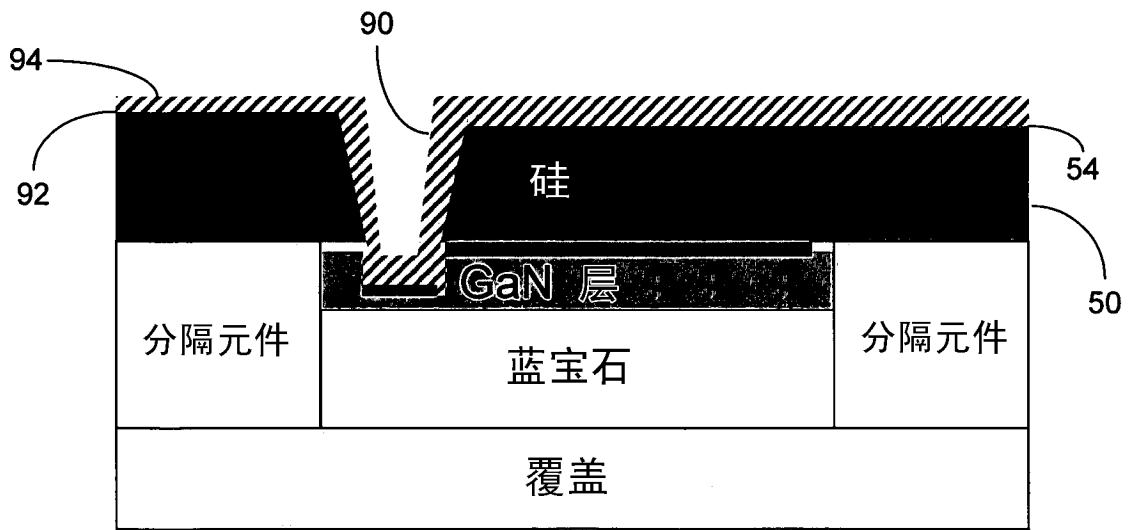


图 7

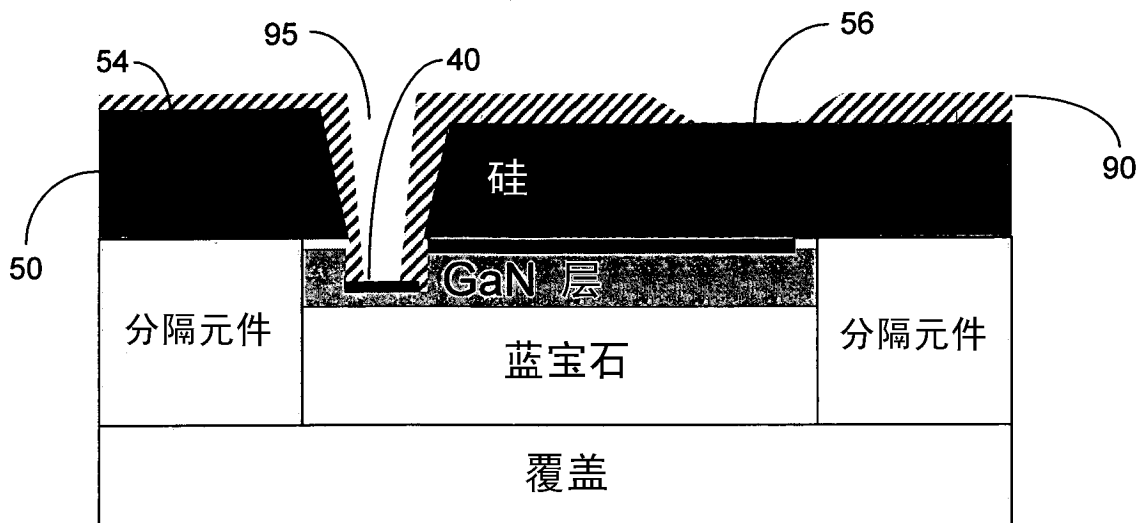


图 8A

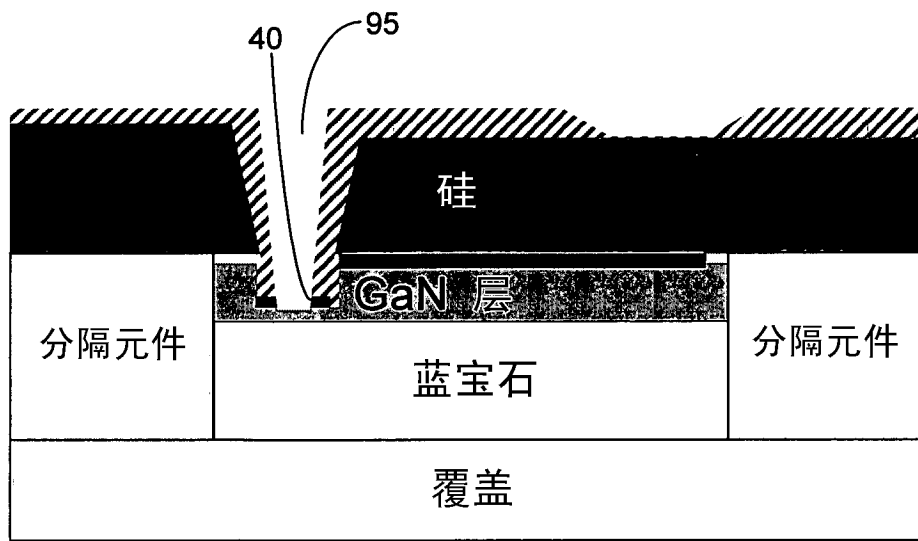


图 8B

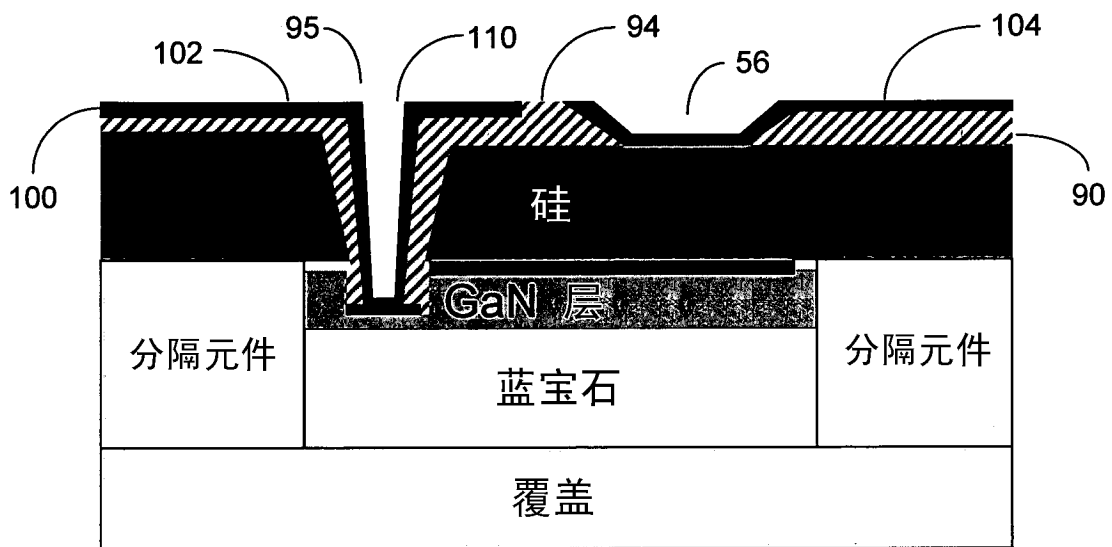


图 9

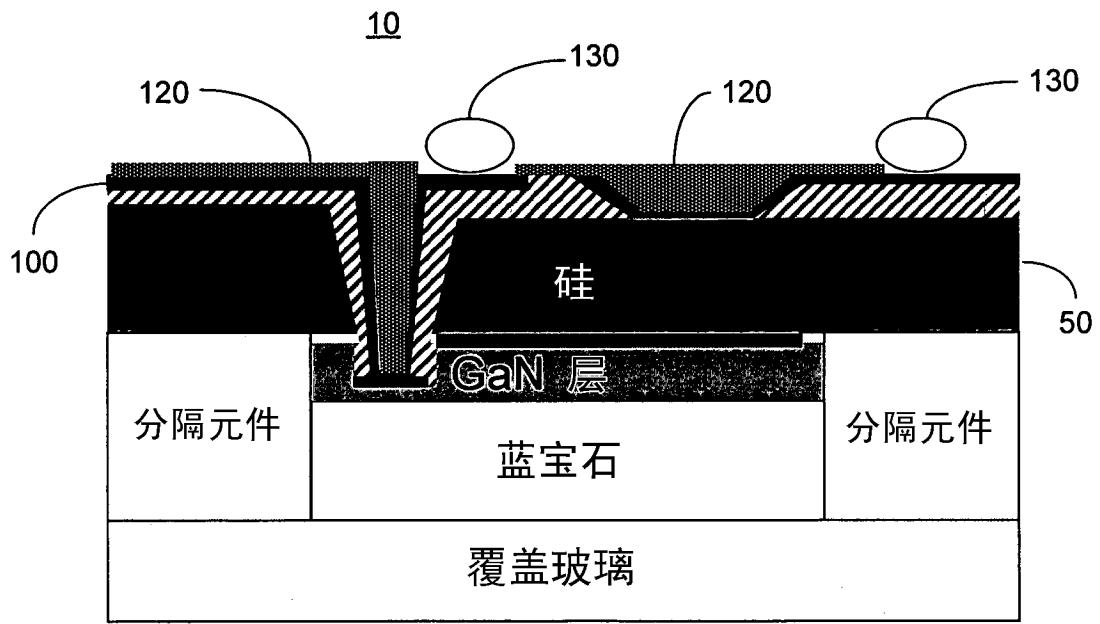


图 10

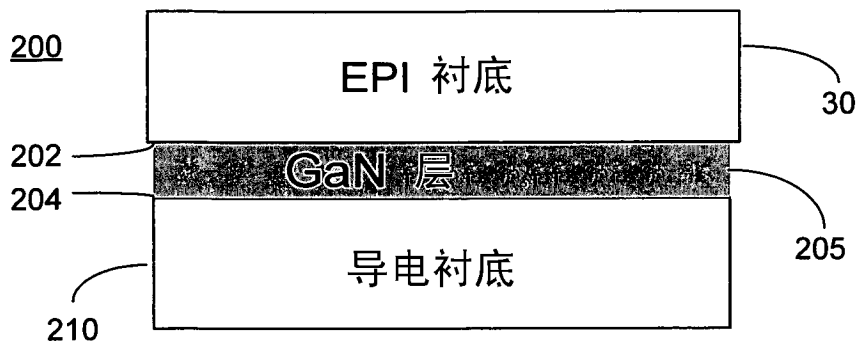


图 11

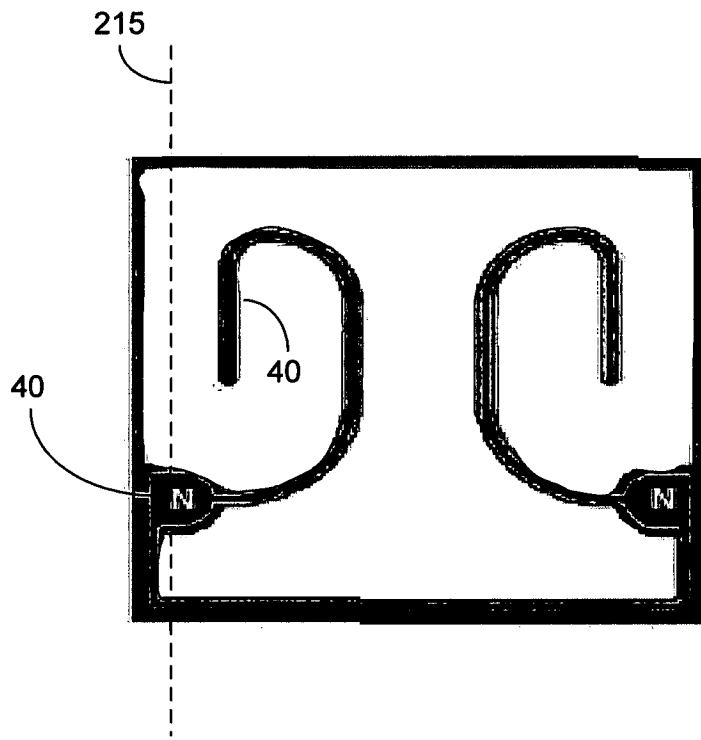


图 12A

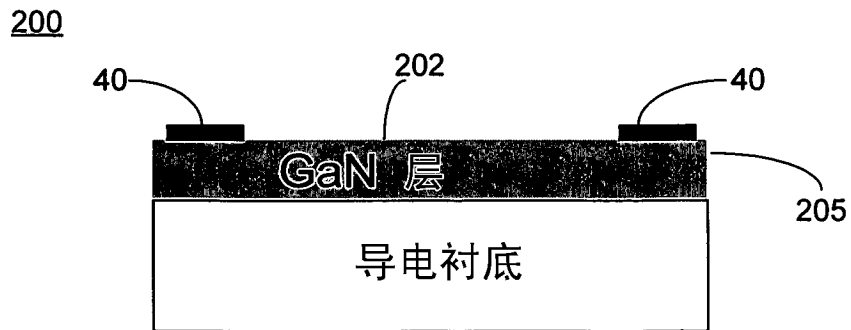


图 12B

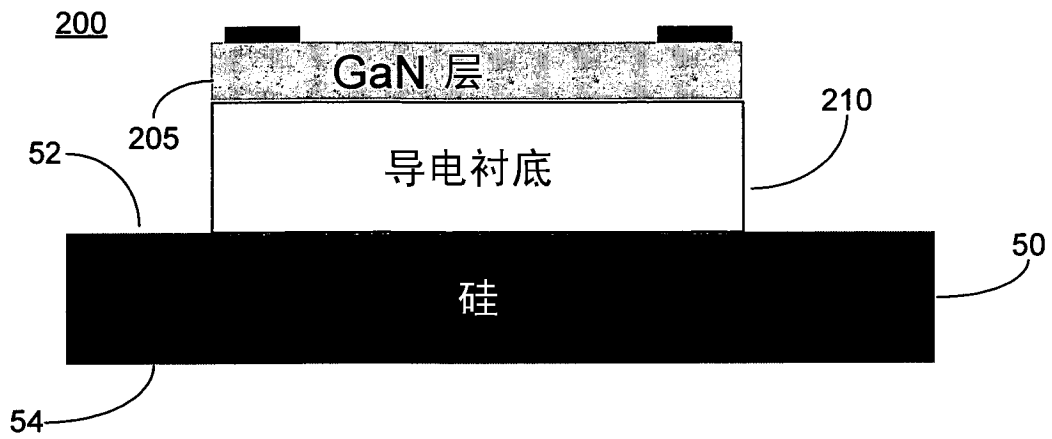


图 13A

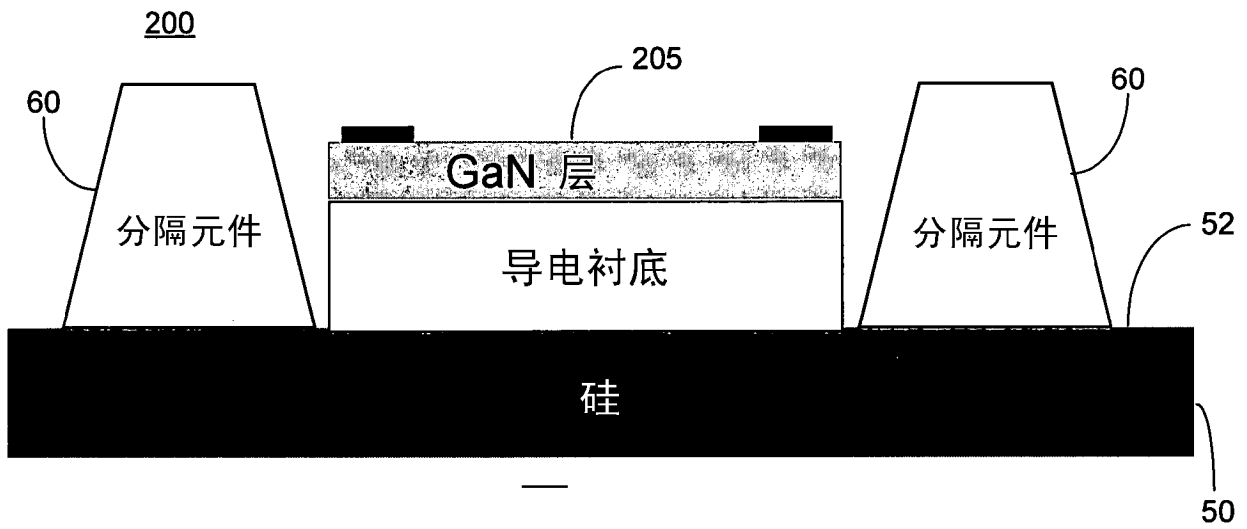


图 13B

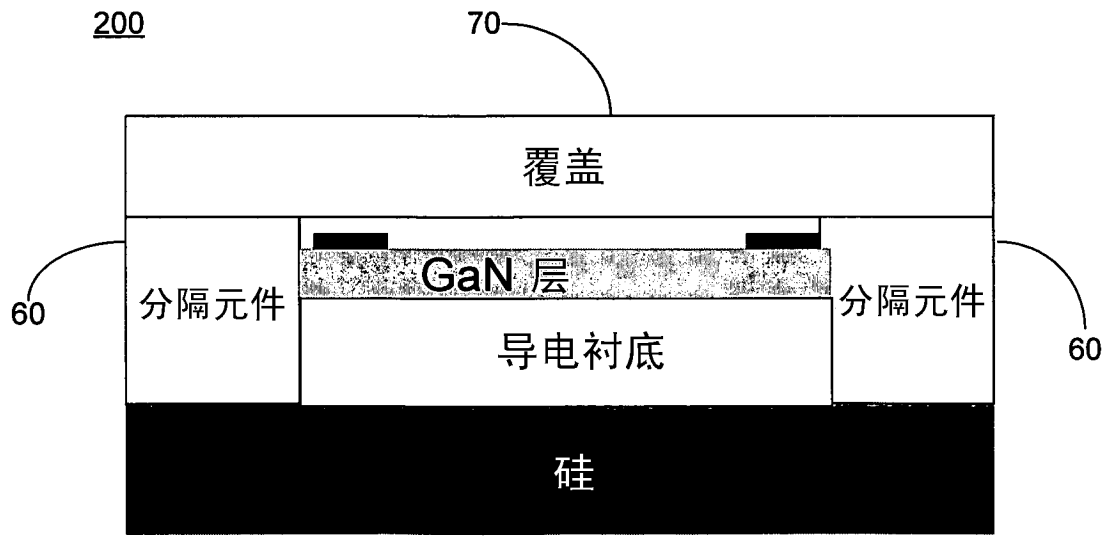


图 14A

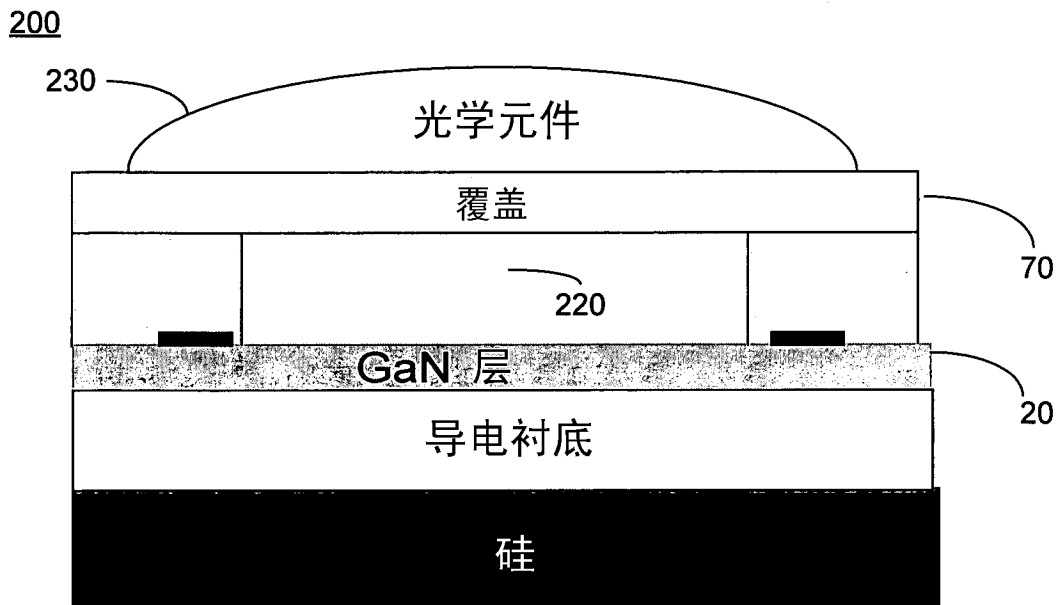


图 14B

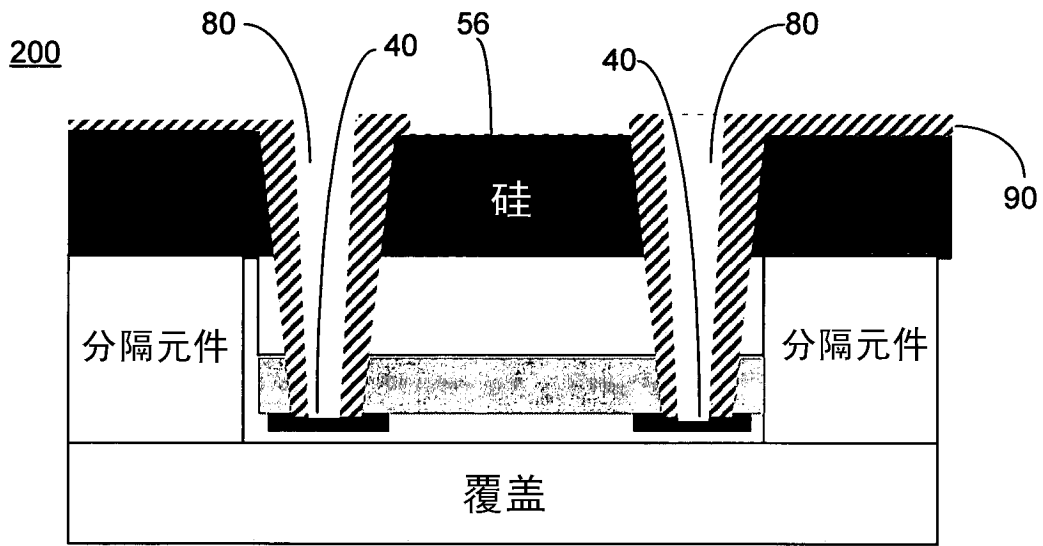


图 17

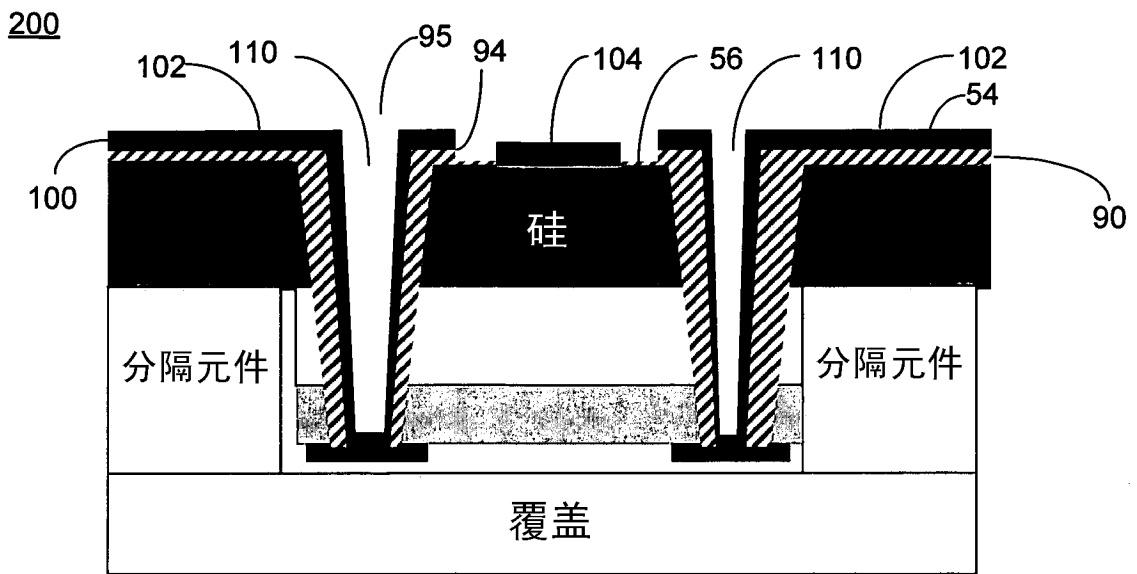


图 18

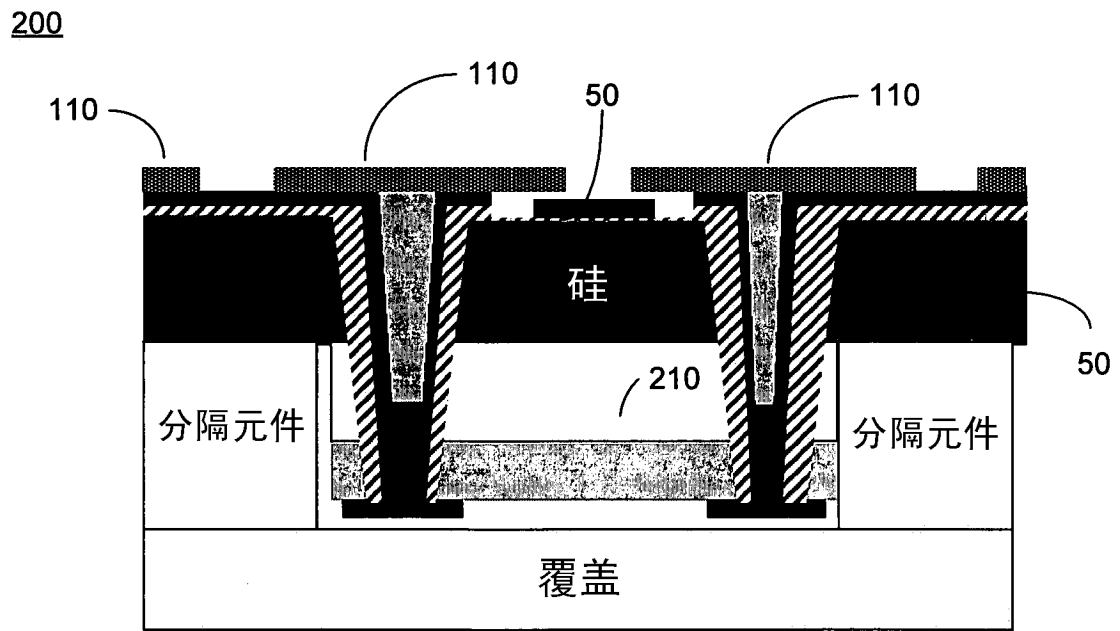


图 19