

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5355445号
(P5355445)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int. Cl.		F I
H03F	1/32	(2006.01)
H03F	1/02	(2006.01)
H03F	3/20	(2006.01)
		HO3F 1/32
		HO3F 1/02
		HO3F 3/20

請求項の数 13 (全 10 頁)

(21) 出願番号	特願2010-34661 (P2010-34661)	(73) 特許権者	000006013
(22) 出願日	平成22年2月19日 (2010.2.19)		三菱電機株式会社
(65) 公開番号	特開2011-172060 (P2011-172060A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成23年9月1日 (2011.9.1)	(74) 代理人	100110423
審査請求日	平成24年8月23日 (2012.8.23)		弁理士 曾我 道治
		(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
		(74) 代理人	100122437
			弁理士 大宅 一宏
		(74) 代理人	100147566
			弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 増幅装置

(57) 【特許請求の範囲】

【請求項 1】

入力された信号を増幅して出力する増幅装置であって、
 印加される電源電圧に基づいて前記入力信号を増幅する高周波電力増幅器と、
 前記入力信号の包絡線成分を検出する包絡線検出手段と、
 前記包絡線成分に応じた電源電圧を前記高周波電力増幅器に印加する電圧印加手段と、
 前記増幅装置の利得が一定となるように、前記高周波電力増幅器への入力を制御する制御手段と、
 を備え、
 前記制御手段は、前記増幅装置の位相が一定となるように、前記電源電圧を制御する
 ことを特徴とする増幅装置。

10

【請求項 2】

前記制御手段は、前記電源電圧を制御する電源電圧制御手段を含むことを特徴とする請求項 1 に記載の増幅装置。

【請求項 3】

前記電源電圧制御手段は、入出力特性が折れ線特性を有するように出力電圧信号を出力することを特徴とする請求項 2 に記載の増幅装置。

【請求項 4】

前記電源電圧制御手段は、導通電圧が互いに異なる複数のダイオードおよび複数の抵抗から構成されることを特徴とする請求項 3 に記載の増幅装置。

20

【請求項 5】

前記電源電圧制御手段は、前記電源電圧に対して所定の下限電圧を設定することを特徴とする請求項 2 から請求項 4 までの何れか 1 項に記載の増幅装置。

【請求項 6】

前記電源電圧制御手段は、前記電源電圧に対して所定の上限電圧を設定することを特徴とする請求項 2 から請求項 5 までの何れか 1 項に記載の増幅装置。

【請求項 7】

前記電源電圧制御手段は、前記包絡線検出手段と一体的に構成されることを特徴とする請求項 2 から請求項 6 までの何れか 1 項に記載の増幅装置。

【請求項 8】

前記電圧印加手段は、

前記包絡線検出手段からの出力をパルス幅変調するパルス幅変調器と、

前記パルス幅変調器からの出力を増幅するスイッチング増幅器と、

前記スイッチング増幅器からの出力を帯域制限する低域通過フィルタと、

を有することを特徴とする請求項 1 から請求項 7 までの何れか 1 項に記載の増幅装置。

【請求項 9】

前記パルス幅変調器は、デジタルシグマ変調器またはデルタ変調器で構成されることを特徴とする請求項 8 に記載の増幅装置。

【請求項 10】

前記スイッチング増幅器は、D 級増幅器で構成されることを特徴とする請求項 8 または請求項 9 に記載の増幅装置。

【請求項 11】

入力された信号を増幅して出力する増幅装置であって、

前記入力信号をデジタル・アナログ変換する第 1 デジタル・アナログ変換回路と、

印加される電源電圧に基づいて、前記第 1 デジタル・アナログ変換回路からの出力を増幅する高周波電力増幅器と、

前記入力信号に応じた制御電圧を生成する制御電圧生成手段と、

前記制御電圧をデジタル・アナログ変換する第 2 デジタル・アナログ変換回路と、

前記第 2 デジタル・アナログ変換回路からの出力を電源電圧として前記高周波電力増幅器に印加する電圧印加手段と、を備え、

前記制御電圧生成手段は、前記増幅装置の利得が一定となるように、前記制御電圧を生成し、

前記制御電圧生成手段は、前記増幅装置の位相が一定となるように、前記制御電圧を制御する

ことを特徴とする増幅装置。

【請求項 12】

前記制御電圧は、前記高周波電力増幅器の入出力信号に基づいて更新されることを特徴とする請求項 11 に記載の増幅装置。

【請求項 13】

前記高周波電力増幅器は、A 級増幅器、A B 級増幅器、B 級増幅器またはドハティ増幅器で構成されることを特徴とする請求項 1 から請求項 12 までの何れか 1 項に記載の増幅装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、入力された信号を増幅して出力する増幅装置に関する。

【背景技術】

【0002】

従来から、入力された信号を増幅して出力する増幅装置として、入力信号の包絡線成分にほぼ比例した電源電圧を高周波電力増幅器に印加する装置が知られている（例えば、特

10

20

30

40

50

許文献 1 参照)。

【 0 0 0 3 】

以下、図面を参照しながら、特許文献 1 に示された従来の増幅装置について説明する。

図 6 は、従来の増幅装置を示すブロック構成図である。

図 6 において、この増幅装置は、入力端子 5 1 と、出力端子 5 2 と、検波回路 5 3 と、電圧制御手段 5 4 と、高周波電力増幅器 5 5 とを備えている。

【 0 0 0 4 】

続いて、上記構成の増幅装置の動作について説明する。

入力端子 5 1 から入力された高周波の変調波入力信号 P_{in} は、分岐して検波回路 5 3 および高周波電力増幅器 5 5 にそれぞれ入力される。検波回路 5 3 は、変調波入力信号 P_{in} の包絡線成分を検出し、包絡線信号として電圧制御手段 5 4 に出力する。

10

【 0 0 0 5 】

電圧制御手段 5 4 は、包絡線信号にほぼ比例した電源電圧を高周波電力増幅器 5 5 に印加する。高周波電力増幅器 5 5 は、電圧制御手段 5 4 から印加される電源電圧に基づいて、変調波入力信号 P_{in} を増幅する。増幅された変調波入力信号 P_{in} は、変調波出力信号 P_{out} として出力端子 5 2 から出力される。

【 0 0 0 6 】

この増幅装置は、変調波入力信号 P_{in} の包絡線成分に応じて、高周波電力増幅器 5 5 の電源電圧が変化されるので、特にバックオフの大きな領域において高効率動作が可能となる。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開昭 6 2 - 2 7 4 9 0 6 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、従来技術には、以下のような課題がある。

従来の増幅装置では、高周波電力増幅器の電源電圧を制御した場合の増幅装置全体の利得（増幅装置の利得）が一定ではないので、非線形歪みによって出力信号が大きく歪み、隣接チャネル漏洩電力が劣化するという問題がある。

30

【 0 0 0 9 】

この発明は、上記のような課題を解決するためになされたものであり、増幅装置の利得を一定にすることにより、高効率に動作させることができるとともに、増幅装置の非線形歪みを低減することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

この発明に係る増幅装置は、入力された信号を増幅して出力する増幅装置であって、印加される電源電圧に基づいて入力信号を増幅する高周波電力増幅器と、入力信号の包絡線成分を検出する包絡線検出手段と、包絡線成分に応じた電源電圧を高周波電力増幅器に印加する電圧印加手段と、高周波電力増幅器の利得が一定となるように、高周波電力増幅器への入力を制御する制御手段とを備え、制御手段は、増幅装置の位相が一定となるように、電源電圧を制御するものである。

40

【 0 0 1 1 】

また、この発明に係る増幅装置は、入力された信号を増幅して出力する増幅装置であって、入力信号をデジタル・アナログ変換する第 1 デジタル・アナログ変換回路と、印加される電源電圧に基づいて、第 1 デジタル・アナログ変換回路からの出力を増幅する高周波電力増幅器と、入力信号に応じた制御電圧を生成する制御電圧生成手段と、制御電圧をデジタル・アナログ変換する第 2 デジタル・アナログ変換回路と、第 2 デジタル・アナログ変換回路からの出力を電源電圧として高周波電力増幅器に印加する電圧印加手段とを備え

50

、制御電圧生成手段は、高周波電力増幅器の利得が一定となるように制御電圧を生成し、制御電圧生成手段は、増幅装置の位相が一定となるように、制御電圧を制御するものである。

【発明の効果】

【0012】

この発明に係る増幅装置によれば、電圧印加手段は、入力信号の包絡線成分に応じた電源電圧を高周波電力増幅器に印加し、制御手段は、増幅装置の利得が一定となるように、高周波電力増幅器への入力を制御する。

また、この発明に係る増幅装置によれば、入力信号に応じた制御電圧を生成する制御電圧生成手段は、増幅装置の利得が一定となるように制御電圧を生成し、電圧印加手段は、生成された制御電圧を電源電圧として高周波電力増幅器に印加する。

そのため、増幅装置の利得を一定にすることにより、高効率に動作させることができるとともに、増幅装置の非線形歪みを低減することができる。

【図面の簡単な説明】

【0013】

【図1】この発明の実施の形態1に係る増幅装置を示すブロック構成図である。

【図2】この発明の実施の形態1に係る電圧制御回路を詳細に示す回路図である。

【図3】この発明の実施の形態1に係る電圧制御回路における入力信号と出力信号との関係を示す説明図である。

【図4】この発明の実施の形態1に係る増幅装置における変調波出力信号と、増幅装置の利得との関係を示す説明図である。

【図5】この発明の実施の形態2に係る増幅装置を示すブロック構成図である。

【図6】従来の増幅装置を示すブロック構成図である。

【発明を実施するための形態】

【0014】

以下、この発明の増幅装置の好適な実施の形態につき図面を用いて説明するが、各図において同一、または相当する部分については、同一符号を付して説明する。

【0015】

実施の形態1.

図1は、この発明の実施の形態1に係る増幅装置を示すブロック構成図である。

図1において、この増幅装置は、入力された信号を増幅して出力する装置であって、入力端子1、出力端子2、電圧制御回路3（包絡線検出手段、制御手段）、パルス幅変調器4、スイッチング増幅器5、低域通過フィルタ6（以下、「LPF6（Low Pass Filter）」と称する）および高周波電力増幅器7を備えている。

【0016】

電圧制御回路3は、入力端子1から入力された変調波入力信号 P_{in} の包絡線成分を検出するとともに、増幅装置の利得 G が一定となるように、高周波電力増幅器7に印加される電源電圧を制御して、出力電圧信号 V_{out} を出力する。

すなわち、この実施の形態1の特徴は、増幅装置のAM-AM（振幅対振幅）特性を線形化するように電圧制御回路3を構成することにある。これにより、増幅装置の振幅歪みを低減することができる。

【0017】

パルス幅変調器4、スイッチング増幅器5およびLPF6は、電圧制御回路3からの出力電圧信号 V_{out} に応じた電源電圧を高周波電力増幅器7に印加する電圧印加手段を構成している。高周波電力増幅器7は、例えばエミッタ接地またはソース接地された半導体増幅器であり、電圧印加手段から印加される電源電圧に基づいて、変調波入力信号 P_{in} を増幅し、変調波出力信号 P_{out} として出力端子2から出力する。

【0018】

以下、図2を参照しながら、電圧制御回路3の構成について詳細に説明する。

図2は、この発明の実施の形態1に係る電圧制御回路3を詳細に示す回路図である。

10

20

30

40

50

図2において、電圧制御回路3は、包絡線検出部31（包絡線検出手段）と、折れ線生成部32（電源電圧制御手段）とを有している。ここで、包絡線検出部31と折れ線生成部32とを一体的に構成することにより、回路の小型化を実現することができる。

【0019】

包絡線検出部31は、入力に対して直列に接続されたダイオード D_{det} と、ダイオード D_{det} と並列に接続されたりアクトンス L_{det} 、抵抗 R_{det} およびキャパシタンス C_{det} とから構成されている。包絡線検出部31は、変調波入力信号 P_{in} の包絡線成分を検出し、包絡線信号として折れ線生成部32に出力する。具体的には、包絡線検出部31は、変調波入力信号 P_{in} から高周波成分を除去するとともに、直流電圧のみを検出している。

10

【0020】

折れ線生成部32は、入力に対して直列に接続された抵抗 R_s 、オペアンプと、抵抗 R_{A2} 、直流電圧 V_2 以上で導通するダイオード D_2 、抵抗 R_{B0} および定電圧源 V_{cc} からなる直列回路と、抵抗 R_{A1} および直流電圧 V_1 以上で導通するダイオード D_1 からなる直列回路とが互いに並列に接続された回路、抵抗 R_s と並列に接続された抵抗 R_{A0} 、並びにダイオード D_2 と抵抗 R_{B0} との接点から並列に接続された抵抗 R_{B2} と抵抗 R_{B1} との直列回路から構成されている。

【0021】

折れ線生成部32は、包絡線信号の直流電圧の大きさに応じて導通するダイオードを切り替えることにより、折れ線特性を有する出力電圧信号 V_{out} を出力する。ここで、出力電圧信号 V_{out} は、任意に設定される。

20

例えば、図2に示した折れ線生成部32において、包絡線信号の直流電圧が V_1 以下の場合、ダイオード D_1 、 D_2 は非導通なので、出力電圧信号 V_{out} は、この直流電圧が抵抗 R_s と抵抗 R_{A0} とにより分圧された値となる。

【0022】

また、包絡線信号の直流電圧が V_1 以上 V_2 以下の場合、ダイオード D_1 のみが導通するので、出力電圧信号 V_{out} は、この直流電圧が抵抗 R_s と、抵抗 R_{A0} と抵抗 R_{A1} との並列合成抵抗（ $R_{A0} // R_{A1}$ ）とにより分圧された値となる。

また、包絡線信号の直流電圧が V_2 以上 V_3 以下の場合、ダイオード D_1 、 D_2 がともに導通するので、出力電圧信号 V_{out} は、この直流電圧が抵抗 R_s と、抵抗 R_{A0} と抵抗 R_{A1} と抵抗 R_{A2} との並列合成抵抗（ $R_{A0} // R_{A1} // R_{A2}$ ）とにより分圧された値となる。

30

【0023】

ここで、この発明の実施の形態1に係る電圧制御回路3における入力信号と出力信号との関係（入出力特性）を図3に示す。

図3において、横軸は変調波入力信号 P_{in} を示し、縦軸は出力電圧信号 V_{out} を示している。また、破線は、例えば従来技術のように、包絡線検出部31のみで電圧制御回路3を構成した場合の入出力特性を示し、実線は、包絡線検出部31および折れ線生成部32で電圧制御回路3を構成した場合の入出力特性を示している。

【0024】

40

なお、図3は、下限電圧 V_{min} および上限電圧 V_{max} が設定された場合を示しており、図中 P_{in1} 、 P_{in2} および P_{in3} は、それぞれ上述した V_1 、 V_2 および V_3 と対応している。下限電圧 V_{min} および上限電圧 V_{max} を設定することにより、所望の利得を得るとともに、所望の効率で高周波電力増幅器7を動作させることができる。

【0025】

また、この発明の実施の形態1に係る増幅装置における変調波出力信号 P_{out} と、増幅装置の利得 G との関係（利得特性）を図4に示す。

図4において、横軸は変調波出力信号 P_{out} を示し、縦軸は利得 G を示している。また、破線および実線は、図3の場合と同様である。なお、図中 P_{out1} 、 P_{out2} および P_{out3} は、それぞれ上述した P_{in1} 、 P_{in2} および P_{in3} と対応している

50

【0026】

図3より、従来技術の入出力特性（破線）は、変調波入力信号 P_{in} の大きさが $0 < P_{in} < P_{in3}$ の範囲において、ほぼ直線で表されている。しかしながら、このような単調な入出力特性の場合、高周波電力増幅器7の特性によっては、図4の破線に示されるように、 P_{out1} において電源電圧が過剰に供給されて利得偏差が大きくなり、その結果、振幅歪みが発生するという問題がある。

【0027】

これに対して、この発明の実施の形態1に係る電圧制御回路3の入出力特性は、図3の実線に示されるように、変調波入力信号 P_{in} の大きさが $0 < P_{in} < P_{in3}$ の範囲において、A1、A2、A3と折れ線特性を有することが分かる。

10

これにより、従来発生していた利得偏差（図4の破線参照）を抑制することができる（図4の実線参照）。

【0028】

続いて、上記構成の増幅装置の動作について説明する。

入力端子1から入力された変調波入力信号 P_{in} は、分岐して電圧制御回路3および高周波電力増幅器7にそれぞれ入力される。電圧制御回路3は、上述した包絡線検出部31および折れ線生成部32により、変調波入力信号 P_{in} に応じた出力電圧信号 V_{out} をパルス幅変調器4に出力する。

【0029】

20

出力電圧信号 V_{out} は、パルス幅変調器4でパルス幅変調され、スイッチング増幅器5に出力される。パルス幅変調された出力電圧信号 V_{out} は、スイッチング増幅器5で増幅されてLPF6に出力される。増幅およびパルス幅変調された出力電圧信号 V_{out} は、LPF6で高周波成分が除去され、電源電圧として高周波電力増幅器7に印加される。高周波電力増幅器7は、LPF6から印加される電源電圧に基づいて、変調波入力信号 P_{in} を増幅する。増幅された変調波入力信号 P_{in} は、変調波出力信号 P_{out} として出力端子2から出力される。

【0030】

以上のように、実施の形態1によれば、電圧印加手段は、入力信号の包絡線成分に応じた電源電圧を高周波電力増幅器に印加し、制御手段は、増幅装置の利得を一定とすべく、入出力特性が折れ線特性を有するように出力電圧信号を出力して高周波電力増幅器の電源電圧を制御する。

30

そのため、増幅装置の利得を一定にすることにより、増幅装置のAM-AM特性を線形化して、高効率に動作させることができるとともに、増幅装置の非線形歪みを低減することができる。

【0031】

なお、上記実施の形態1では、折れ線生成部32が2個のダイオードで構成された場合を例に挙げて説明しているが、これに限定されず、折れ線生成部は、任意の数のダイオードを用いて構成されてもよい。折れ線生成部を構成するダイオードの数が多くなるほど、折れ線を細かく設定することができる。

40

【0032】

また、上記実施の形態1では、電圧制御回路3が、増幅装置の利得を一定にするように電源電圧を制御しているが、これに限定されず、増幅装置の位相を一定にするように電源電圧を制御してもよい。

この場合には、増幅装置のAM-PM特性を線形化することにより、高効率に動作させることができるとともに、増幅装置の非線形歪みを低減することができるという効果を得ることができる。

【0033】

実施の形態2 .

図5は、この発明の実施の形態2に係る増幅装置を示すブロック構成図である。

50

図5において、この増幅装置は、入力された信号を増幅して出力する装置であって、入力端子11、出力端子12、第1デジタル・アナログ変換回路13、制御電圧生成部14（制御電圧生成手段）、第2デジタル・アナログ変換回路15、電圧印加部16（電圧印加手段）、高周波電力増幅器17、減衰器18、アナログ・デジタル変換回路19、信号比較部20および制御電圧更新部21を備えている。

【0034】

第1デジタル・アナログ変換回路13は、入力端子11から入力された変調波入力信号 P_{in} をデジタル・アナログ変換して高周波電力増幅器17に出力する。制御電圧生成部14は、デジタル回路で構成され、変調波入力信号 P_{in} の包絡線成分に応じて、高周波電力増幅器17の利得 G が一定となるように、出力電圧信号（制御電圧） V_{out_d} を出力する。

10

【0035】

第2デジタル・アナログ変換回路15は、制御電圧生成部14からの出力電圧信号 V_{out_d} をデジタル・アナログ変換し、出力電圧信号 V_{out_a} として電圧印加部16に出力する。電圧印加部16は、第2デジタル・アナログ変換回路15からの出力電圧信号 V_{out_a} に応じた電源電圧を高周波電力増幅器17に印加する。高周波電力増幅器17は、例えばエミッタ接地またはソース接地された半導体増幅器であり、電圧印加部16から印加される電源電圧に基づいて、第1デジタル・アナログ変換回路13からの変調波入力信号 P_{in} を増幅し、変調波出力信号 P_{out} として出力端子12から出力する。

20

【0036】

減衰器18は、変調波出力信号 P_{out} の一部を所定の電力レベルに減衰させてアナログ・デジタル変換回路19に出力する。アナログ・デジタル変換回路19は、減衰器18で減衰された変調波出力信号 P_{out} をアナログ・デジタル変換し、負帰還信号 P_{FB} として信号比較部20に出力する。信号比較部20は、変調波出力信号 P_{in} と負帰還信号 P_{FB} とを比較し、比較結果を制御電圧更新部21に出力する。制御電圧更新部21は、信号比較部20からの比較結果が最小となるように、制御電圧生成部14の出力電圧信号（制御電圧） V_{out_d} を更新する。

【0037】

すなわち、この実施の形態2の特徴は、増幅装置のAM-AM（振幅対振幅）特性を線形化するように、デジタル回路の制御電圧生成部14で出力電圧信号（制御電圧） V_{out_d} を生成し、さらに、高周波電力増幅器17からの変調波出力信号 P_{out} を変調波入力信号 P_{in} に負帰還させることにより、出力電圧信号 V_{out_d} が常に最適化されることにある。これにより、増幅装置に経年劣化が生じた場合や温度変化が生じた場合でも、常に振幅歪みを低減することができる。

30

【0038】

続いて、上記構成の増幅装置の動作について説明する。

入力端子11から入力された変調波入力信号 P_{in} は、分岐して第1デジタル・アナログ変換回路13、制御電圧生成部14および信号比較部20にそれぞれ入力される。第1デジタル・アナログ変換回路13に入力された変調波入力信号 P_{in} は、デジタル・アナログ変換されて高周波電力増幅器17に入力される。

40

【0039】

制御電圧生成部14は、変調波入力信号 P_{in} の包絡線成分に応じて、増幅装置の利得 G が一定となるように、出力電圧信号 V_{out_d} を生成し、第2デジタル・アナログ変換回路15に出力する。第2デジタル・アナログ変換回路15に入力された出力電圧信号 V_{out_d} は、デジタル・アナログ変換され、出力電圧信号 V_{out_a} として電圧印加部16に入力される。

【0040】

電圧印加部16に入力された出力電圧信号 V_{out_a} は、電源電圧として高周波電力増幅器17に印加される。高周波電力増幅器17は、電圧印加部16から印加される電源電圧に基づいて、第1デジタル・アナログ変換回路13からの変調波入力信号 P_{in} を増

50

幅する。増幅された変調波入力信号 P_{in} は、変調波出力信号 P_{out} として出力端子 12 から出力される。

【0041】

変調波出力信号 P_{out} の一部は、減衰器 18 に入力されて所定の電力レベルに減衰され、アナログ・デジタル変換回路 19 に入力される。アナログ・デジタル変換回路 19 に入力された変調波出力信号 P_{out} は、アナログ・デジタル変換され、負帰還信号 P_{FB} として信号比較部 20 に入力される。信号比較部 20 に入力された変調波入力信号 P_{in} は、負帰還信号 P_{FB} と比較され、比較結果が制御電圧更新部 21 に入力される。

【0042】

制御電圧更新部 21 は、信号比較部 20 からの比較結果が最小となるように、制御電圧生成部 14 の出力電圧信号 V_{out_d} を更新する。制御電圧生成部 14 は、更新された出力電圧信号 V_{out_d} を第 2 デジタル・アナログ変換回路 15 に出力する。

以降、上述した動作を繰り返す。

【0043】

以上のように、実施の形態 2 によれば、制御電圧生成手段は、増幅装置の利得が一定となるような制御電圧をデジタル回路で生成する。また、高周波電力増幅器からの出力信号を入力信号に負帰還させることにより、出力信号が常に最適化される。

そのため、増幅装置に経年劣化が生じた場合や温度変化が生じた場合でも、利得を一定にすることにより、増幅装置の AM - AM 特性を線形化して、高効率に動作させることができるとともに、増幅装置の非線形歪みを低減することができる。

【0044】

なお、上記実施の形態 2 では、制御電圧生成部 14 が、増幅装置の利得を一定にするように制御電圧を制御しているが、これに限定されず、増幅装置の位相を一定にするように制御電圧を制御してもよい。

この場合には、増幅装置の AM - PM 特性を線形化することにより、高効率に動作させることができるとともに、増幅装置の非線形歪みを低減することができるという効果を得ることができる。

【0045】

また、上記実施の形態 1、2 において、高周波電力増幅器 7、17 は、例えば A 級増幅器、AB 級増幅器、B 級増幅器または D 級増幅器で構成される。

また、上記実施の形態 1 において、パルス幅変調器 4 は、例えばデジタルシグマ変調器またはデルタ変調器で構成される。

また、上記実施の形態 1 において、スイッチング増幅器 5 は、例えば D 級増幅器で構成される。

【符号の説明】

【0046】

1 入力端子、2 出力端子、3 電圧制御回路（包絡線検出手段、制御手段）、4 パルス幅変調器（電圧印加手段）、5 スwitching 増幅器（電圧印加手段）、6 LPF（電圧印加手段）、7 高周波電力増幅器、11 入力端子、12 出力端子、13 第 1 デジタル・アナログ変換回路、14 制御電圧生成部（制御電圧生成手段）、15 第 2 デジタル・アナログ変換回路、16 電圧印加部（電圧印加手段）、17 高周波電力増幅器、18 減衰器、19 アナログ・デジタル変換回路、20 信号比較部、21 制御電圧更新部、31 包絡線検出部（包絡線検出手段）、32 折れ線生成部（電源電圧制御手段）、51 入力端子、52 出力端子、53 検波回路、54 電圧制御手段、55 高周波電力増幅器。

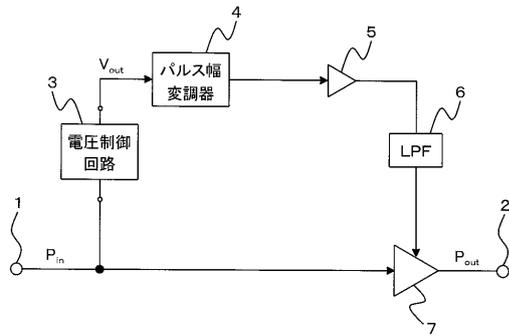
10

20

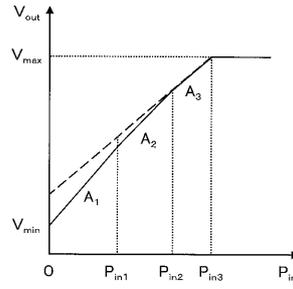
30

40

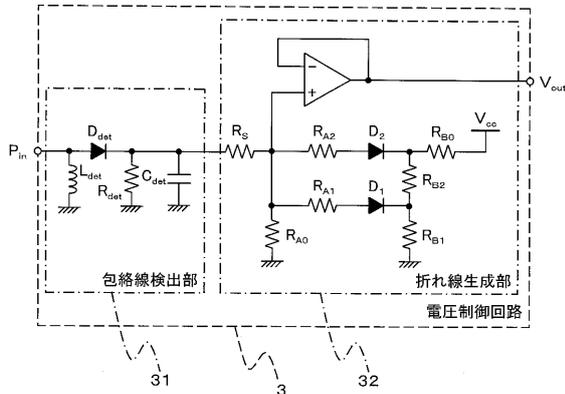
【図1】



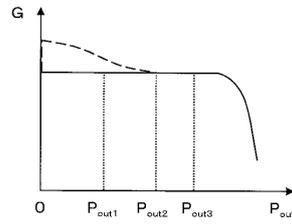
【図3】



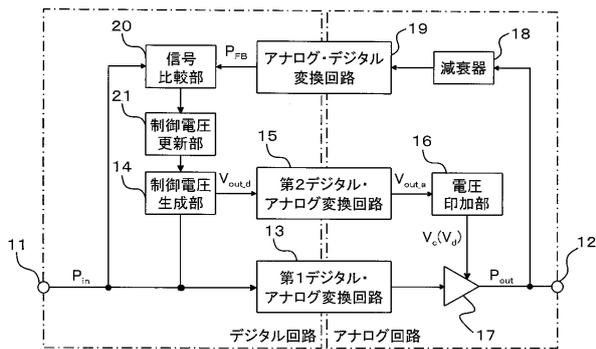
【図2】



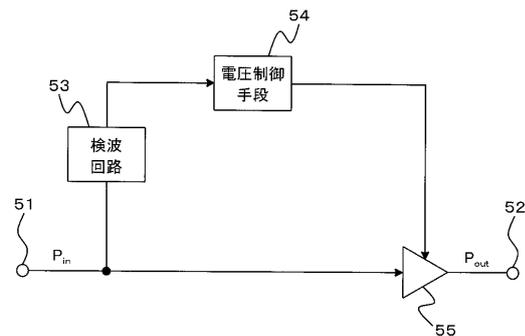
【図4】



【図5】



【図6】



フロントページの続き

- (74)代理人 100161171
弁理士 吉田 潤一郎
- (72)発明者 松永 直子
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 堀口 健一
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 林 亮司
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 森 一富
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 美保 諭志
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 井上 晃
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 徳 田 賢二

- (56)参考文献 特開平03-222524(JP,A)
特開平03-174810(JP,A)
国際公開第2008/090721(WO,A1)
国際公開第2008/090712(WO,A1)
特開2007-228570(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/32
H03F 1/02
H03F 3/20