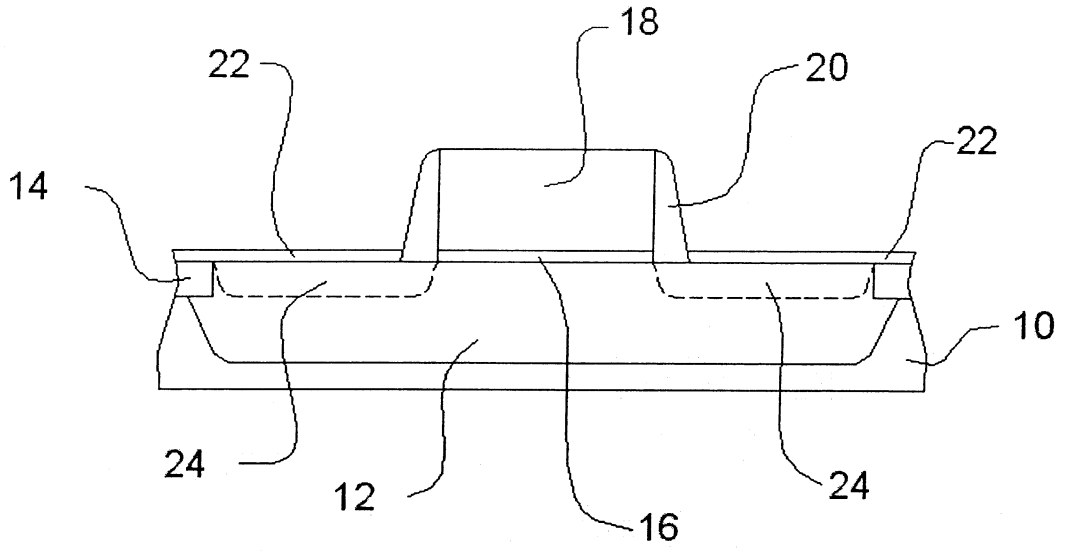
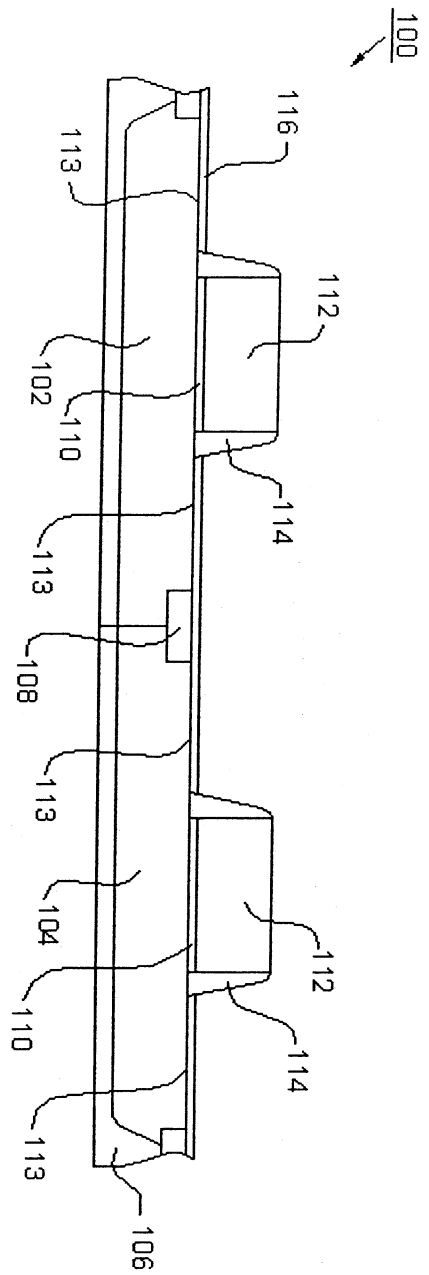


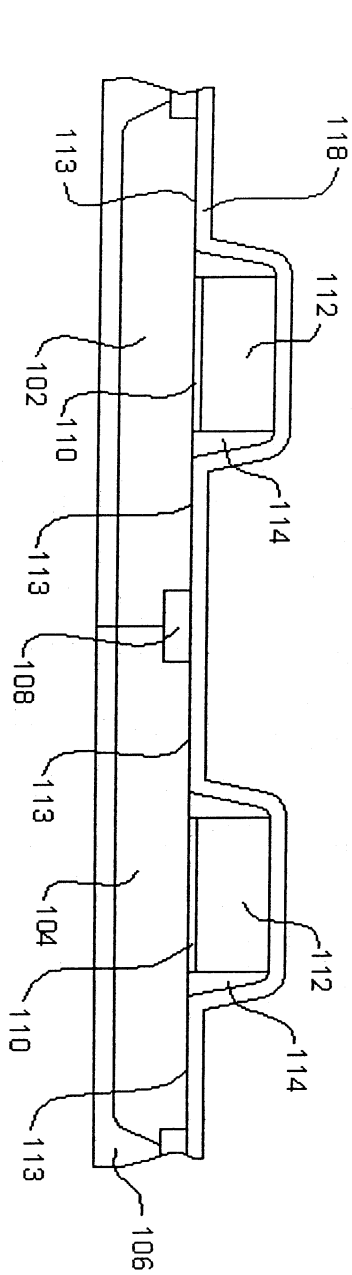
拾壹、圖式：



第 1 圖

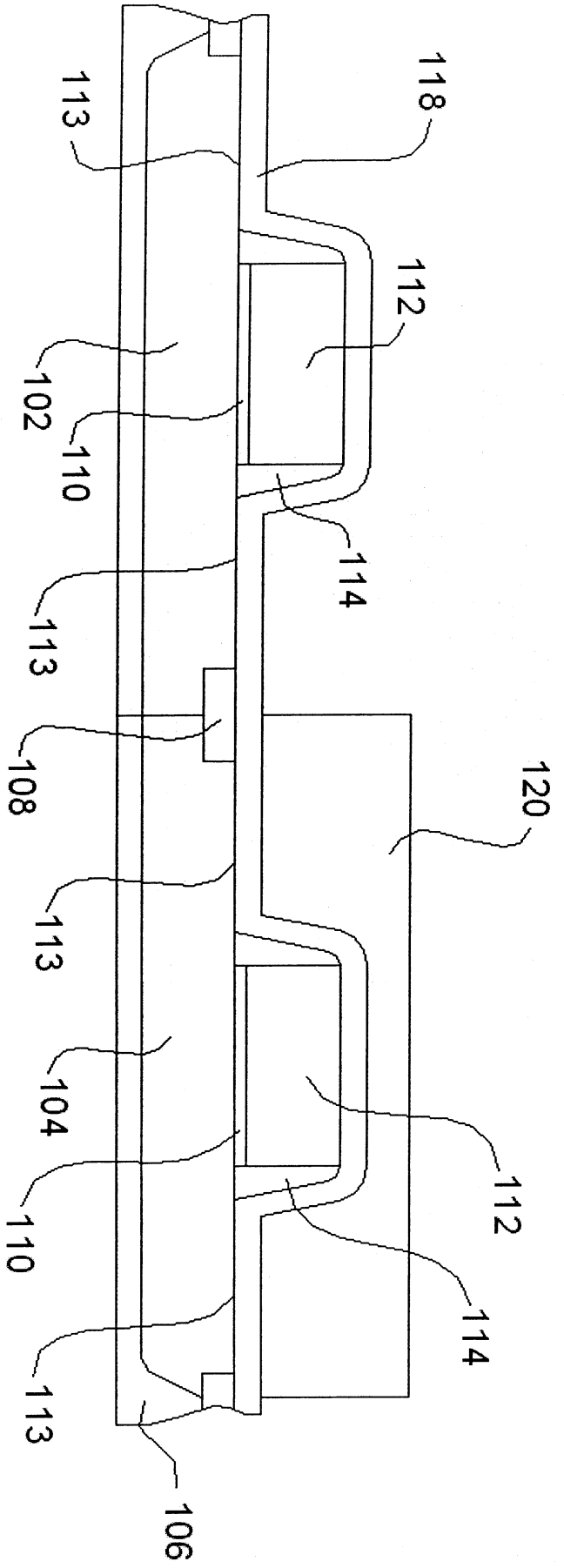


第 2a 圖

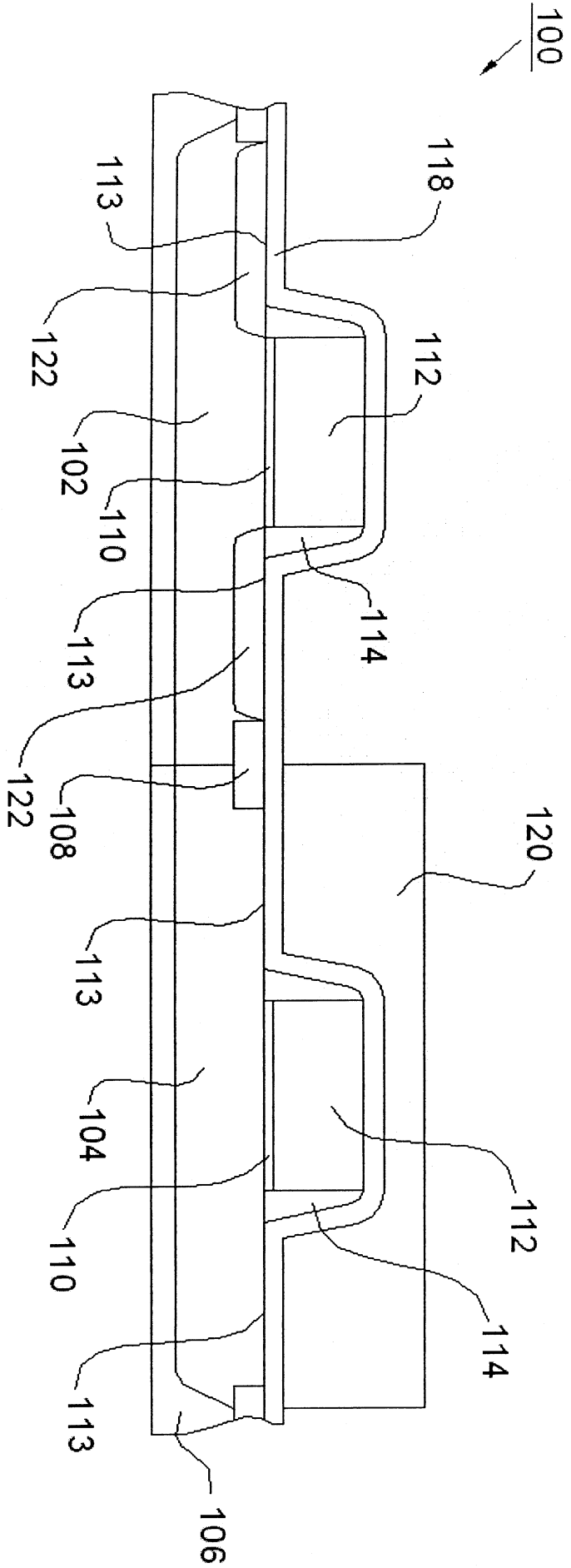


第 2b 圖

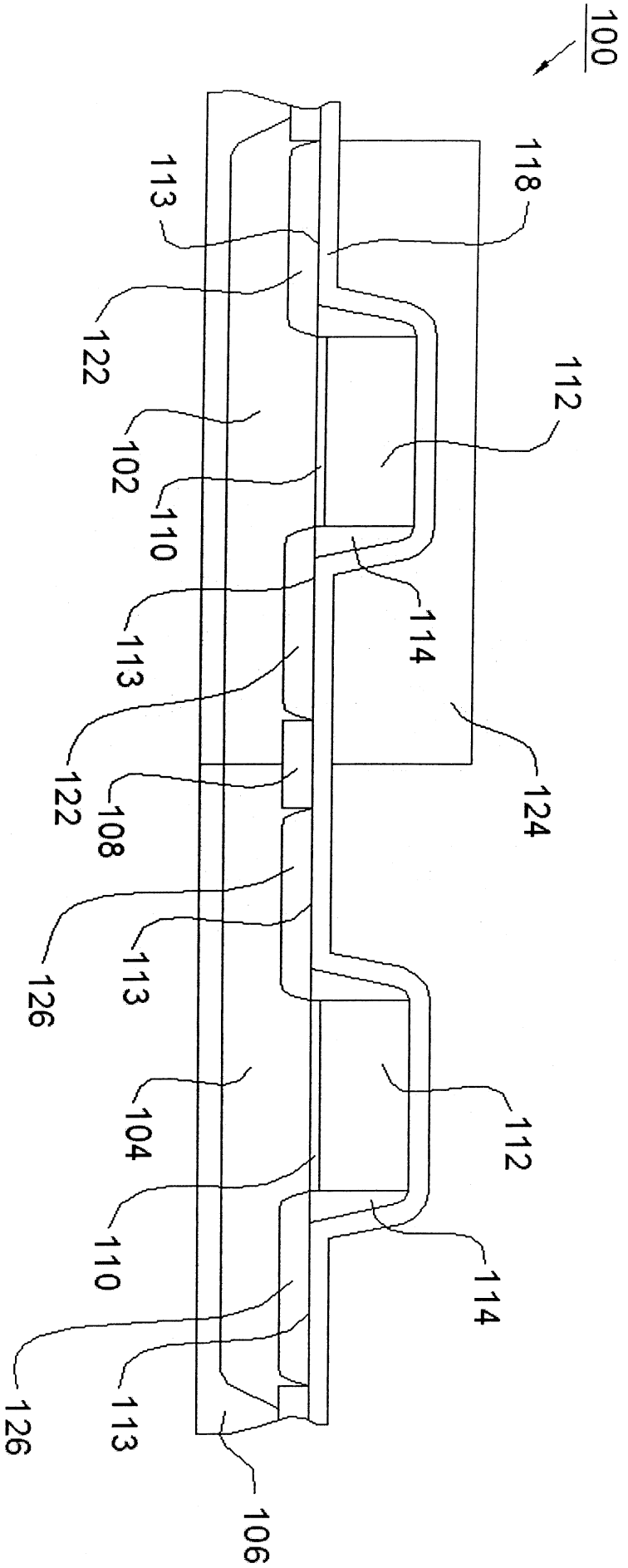
100



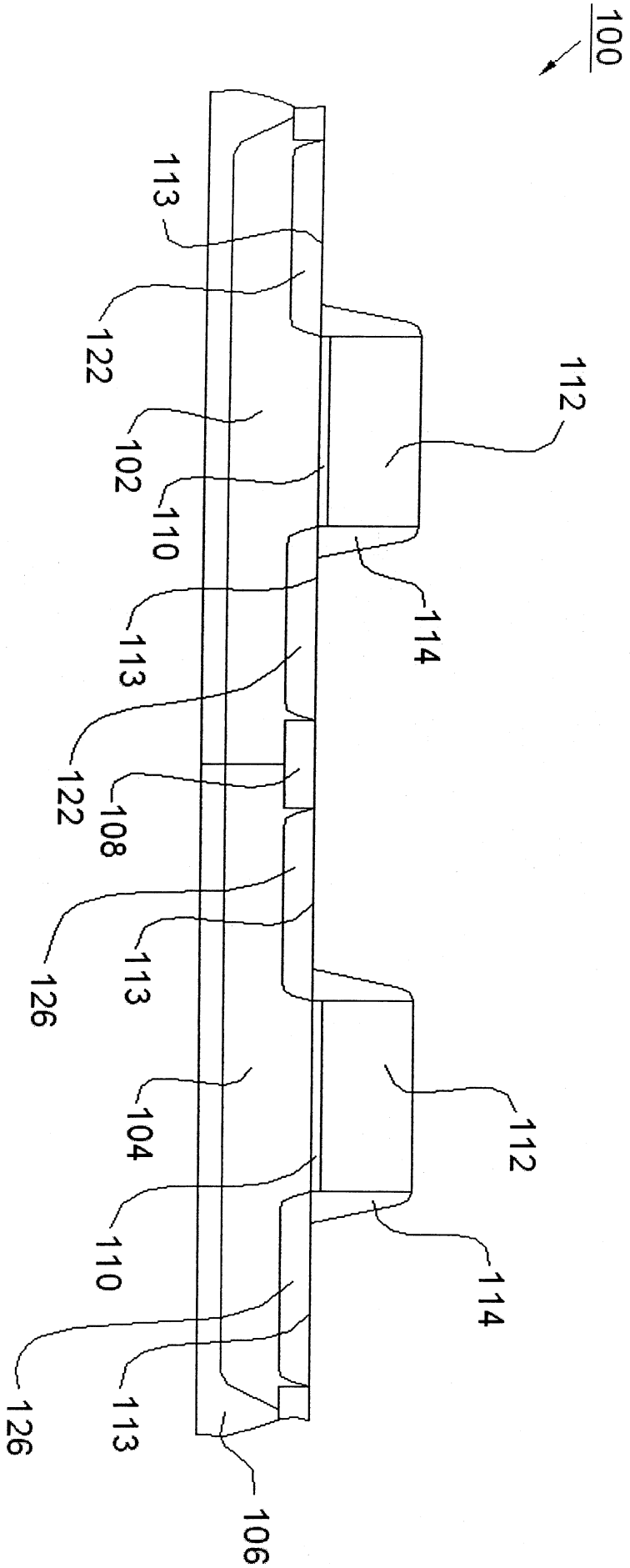
第 2c 圖



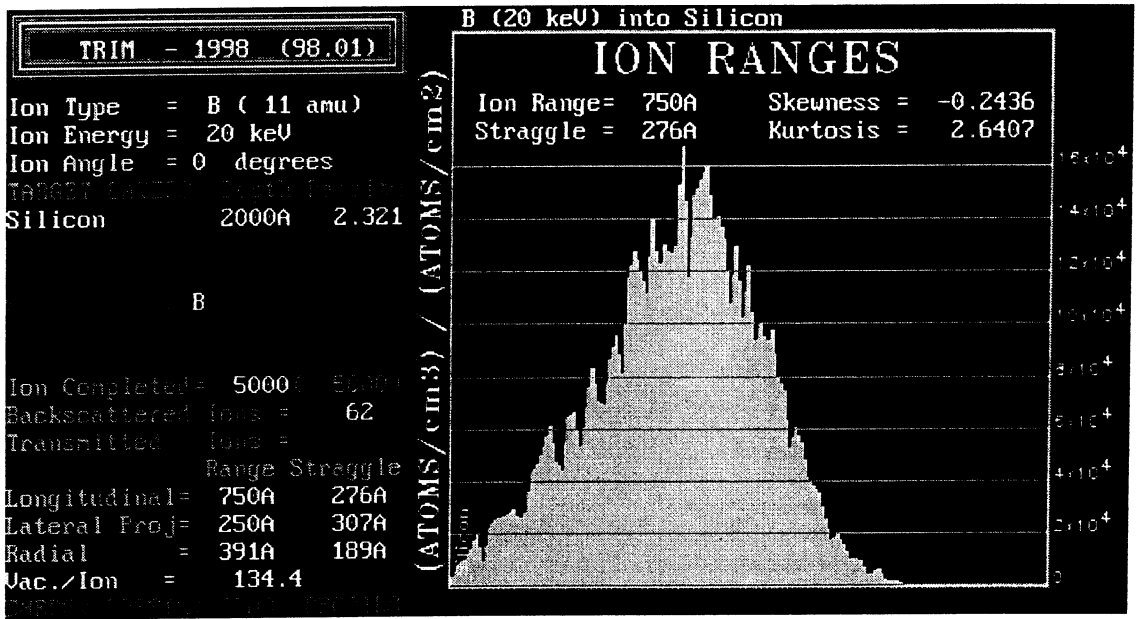
第 2d 圖



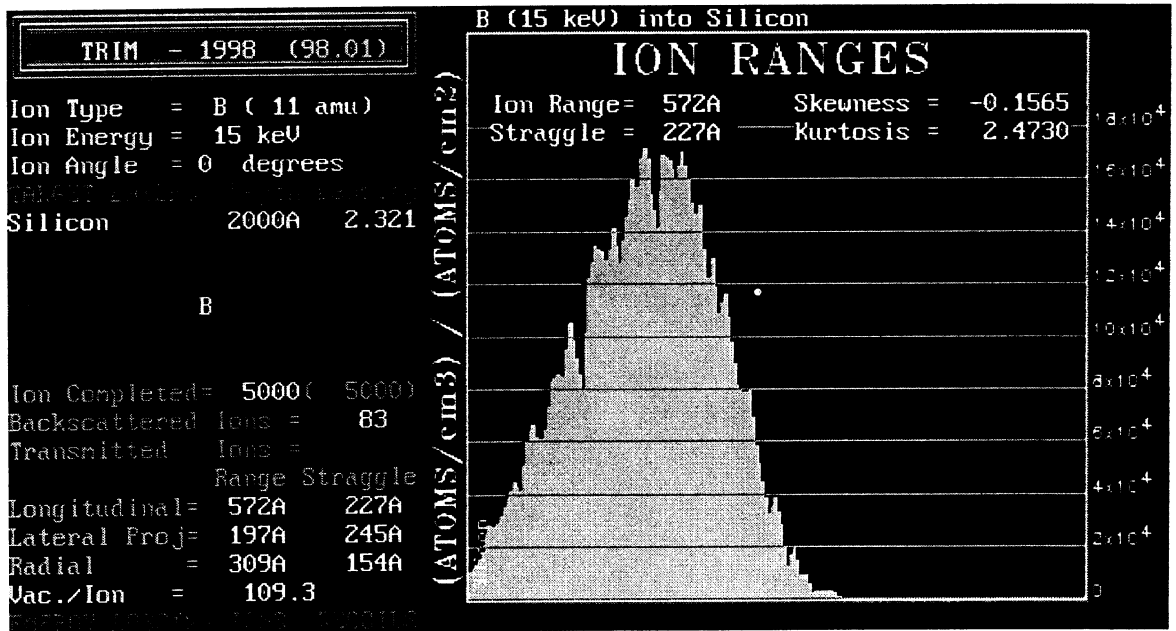
第 2f 圖



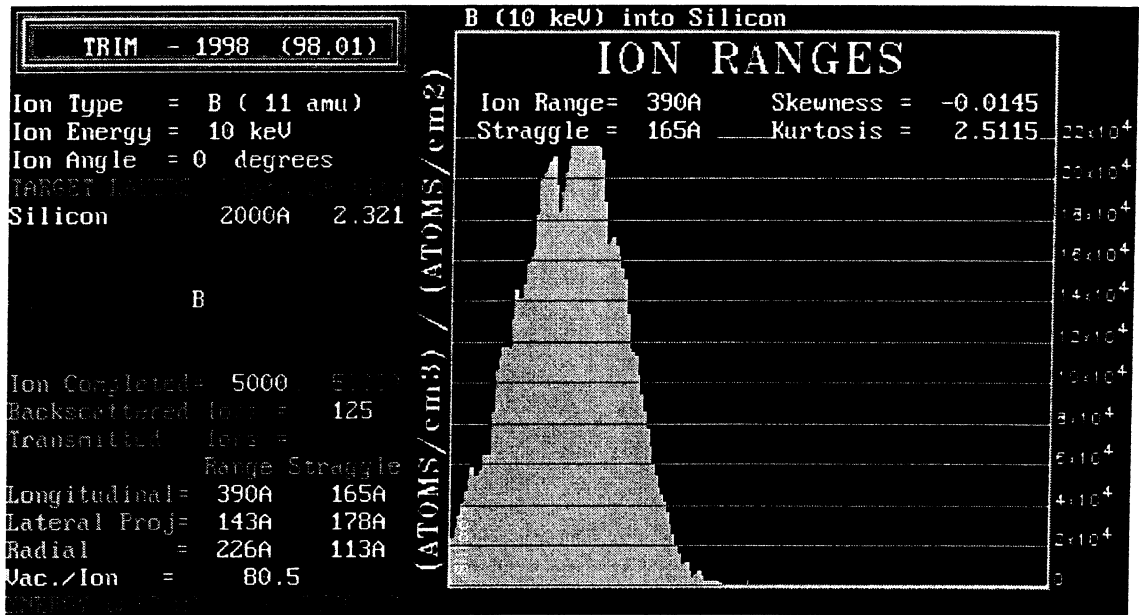
第 29 圖



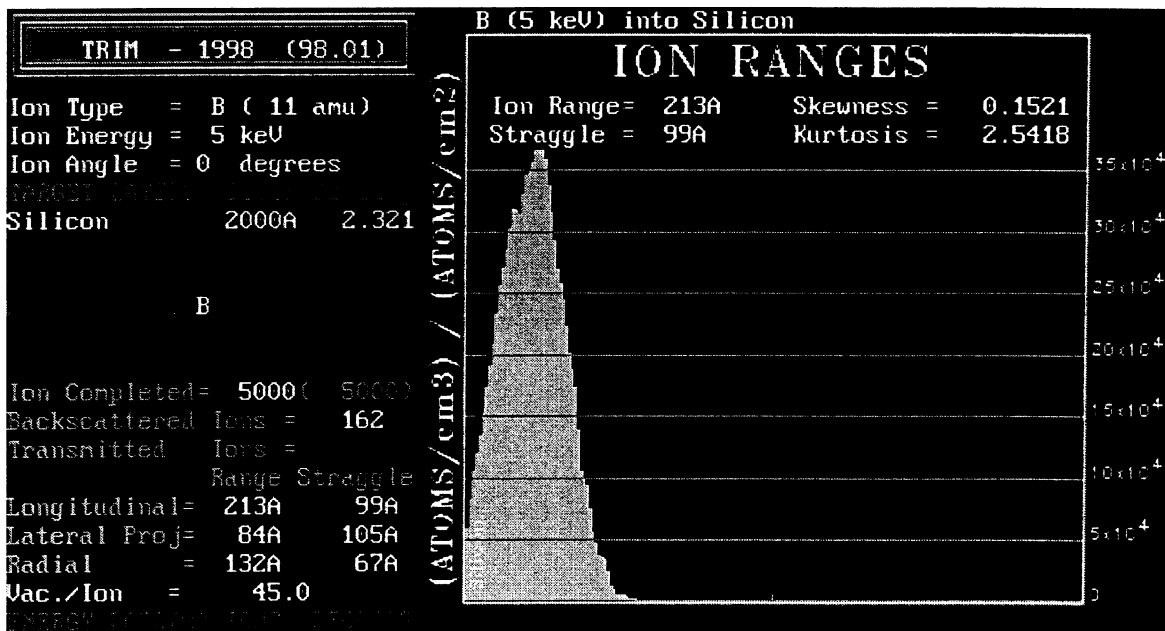
第 3 圖



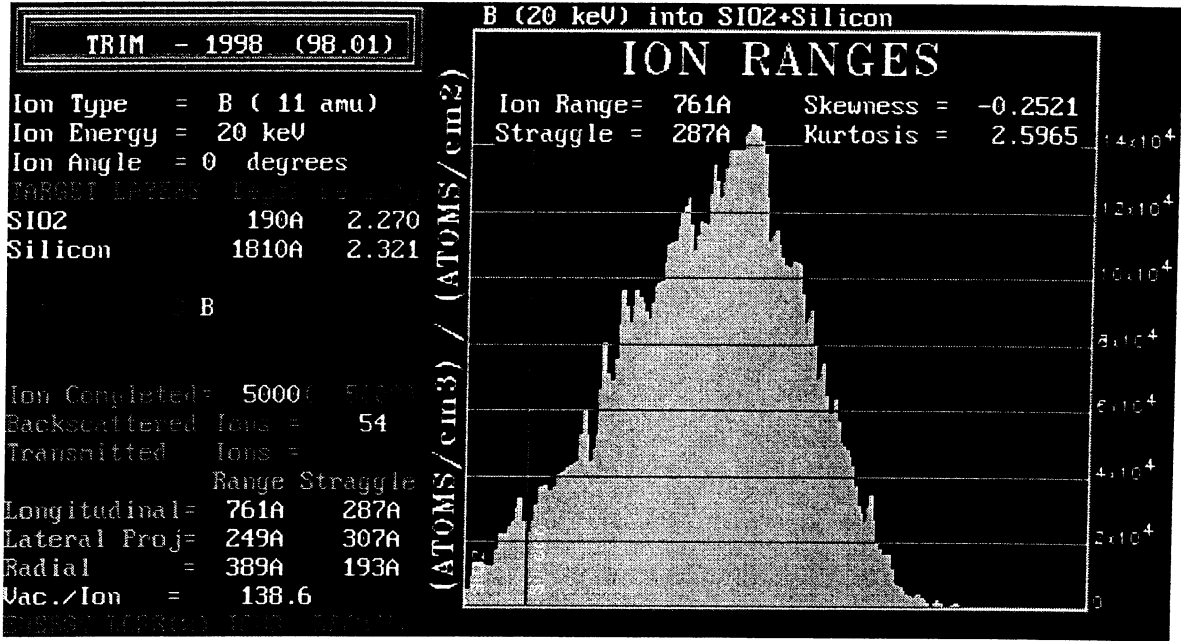
第 4 圖



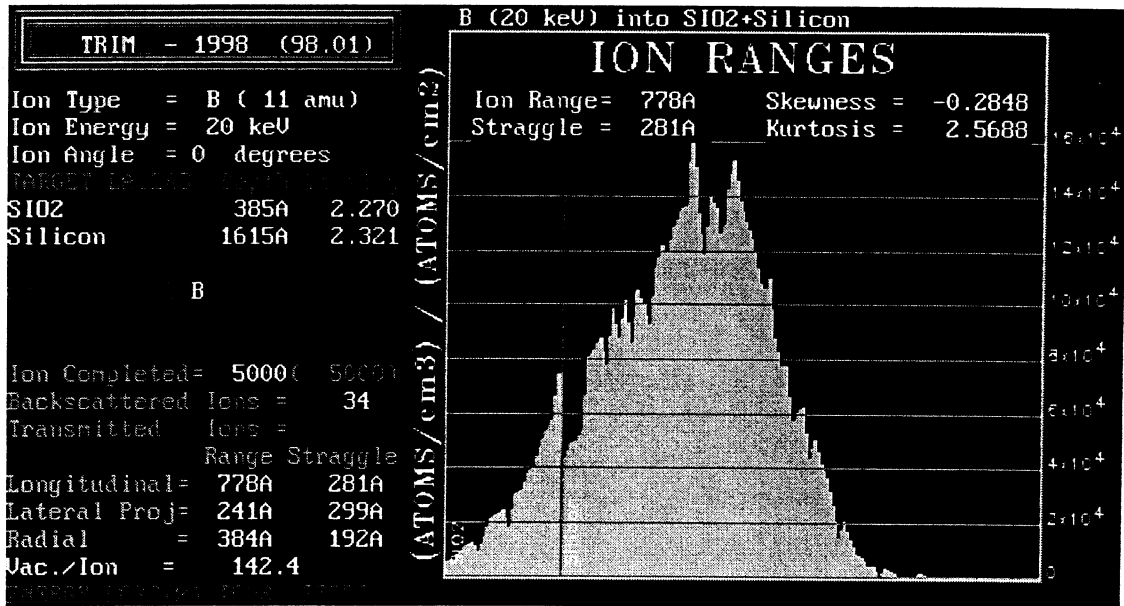
第 5 圖



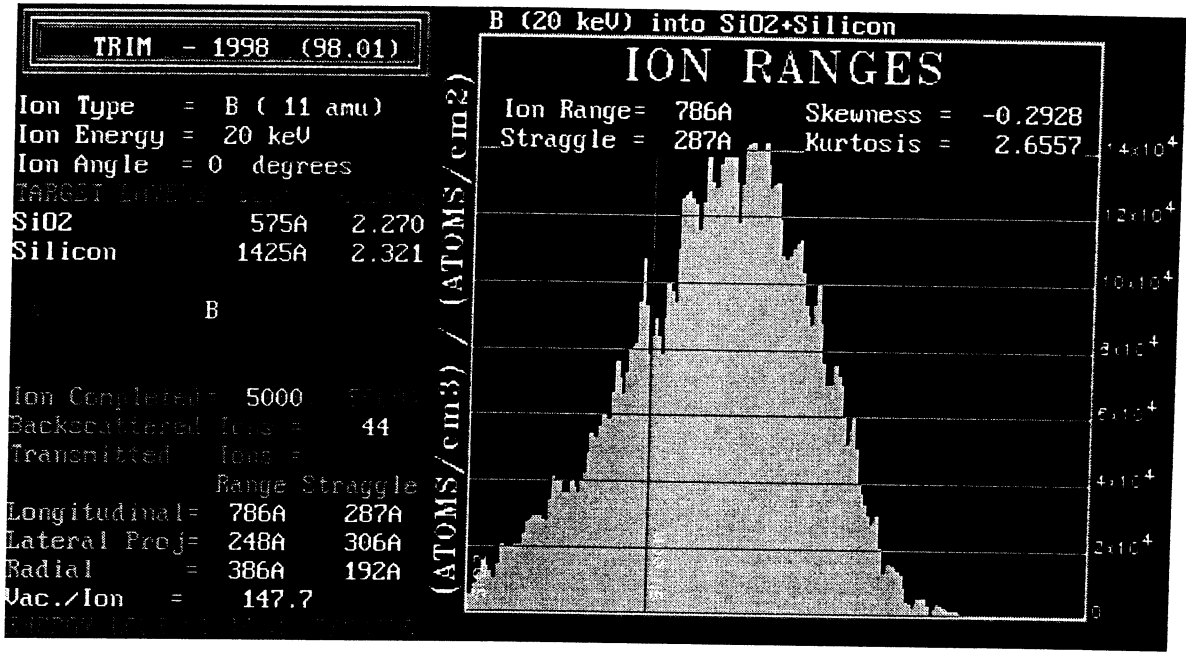
第 6 圖



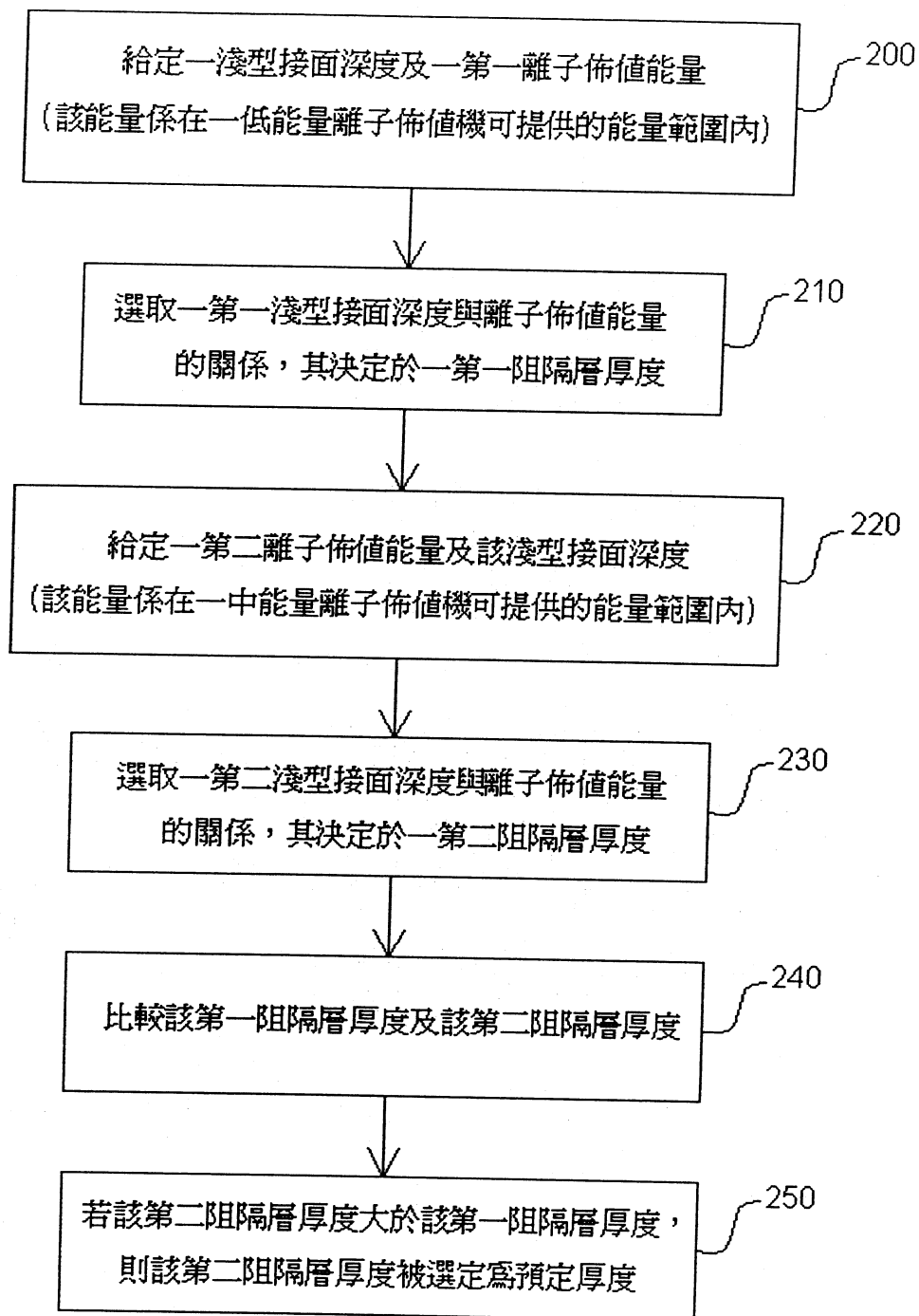
第 7 圖



第 8 圖



第 9 圖



第 10 圖

公告本

99年11月29日修(夏)正本

I260717

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93113845

※申請日期：2004.5.17

※IPC 分類：H01L 21/425

壹、發明名稱：(中文/英文)

形成淺型接面之離子佈植方法

ION-IMPLANTATION METHOD FOR FORMING A SHALLOW
JUNCTION

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣茂矽電子股份有限公司

MOSEL VITELIC INC.

代表人：(中文/英文) 司徒汝奐

住居所或營業所地址：(中文/英文)

新竹市新竹科學工業園區力行路 19 號

No 19, Li Hsin Road, Science-Based Industrial Park, HsinChu, Taiwan,
R.O.C

國籍：(中文/英文) 中華民國 / R. O. C

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 林俊德 / LIN, CHUN TE

2. 陳達德 / CHEN, TA TE

3. 羅政立 / LO, JEN LI

住居所地址：(中文/英文)

1. 台北市大同區民權西路 245 巷 20 號 1F

1F, No 20, Lane 245, Ming Chen W Rd., Taipei city, Taiwan, R.O.C

2. 台北市中山區通北街 71 號 7F

7F, No 71, Tong Bei St., Taipei city, Taiwan, R.O.C

3. 台中縣大里市西榮路 48 號 4F

4F, No 48, West Lon Rd., Tali city, Taichung county, Taiwan, R.O.C

國籍：(中文/英文)

1. 中華民國 / R.O.C
2. 中華民國 / R.O.C
3. 中華民國 / R.O.C

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

7F, No 71, Tong Bei St., Taipei city, Taiwan, R.O.C

3. 台中縣大里市西榮路 48 號 4F

4F, No 48, West Lon Rd., Tali city, Taichung county, Taiwan, R.O.C

國 籍：(中文/英文)

1. 中華民國 /R.O.C
2. 中華民國 /R.O.C
3. 中華民國 /R.O.C

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種離子佈植方法，更特別有關於一種形成淺型接面之離子佈植方法，其用於電子元件之製造。

【先前技術】

在半導體製程技術中，離子佈植 (Ion Implantation) 是一項相當重要的技術。運用離子佈植，可調整電子元件的電性，以達到所要求的功效 (performance)。

目前離子佈植機係分成高能量離子佈植機、中能量離子佈植機及低能量離子佈植機等三類。高能量離子佈植機係可提供約數個 MeV (百萬電子伏特) 之能量，中能量離子佈植機係可提供約 10 至 200 KeV (千電子伏特) 之能量，低能量離子佈植機係可提供約 1 KeV 至數百個 eV (電子伏特) 之能量 (參閱美國專利 USP No.6,441,382 之第一欄之第 35 至 50 行及 USP No. 6,452,196 之第一欄之第 55 至 63 行。)。

由於此三類機台提供不同的佈植能量範圍，故其於能量供應系統上有著不相同的設計，而形成實質上不同種類的離子佈植機。

低能量離子佈植機的誕生是為了於積體電路上形成淺型接面，例如，於電晶體的源/汲極形成淺型接面，以減低因元件縮小所產生的漏電問題。但由於中能量離子佈植機無法改造為低能量離子佈植機，使得一般製造者必須購置新的低能量離子佈植機。但低能量離子佈植機是非常昂貴

的，故在無法購置新機台之情況下，如何利用高或中能量離子佈植機而達到形成淺型接面之製程目的，是離子佈植技術中非常大的問題。

有鑑於此，本發明係提供一種形成淺型接面之離子佈植方法，其顯然的進步在於，可直接藉由高或中能量離子佈植機而形成低能量離子佈植機能夠完成的一淺型接面，以使製造者不必購置新的低能量離子佈植機。

【發明內容】

本發明係在於提供一種形成淺型接面之離子佈植方法，其可直接藉由高或中能量離子佈植機而形成低能量離子佈植機能夠完成的一淺型接面。

為達上述目的，本發明可透過製程流程的設計，使得於離子佈植製程前，於晶圓上之待佈植區域，沉積具有特定（specific）厚度的緩衝層，而特定厚度是具有製程上的意義。

本發明如後之實施例配合所附圖示，而作詳細說明。

【實施方式】

揭示於此文中之實施例係用以說明本發明，而並非用以限定本發明。本發明並不會受限於任何特定的步驟、製程、尺寸或材料。本發明之範圍係由後附之申請專利範圍所界定。

第 1 圖係用以說明一電子元件之源/汲接面的形成方式。該元件係形成於一半導體基板（如：單晶矽基板）10

上。一 N 型井區 12 係先形成於該半導體基板 10 上，接著再形成隔離溝槽 14、一閘極氧化層 16、一閘極電極 18 以及一閘極側護壁 20。一剩餘氧化層 22 係為該閘極側護壁 20 形成後之殘留層。該閘極電極 18 係可作為一離子植入過程時之遮罩。

上述之離子植入過程係必須藉由一離子佈植機（未顯示）而完成。該離子佈植機係提供一能量，用以將一 P 型帶電離子（如：硼、鎵、銦）植入於區域 24 內一預定深度，以形成一 P 型源/汲接面。基本上，該植入的預定深度通常係由該離子佈植機所提供的能量大小所決定。

第 2a 至 2f 圖係用以說明根據本發明形成淺型接面之離子佈植方法實施於一 CMOS 電晶體 100 之方式。如第 2a 圖所示，一 P 型井區 102 及 N 型井區 104 係形成於一半導體基板 106（如：單晶矽基板）上，且一隔離槽溝 108 係形成於該 N 型井區 102 與 P 型井區 104 之交界處間。該 N 型井區 102 及該 P 型井區 104 上係各形成有一閘極氧化層 110 及一閘極電極 112。離子植入區域 113 係界定於該閘極電極 112 之兩側。閘極側護壁 114 係經由一蝕刻製程而形成於該閘極電極 112 及該閘極氧化層 110 之側壁上。一剩餘氧化層 116 係為該閘極側護壁 114 形成後之殘留層。第 2a 圖所顯示之結構係可由習知製程而獲得。

特別地，第 2b-2f 圖係說明了淺型源/汲極接面各別形成於該 N 型井區 102 與 P 型井區 104 之佈植方式。於此實施例中，“淺型接面”係指一般必需直接由一低能量離子佈

植機所能夠達成的淺型接面。另外，該低能量離子佈植機係指可提供低於 1 KeV 能量之離子佈植機，而將於下提及之中能量離子佈植機係指可提供 10 至 200 KeV 能量之離子佈植機。

如第 2b 圖所示，該剩餘氧化層 116 係藉由蝕刻方式完全由該半導體基板 106 上被移除，接著一緩衝層 118 係形成於上述結構上。之後，如第 2c 圖所示，一光阻層 120 係形成於該 P 型井區 104 上，用以作為一離子植入過程的一遮罩，且位於該 N 型井區 102 上之閘極電極 112 亦可同時作為同一離子植入過程時之另一遮罩。如第 2d 圖所示，該半導體基板 106 係被送入一中能量離子佈植機（未顯示），且一帶電離子如：硼、鎵、銻等係藉由該中能量離子佈植機（未顯示）所提供的一能量（如：20KeV）而被植入該離子植入區域 113，以形成 P 型源/汲極接面 122。

接著，如第 2e 圖所示，當 P 型源/汲極接面 122 形成於該 N 型井區 102 後，該光阻層 120 係被移除，且另一光阻層 124 係被形成於該 N 型井區 102 上，用以作為另一離子植入過程的一遮罩。同樣地，該位於該 P 型井區 104 上之閘極電極 112 亦可同時作為該離子植入過程時之另一遮罩。之後，如第 2f 圖所示，一帶電離子如：磷、砷、銻等係藉由該中能量離子佈植機（未顯示）所提供的一能量（如：20KeV）而被植入該離子植入區域 113，以形成 N 型源/汲極接面 126；最後，如第 2g 圖所示，將該光阻層 124 與該緩衝層 118 移除，以形成淺型源/汲極接面 122、126 於該 N 型井區 102 及該 P 型井區 104 上。

根據本發明之上述實施例中，該緩衝層 118 係會具有一預定之厚度，用以阻擋該中能量離子佈植機植入該離子植入區域 113 內的帶電離子量，以便縮減了形成在該離子植入區域 113 上之接面深度。於是，該中能量離子佈植機係可形成一低能量離子佈植機能夠完成的一淺型源/汲極接面。

舉例而言，假若當第 2a 圖中之結構係直接施以離子佈植而形成源/汲極接面時，則該源/汲極接面係可具有 20KeV 能量所能夠形成之接面深度（例如：750 埃（A））。然而，根據本發明之離子佈植方法，由於該緩衝層 118 係會阻擋該帶電離子量，因此同樣藉由 20KeV 能量所形成的源/汲極接面係可能僅會具有 15KeV 能量所能夠形成之接面深度（例如：小於 750 埃（A））。

應瞭解到，本發明之離子佈植方法係可應用於任何電子元件的淺型接面之形成如：功率元件或二極體之接面之形成。另外，該緩衝層 118 係可為任何材料，只要是不會與下層有反應且之後容易移除即可。在其中一個實施例中，該緩衝層 118 係為一氧化層（如：二氧化矽層）。再者，於一些實施例中，該帶電離子亦可依製程之不同而於惰性氣體（如：氬及氦等）的環境中產生。

第 3 至 9 圖係為利用一 TRIM（Transfer of Ions in Matter）模擬方法，所模擬出各種不同能量植入一硼（B）離子至一矽基板之結果示意圖，其中每一示意圖中之圖表的橫座標係表示該硼離子之植入深度，而其縱座標係表示

被植入的離子數量。表一係為第 3 至 9 圖之模擬結果。

植入能量 (KeV)	緩衝層厚度 (A)	植入深度 (矽基板 + 緩衝層) (A)	植入深度 (矽基 板) (A)
20	0	750	750
15	0	572	572
10	0	390	390
5	0	213	213
20	190	761	571
20	385	778	393
20	575	786	211

表一

第 3 至 6 圖係為藉由 20KeV、15KeV、10KeV 及 5KeV 能量將硼離子分別植入未形成有緩衝層之矽基板上的結果。第 7 至 9 圖係為藉由 20KeV 能量將硼離子分別植入形成有緩衝層之矽基板上的結果，亦即根據本發明之離子佈植方法而得到的結果。

由表一係可了解到，當植入能量分別為 20KeV、15KeV、10KeV 及 5KeV 而矽基板上的緩衝層厚度為 0 埃 (A) 時，硼離子植入矽基板上之深度係分別為 750 A、572 A、390 A 及 213 A。然而，當植入能量同樣為 20KeV 而矽基板上的緩衝層厚度分別為 190 A、385 A 及 575 A 時，硼離子植入矽基板上之深度係分別為 571 A、393 A 及 211 A。

至為明顯，當矽基板上各別形成有厚度為 190 A、385 A 及 575 A 之緩衝層時，藉由 20KeV 能量所完成的植入深度 (571 A、393 A 及 211 A) 係大約等於藉由 15KeV、10KeV

及 5KeV 能量所完成的植入深度 (572 Å、390 Å 及 213 Å)。以此類推，若要達到藉由 1 KeV (或更小的) 能量所完成的植入深度，則緩衝層必須更厚。因此，本發明之離子佈植方法係可藉由形成一緩衝層之方式，而使得中能量離子佈植機可形成低能量離子佈植機所能夠完成的一淺型接面，以使製造者不必購置新的低能量離子佈植機。

根據本發明之緩衝層的預定厚度係可利用一決定程序而選定，其流程係如第 10 圖所示。該決定程序係包含：給定一淺型接面深度及一第一離子佈植能量，其中該第一離子佈植能量係介於一低能量離子佈植機可提供的離子佈植能量範圍內 (步驟 200)；以該淺型接面深度及該第一離子佈植能量，選取一第一淺型接面深度與離子佈植能量的關係，其中該第一淺型接面深度與離子佈植能量的關係係決定於一第一緩衝層厚度 (步驟 210)；給定一第二離子佈植能量及該淺型接面深度，其中該第二離子佈植能量係介於一中能量離子佈植機可提供的離子佈植能量範圍內 (步驟 220)；以該淺型接面深度及該第二離子佈植能量，選取一第二淺型接面深度與離子佈植能量的關係，其中該第二淺型接面深度與離子佈植能量的關係係決定於一第二緩衝層厚度 (步驟 230)；比較該第一緩衝層厚度及該第二緩衝層厚度 (步驟 240)；以及若該第二緩衝層厚度大於該第一緩衝層厚度，則該第二緩衝層厚度即被選定為一緩衝層之預定厚度 (步驟 250)；其中，該第一淺型接面深度與離子佈植能量的關係係由該低能量離子佈植機台所獲得，該第二淺型接面深度與離子佈植能量的關係係由該中能量離子佈

植機台所獲得。

除此，本發明可應用於：(1) 基本 CMOS 製程方面如：調整電晶體啟始臨界電壓、形成 N 及 P 型井區、電晶體的隔離、形成電晶體的源極和汲極、形成低摻雜濃度的汲極、抑制電晶體的源極和汲極間擊穿、摻雜複晶矽以及吸集雜質等；(2) 先進製程方面如超淺的源極和汲極或其延伸；以及(3) 其它方面諸如：淺溝隔離佈植及絕緣基板上薄層矽晶製作等。另外，相同的或近似的方法亦可應用於高能量離子佈植機台。

本發明之保護範圍係由後附申請專利範圍所界定。

【圖式簡單說明】

第 1 圖係用以說明一電子元件之源/汲接面的形成方式。

第 2a 至 2g 圖係用以說明根據本發明形成淺型接面之離子佈植方法實施於一 CMOS 電晶體之方式。

第 3 至 9 圖係為利用一模擬軟體模擬各種不同能量植入一硼離子至一矽基板之結果示意圖。

第 10 圖係為選定一緩衝層之預定厚度的決定程序流程圖。

圖號說明：

10	半導體基板	12	N 型井區
14	隔離溝槽	16	閘極氧化層
18	閘極電極	20	閘極側護
22	剩餘氧化層	24	區域

100	CMOS 電晶體	102	P 型井區
104	N 型井區	106	半導體基板
108	隔離槽溝	110	閘極氧化層
112	閘極電極	113	離子植入區域
114	閘極側護壁	116	剩餘氧化層
118	緩衝層	120	光阻層
122	P 型源/汲極接面	124	光阻層
126	N 型源/汲極接面		

伍、中文發明摘要：

本發明係提供一種形成淺型接面之離子佈植方法，藉由該方法，使得一中能量離子佈植機可用於形成一低能量離子佈植機所能完成的電子元件之淺型接面，而本發明將使中能量離子佈植機能夠繼續使用於新世代的電子元件製造技術。

陸、英文發明摘要：

The present invention provides an ion-implantation method for forming a shallow junction by which a middle-energy ion implanter can form a shallow junction of an electronic element that can be achieved by a low-energy ion implanter. The present invention enables the middle-energy ion implanter to be used in manufacturing techniques for new generation electronic elements.

拾、申請專利範圍：

1. 一種形成淺型接面之離子佈植方法，其包含下列步驟：

提供一半導體基板，該半導體基板上係具有至少一電晶體結構，該電晶體結構包含至少一閘極電極以及一離子植入區域，用以形成該電晶體結構之汲極及源極之一者；

形成一氧化層於該電晶體結構上；

蝕刻該氧化層，以形成至少一閘極側護壁於該閘極電極上；

移除位於該離子植入區域上之該氧化層；

形成一緩衝層於該離子植入區域上，該緩衝層具有一預定厚度；

藉由一中能量離子佈植機提供一能量，用以將一帶電離子經由該緩衝層而植入至該離子植入區域內；以及

移除該緩衝層；

其中該緩衝層係用以阻擋該帶電離子植入至該離子植入區域內之離子量，以形成等同於一低能量離子佈植機可形成的一淺型接面。

2. 依申請專利範圍第 1 項之離子佈植方法，其中該中能量離子佈植機係可提供 10 至 200 KeV 間之能量。

3. 依申請專利範圍第 1 項之離子佈植方法，其中該低能量離子佈植機係可提供不超過 1 KeV 之能量。

4. 依申請專利範圍第 1 項之離子佈植方法，其中該緩

衝層之預定厚度係小於 750 埃 (A) 間。

5. 依申請專利範圍第 1 項之離子佈植方法，其中該緩衝層係為一二氧化矽層。

6. 依申請專利範圍第 1 項之離子佈植方法，其中該帶電離子係由磷、砷、銻所組成之群組中選出。

7. 依申請專利範圍第 1 項之離子佈植方法，其中該帶電離子係由硼、鎵、銦所組成之群組中選出。

8. 依申請專利範圍第 1 項之離子佈植方法，其中該帶電離子係產生於惰性氣體中。

9. 一種形成淺型接面之離子佈植方法，其包含下列步驟：

提供一半導體基板，該基板上係具有至少一離子植入區域及至少一閘極電極；

形成一氧化層於該半導體基板上，蝕刻該氧化層，以形成至少一閘極側護壁於該閘極電極上，移除植入區上之該氧化層；

形成一緩衝層於該離子植入區域上，該緩衝層之厚度係小於 750 埃 (A) 間；

藉由一中能量離子佈植機提供一能量，用以將一帶電離子經由該緩衝層而植入至該離子植入區域內，其中該中能量離子佈植機係可提供 10 至 200 KeV 間之能量；以及

移除該緩衝層；

其中該緩衝層係用以阻擋該帶電離子植入至該離子植

入區域內之離子量，以形成等同於一低能量離子佈植機可形成的一淺型接面，其中該低能量離子佈植機係可提供不超過 1 KeV 之能量。

10. 依申請專利範圍第 9 項之離子佈植方法，其中該緩衝層係為一氧化層。

11. 依申請專利範圍第 10 項之離子佈植方法，其中該氧化層係為一二氧化矽層。

12. 依申請專利範圍第 9 項之離子佈植方法，其中該帶電離子係由磷、砷、銻所組成之群組中選出。

13. 依申請專利範圍第 9 項之離子佈植方法，其中該帶電離子係由硼、鎵、銦所組成之群組中選出。

14. 依申請專利範圍第 9 項之離子佈植方法，其中該離子植入區域係用以形成一電晶體結構之汲極及源極之一者。

15. 依申請專利範圍第 9 項之離子佈植方法，其中該帶電離子係產生於惰性氣體中。

16. 一種形成淺型接面之離子佈植方法，其包含下列步驟：

提供一半導體基板，其中該半導體基板上係具有至少一種電子元件，其中該電子元件上覆蓋一緩衝層，其中該緩衝層具有一第一緩衝層厚度；

將該半導體基板送入一第一離子佈植機台，其中該第一離子佈植機台提供一第一範圍內的離子佈植能量；以及

對該半導體基板以一第一離子佈植能量進行離子佈植；

其中該第一緩衝層厚度係利用一決定程序而選定，該決定程序使用至少二種淺型接面深度與離子佈植能量的關係，其中至少一種淺型接面深度與離子佈植能量的關係係由一第二離子佈植機台所獲得，其中該第二離子佈植機台提供一第二範圍內的離子佈植能量，其中該第二範圍內的離子佈植能量小於且不重疊於該第一範圍內的離子佈植能量。

17. 依申請專利範圍第 16 項之離子佈植方法，其中該緩衝層係為一氧化層。

18. 依申請專利範圍第 17 項之離子佈植方法，其中該氧化層係為一二氧化矽層。

19. 依申請專利範圍第 16 項之離子佈植方法，其中每一淺型接面深度與離子佈植能量的關係係決定於其中一緩衝層厚度。

20. 依申請專利範圍第 16 項之離子佈植方法，其中該決定程序包含：

給定一淺型接面深度及一第二離子佈植能量，其中該第二離子佈植能量係介於該第二範圍內的離子佈植能量；

以該淺型接面深度及該第二離子佈植能量，選取一第二淺型接面深度與離子佈植能量的關係，其中該第二淺型接面深度與離子佈植能量的關係係決定於一第二緩衝層厚度；

給定第一離子佈植能量及該淺型接面深度，其中該第一離子佈植能量係介於該第一範圍內的離子佈植能量；

以該淺型接面深度及該第一離子佈植能量，選取一第一淺型接面深度與離子佈植能量的關係，其中該第一淺型接面深度與離子佈植能量的關係係決定於一第三緩衝層厚度；

比較該第三緩衝層厚度及該第二緩衝層厚度；以及

若該第三緩衝層厚度大於該第二緩衝層厚度，則該第三緩衝層厚度即被選定為該第一緩衝層厚度；

其中，該第一淺型接面深度與離子佈植能量的關係係由該第一離子佈植機台所獲得，該第二淺型接面深度與離子佈植能量的關係係由該第二離子佈植機台所獲得。

21. 依申請專利範圍第 16 項之離子佈植方法，其中該電子元件包含一電晶體結構之汲極及源極之一者。

22. 依申請專利範圍第 16 項之離子佈植方法，其中該電子元件包含一溝渠結構。

23. 依申請專利範圍第 16 項之離子佈植方法，其中該電子元件包含二極體。

24. 依申請專利範圍第 16 項之離子佈植方法，其中該離子佈植方法所使用的離子係由磷、砷、銻所組成之群組中選出。

25. 依申請專利範圍第 16 項之離子佈植方法，其中該離子佈植方法所使用的離子係由硼、鎵、銦所組成之群組

中選出。

26. 依申請專利範圍第 16 項之離子佈植方法，其中該第一範圍內的離子佈植能量係介於 10 至 200 KeV。

27. 依申請專利範圍第 16 項之離子佈植方法，其中該第二範圍內的離子佈植能量係不超過 1 KeV。

28. 依申請專利範圍第 16 項之離子佈植方法，其中該帶電離子係產生於惰性氣體中。

柒、指定代表圖：

(一)本案指定代表圖為：第 (2d) 圖。

(二)本代表圖之元件代表符號簡單說明：

100	CMOS 電晶體	102	P 型井區
104	N 型井區	106	半導體基板
108	隔離槽溝	110	閘極氧化層
112	閘極電極	113	離子植入區域
114	閘極側護壁	118	緩衝層
120	光阻層	122	P 型源/汲極接面

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：