



(12) 发明专利

(10) 授权公告号 CN 101212147 B

(45) 授权公告日 2010.12.08

(21) 申请号 200610201404.2

US 6314523 B1, 2001.11.06, 全文.

(22) 申请日 2006.12.26

审查员 葛加伍

(73) 专利权人 鸿富锦精密工业(深圳)有限公司
地址 518109 广东省深圳市宝安区龙华镇油
松第十工业区东环二路2号
专利权人 鸿海精密工业股份有限公司

(72) 发明人 黄种棋 袁广东 潘建纯 张卫民

(51) Int. Cl.

H02J 9/06 (2006.01)

(56) 对比文件

CN 1790203 A, 2006.06.21, 全文.

CN 1874109 A, 2006.12.06, 全文.

CN 1622418 A, 2005.06.01, 全文.

US 5598041 A, 1997.01.28, 全文.

JP 特开平 9-74673 A, 1997.03.18, 全文.

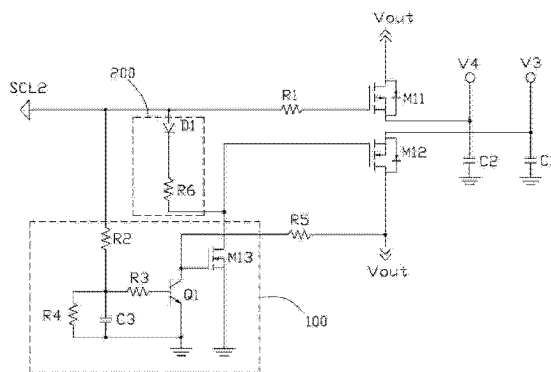
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

电源电压供电电路

(57) 摘要

一种电源电压供电电路,其包括一信号输入端、一 PMOS 晶体管、一第一 NMOS 晶体管、一主电源、一备用电源、一驱动电路及一隔离电路,所述信号输入端提供一控制信号,所述主电源提供一主电源电压,所述备用电源提供一备用电源电压,所述信号输入端与所述 PMOS 晶体管的栅极连接,所述隔离电路连接在所述信号输入端与所述第一 NMOS 晶体管的栅极之间,所述驱动电路与所述隔离电路并联连接。所述 PMOS 晶体管及所述第一 NMOS 晶体管根据所述控制信号的状态可轮流导通,并输出所述主电源电压或所述备用电源电压,防止所述主电源切换到所述备用电源时,有较大的电流由所述主电源流进所述备用电源而造成所述 PMOS 晶体管或所述第一 NMOS 晶体管烧毁。



1. 一种电源电压供电电路,其包括一信号输入端、一PMOS晶体管、一第一NMOS晶体管、一主电源、一备用电源、一驱动电路及一隔离电路,所述信号输入端与所述PMOS晶体管的栅极连接,所述隔离电路连接在所述信号输入端与所述第一NMOS晶体管的栅极之间,所述驱动电路与所述隔离电路并联连接,所述PMOS晶体管的源极与所述备用电源连接,所述第一NMOS晶体管的源极与所述主电源连接,所述PMOS晶体管及所述第一NMOS晶体管的漏极作为电压输出端,所述信号输入端输入的控制信号为高电平时,所述隔离电路导通使所述控制信号传送至所述第一NMOS晶体管的栅极,所述电压输出端输出所述主电源电压,所述信号输入端输入的控制信号为低电平时,所述隔离电路阻隔所述控制信号传送至所述第一NMOS晶体管的栅极,所述驱动电路接收所述控制信号后将所述第一NMOS晶体管的栅极拉低为低电平,所述电压输出端输出所述备用电源电压。

2. 如权利要求1所述的电源电压供电电路,其特征在于:所述驱动电路包括一NPN型晶体管及一第二NMOS晶体管,所述NPN型晶体管的发射极接地,所述第二NMOS晶体管的栅极与所述NPN型晶体管的集电极连接,所述NPN型晶体管的基极受所述控制信号的控制,所述第二NMOS晶体管的源极接地,所述第二NMOS晶体管的漏极与所述第一NMOS晶体管的栅极连接,所述控制信号为低电平时,所述NPN型晶体管截止,所述NPN型晶体管的集电极被拉升为高电平。

3. 如权利要求2所述的电源电压供电电路,其特征在于:所述隔离电路包括一二极管及一电阻,所述二极管的阳极接入所述控制信号,所述二极管的阴极通过所述电阻与所述第一NMOS晶体管的栅极连接。

4. 如权利要求2所述的电源电压供电电路,其特征在于:所述NPN型晶体管的集电极通过一上拉电阻与所述电压输出端连接。

5. 如权利要求2所述的电源电压供电电路,其特征在于:所述驱动电路还包括一第二电阻、一第三电阻及一第四电阻,所述第二电阻的一端作为所述驱动电路的输入端接入所述控制信号,所述第二电阻的另一端通过所述第三电阻与所述NPN型晶体管的基极连接,所述第二电阻及所述第三电阻之间的节点通过所述第四电阻接地。

6. 如权利要求5所述的电源电压供电电路,其特征在于:所述驱动电路还包括一电容,所述电容与所述第四电阻并联连接。

电源电压供电电路

技术领域

[0001] 本发明涉及一种供电电路,特别涉及一种电源电压供电电路。

背景技术

[0002] 图 1 为现有一种主从式电源电压供电电路的电路图,其包括一信号输入端 SCL1、一第一驱动装置 10、一第二驱动装置 20、一主电源 V1、一备用电源 V2、一 P 沟道金属氧化物半导体 (P-channel metal oxide semiconductor, PMOS) 晶体管 M1 及一 N 沟道金属氧化物半导体 (N-channel metal oxide semiconductor, NMOS) 晶体管 M2。所述信号输入端 SCL1 提供一控制信号,所述主电源 V1 提供一主电源电压,所述备用电源 V2 提供一备用电源电压。

[0003] 所述信号输入端 SCL1 连接所述第一驱动装置 10 及所述第二驱动装置 20 的输入端。所述第一驱动装置 10 的输出端与所述 PMOS 晶体管 M1 的栅极连接,所述第二驱动装置 20 的输出端与所述 NMOS 晶体管 M2 的栅极连接。所述 PMOS 晶体管 M1 的源极与所述备用电源 V2 连接,所述 NMOS 晶体管 M2 的源极与所述主电源 V1 连接。所述主电源 V1 及所述备用电源 V2 分别通过一电容 (图未标号) 接地,用于滤除杂讯。所述 PMOS 晶体管 M1 及所述 NMOS 晶体管 M2 的漏极作为电压输出端 V_o 。所述第一驱动装置 10 及所述第二驱动装置 20 可为 NPN 型或 PNP 型晶体管的组合电路。

[0004] 当所述控制信号为高电平时,所述第一驱动装置 10 及所述第二驱动装置 20 的输出端输出高电平,此时所述 PMOS 晶体管 M1 及所述 NMOS 晶体管 M2 的栅极均为高电平,所述 PMOS 晶体管 M1 截止,所述 NMOS 晶体管 M2 导通,所述 NMOS 晶体管 M2 的漏极 (即电压输出端 V_o) 输出所述主电源 V1 的主电源电压。如果所述控制信号被切换为低电平,所述第一驱动装置 10 及所述第二驱动装置 20 的输出端则输出低电平,此时所述 PMOS 晶体管 M1 导通,所述 PMOS 晶体管 M1 的漏极 (即电压输出端 V_o) 输出所述备用电源 V2 的备用电源电压,所述 NMOS 晶体管 M2 截止。

[0005] 现有技术主从式电源电压供电电路的理想状态是所述 PMOS 晶体管 M1 及所述 NMOS 晶体管 M2 根据所述控制信号的状态轮流导通,并输出所述主电源电压或所述备用电源电压。但是由于制造工艺的问题所述 PMOS 晶体管 M1 及所述 NMOS 晶体管 M2 的参数并不完全相同,从而使所述 PMOS 晶体管 M1 及所述 NMOS 晶体管 M2 在开启和关断时序上出现偏差,不能实现轮流导通。更为严重的是,由于不是轮流导通,所述 PMOS 晶体管 M1 及所述 NMOS 晶体管 M2 会出现导通的交叠时间 (即有一段时间均处于导通状态),这样造成电源电压由所述主电源 V1 切换到所述备用电源 V2 时,有比较大的电流从 V1 流进 V2,导致所述 PMOS 晶体管 M1 或所述 NMOS 晶体管 M2 被烧毁。

发明内容

[0006] 鉴于上述内容,有必要提供一种可防止主电源与备用电源切换时产生过流的电源电压供电电路。

[0007] 一种电源电压供电电路,其包括一信号输入端、一 PMOS 晶体管、一第一 NMOS 晶体管、一主电源、一备用电源、一驱动电路及一隔离电路,所述信号输入端与所述 PMOS 晶体管的栅极连接,所述隔离电路连接在所述信号输入端与所述第一 NMOS 晶体管的栅极之间,所述驱动电路与所述隔离电路并联连接,所述 PMOS 晶体管的源极与所述备用电源连接,所述第一 NMOS 晶体管的源极与所述主电源连接,所述 PMOS 晶体管及所述第一 NMOS 晶体管的漏极作为电压输出端,所述信号输入端输入的控制信号为高电平时,所述隔离电路导通使所述控制信号传送至所述第一 NMOS 晶体管的栅极,所述电压输出端输出所述主电源电压,所述信号输入端输入的控制信号为低电平时,所述隔离电路阻隔所述控制信号传送至所述第一 NMOS 晶体管的栅极,所述驱动电路接收所述控制信号后将所述第一 NMOS 晶体管的栅极拉低为低电平,所述电压输出端输出所述备用电源电压。

[0008] 相较现有技术,所述驱动电路可以通过侦测所述 PMOS 晶体管栅极所达到的电平,也即侦测所述 PMOS 晶体管的开启或关断,然后迅速关断或迅速开启所述第一 NMOS 晶体管,由此实现所述 PMOS 晶体管及所述第一 NMOS 晶体管轮流导通,防止所述主电源切换到所述备用电源时,有较大的电流由所述主电源流进所述备用电源而造成所述 PMOS 晶体管或所述第一 NMOS 晶体管烧毁。

附图说明

[0009] 下面参照附图结合具体实施方式对本发明作进一步的描述。

[0010] 图 1 为现有技术电源电压供电电路的电路图。

[0011] 图 2 为本发明电源电压供电电路的较佳实施方式的电路图。

[0012] 图 3 为本发明电源电压供电电路的较佳实施方式的电路仿真图。

具体实施方式

[0013] 请参照图 2,本发明电源电压供电电路的较佳实施方式包括一信号输入端 SCL2、一 PMOS 晶体管 M11、一第一 NMOS 晶体管 M12、一主电源 V3、一备用电源 V4、一驱动电路 100 及一隔离电路 200。所述信号输入端 SCL2 提供一控制信号,所述主电源 V3 提供一主电源电压,所述备用电源 V4 提供一备用电源电压。

[0014] 所述信号输入端 SCL2 通过一第一电阻 R1 与所述 PMOS 晶体管 M11 的栅极连接,所述信号输入端 SCL2 通过所述隔离电路 200 与所述第一 NMOS 晶体管 M12 的栅极连接。所述信号输入端 SCL2 与所述驱动电路 100 的输入端连接,所述驱动电路 100 的输出端与所述第一 NMOS 晶体管 M12 的栅极连接(即所述驱动电路 100 与所述隔离电路 200 并联连接)。所述 PMOS 晶体管 M11 的源极与所述备用电源 V4 连接,所述第一 NMOS 晶体管 M12 的源极与所述主电源 V3 连接,所述 PMOS 晶体管 M11 及所述第一 NMOS 晶体管 M12 的漏极作为电压输出端 Vout。所述主电源 V3 及所述备用电源 V4 分别通过一第一电容 C1 及一第二电容 C2 接地,用于滤除杂讯。

[0015] 所述驱动电路 100 包括一 NPN 型晶体管 Q1、一第二 NMOS 晶体管 M13、一第二电阻 R2、一第三电阻 R3、一第四电阻 R4 及一第三电容 C3。所述驱动电路 100 的输入端通过所述第二电阻 R2 接入所述控制信号,所述第二电阻 R2 与所述第四电阻 R4 分压后,与所述第三电阻 R3 连接并连接至所述 NPN 型晶体管 Q1 的基极。所述 NPN 型晶体管 Q1 的发射极接地,

所述 NPN 型晶体管 Q1 的集电极通过一第五电阻 R5 上拉于所述电压输出端 Vout。所述第三电容 C3 与所述第四电阻 R4 并联连接。所述第二 NMOS 晶体管 M13 的栅极与所述 NPN 型晶体管 Q1 的集电极连接,所述第二 NMOS 晶体管 M13 的源极接地,所述第二 NMOS 晶体管 M13 的漏极作为所述驱动电路 100 的输出端与所述第一 NMOS 晶体管 M12 的栅极连接。

[0016] 所述隔离电路 200 包括一二极管 D1 及一第六电阻 R6,所述二极管 D1 的阳极接入所述控制信号,所述二极管 D1 的阴极通过所述第六电阻 R6 与所述第一 NMOS 晶体管 M12 的栅极连接。

[0017] 当所述控制信号电平上升过程中,所述控制信号通过所述第一电阻 R1 传送至所述 PMOS 晶体管 M11 的栅极。所述控制信号经过所述第二电阻 R2 及所述第四电阻 R4 分压后的电平未达到所述 NPN 型晶体管 Q1 导通电平前(即所述 PMOS 晶体管 M11 未关断之前),所述 NPN 型晶体管 Q1 关断,所述第二 NMOS 晶体管 M13 导通使所述第一 NMOS 晶体管 M12 栅极电平拉地(即所述第一 NMOS 晶体管 M12 处于关断状态)。所述控制信号经过所述第二电阻 R2 及所述第四电阻 R4 分压后的电平达到所述 NPN 型晶体管 Q1 导通电平后(即所述 PMOS 晶体管 M11 关断之后),所述 NPN 型晶体管 Q1 开启,所述第二 NMOS 晶体管 M13 关断使所述第一 NMOS 晶体管 M12 栅极电平通过所述隔离电路迅速拉高(即所述第一 NMOS 晶体管 M12 处于开启状态),从而所述电压输出端 Vout 输出所述主电源 V3 的主电源电压。

[0018] 当所述控制信号电平下降过程中,所述控制信号通过所述第一电阻 R1 传送至所述 PMOS 晶体管 M11 的栅极。所述控制信号经过所述第二电阻 R2 及所述第四电阻 R4 分压后的电平下降到所述 NPN 型晶体管 Q1 导通电平前(即所述 PMOS 晶体管 M11 开启之前),所述 NPN 型晶体管 Q1 开启,所述第二 NMOS 晶体管 M13 关断,使所述第一 NMOS 晶体管 M12 栅极电平通过所述隔离电路 200 随控制信号缓慢下降(此时所述第一 NMOS 晶体管 M12 还处于开启状态)。所述控制信号经过所述第二电阻 R2 及所述第四电阻 R4 分压后的电平下降到小于所述 NPN 型晶体管 Q1 的导通电平后(此时所述 PMOS 晶体管 M11 开启),所述 NPN 型晶体管 Q1 关断,从而使所述第二 NMOS 晶体管 M13 开启,使所述第一 NMOS 晶体管 M12 栅极电平通过所述第二 NMOS 晶体管 M13 迅速拉地(即所述第一 NMOS 晶体管 M12 迅速处于关断状态),从而所述电压输出端 Vout 输出所述备用电源 V4 的备用电源电压。

[0019] 请一并参照图 3,曲线 30 表示所述 PMOS 晶体管 M11 的栅极电压波形,曲线 40 表示所述第一 NMOS 晶体管 M12 的栅极电压波形,曲线 50 表示所述电压输出端 Vout 的输出电压波形。在所述曲线 50 上的 A 点,所述 PMOS 晶体管 M11 栅极达到关断电平时,此时所述第一 NMOS 晶体管 M12 的栅极电平在驱动电路 100 的控制下迅速上升,进而打开所述第一 NMOS 晶体管使主电源电压输出。在所述曲线 50 上的 B 点,所述 PMOS 晶体管 M11 栅极下降到开启电平时,此时输出备用电源电压,而所述第一 NMOS 晶体管 M12 的栅极电平在驱动电路 100 的控制下迅速下降,进而迅速关断所述第一 NMOS 晶体管 M12。

[0020] 从上述电路的工作过程可以看出,当所述控制信号电平在上升过程中,所述第一 NMOS 晶体管 M12 可以根据所述 PMOS 晶体管 M11 的状态迅速调整自己的开关状态。所述 PMOS 晶体管 M11 及所述第一 NMOS 晶体管 M12 可实现栅极电压切换时序上的一致性,避免或者减少所述 PMOS 晶体管 M11 及所述第一 NMOS 晶体管 M12 出现导通的交叠时间,即所述 PMOS 晶体管 M11 及所述第一 NMOS 晶体管 M12 可根据所述控制信号轮流导通,防止所述主电源 V3 切换到所述备用电源 V4 时,有较大的电流由所述主电源 V3 流进所述备用电源 V4 而造成所

述 PMOS 晶体管 M11 或所述第一 NMOS 晶体管 M12 烧毁。

[0021] 本实施方式中所述 NPN 型晶体管 Q1 的集电极可通过所述第五电阻连接至一高电压, 同样可实现当所述 NPN 型晶体管 Q1 截止时, 所述 NPN 型晶体管 Q1 的集电极被拉升为高电平。

[0022] 本发明所述驱动电路 100 可由其他具有快速开关特性的电子元件 (如 PMOS 晶体管或 NMOS 晶体管等) 的电路组合实现, 不限于本发明所列举的电路连接方式。

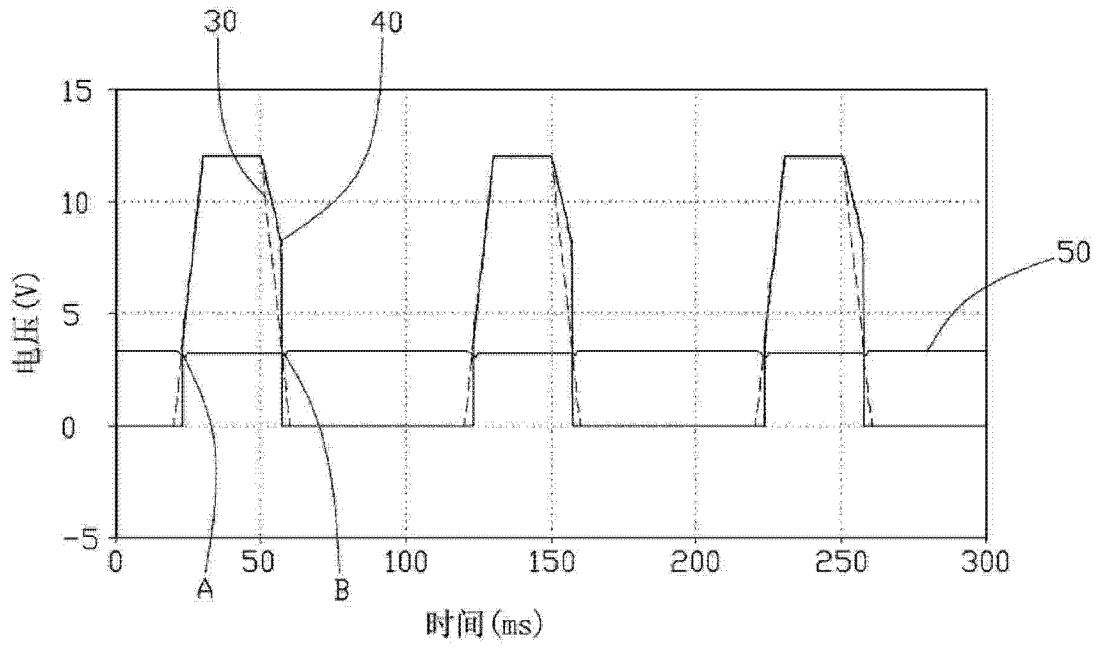


图 3