



(12) 发明专利

(10) 授权公告号 CN 109449168 B

(45) 授权公告日 2021.05.18

(21) 申请号 201811353181.0

H01L 27/02 (2006.01)

(22) 申请日 2018.11.14

H01L 21/77 (2017.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 109449168 A

(56) 对比文件

CN 203616554 U, 2014.05.28

CN 207925467 U, 2018.09.28

(43) 申请公布日 2019.03.08

US 9673225 B2, 2017.06.06

(73) 专利权人 合肥京东方光电科技有限公司

CN 106783842 A, 2017.05.31

地址 230012 安徽省合肥市铜陵北路2177号

审查员 苍凯

专利权人 京东方科技集团股份有限公司

(72) 发明人 刘天真 段献学 徐德智

(74) 专利代理机构 中国贸促会专利商标事务所有限公司 11038

代理人 刘剑波

(51) Int. Cl.

H01L 27/12 (2006.01)

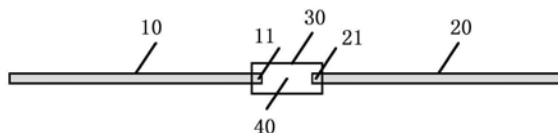
权利要求书1页 说明书5页 附图3页

(54) 发明名称

导线结构及其制造方法、阵列基板和显示装置

(57) 摘要

本公开提供一种导线结构及其制造方法、阵列基板和显示装置。导线结构包括：第一导线和第二导线，其中第一导线的连接端与第二导线的连接端通过间隙间隔开，以便通过间隙释放在第一导线和第二导线上积累的电荷；电连接件，分别与第一导线的连接端与第二导线的连接端连接。本公开通过在电连接的第一导线和第二导线间设置间隙，通过间隙释放在第一导线和第二导线上积累的电荷。由此可有效避免因电荷释放而对器件造成的影响，有效提升产品良率。



1. 一种导线结构,包括:

第一导线和第二导线,其中所述第一导线为第一栅极跨接线,所述第二导线为第二栅极跨接线,所述第一导线的连接端与所述第二导线的连接端通过间隙间隔开,以便通过所述间隙释放在所述第一导线和所述第二导线上积累的电荷,所述第一导线的延伸方向和所述第二导线的延伸方向重合;

电连接件,分别与所述第一导线的连接端与所述第二导线的连接端连接;

第三栅极跨接线,与所述第一导线和所述第二导线之间存在间隙,其中所述第三栅极跨接线与所述第一导线之间的距离小于所述第一导线与所述第二导线之间的距离。

2. 根据权利要求1所述的导线结构,其中:

所述间隙为5~10微米。

3. 根据权利要求1所述的导线结构,其中:

所述第一导线和所述第二导线的线宽为5~10微米。

4. 根据权利要求1-3中任一项所述的导线结构,其中:

所述第一导线和所述第二导线为栅极走线。

5. 根据权利要求1所述的导线结构,其中,所述电连接件包括:

第一连接部,与所述第一导线的连接端电连接;

第二连接部,与所述第一导线的连接端电连接;

第三连接部,与所述第一连接部和所述第二连接部电连接。

6. 一种阵列基板,包括如权利要求1-5中任一项所述的导线结构。

7. 根据权利要求6所述的阵列基板,其中,

所述导线结构中的间隙位于显示区中。

8. 一种显示装置,包括如权利要求6或7所述的阵列基板。

9. 一种导线结构的制造方法,包括:

形成第一导线和第二导线,其中所述第一导线为第一栅极跨接线,所述第二导线为第二栅极跨接线,所述第一导线的连接端与所述第二导线的连接端通过间隙间隔开,以便通过所述间隙释放在所述第一导线和所述第二导线上积累的电荷,所述第一导线的延伸方向和所述第二导线的延伸方向重合;

形成电连接件,其中所述电连接件分别与所述第一导线的连接端与所述第二导线的连接端连接;

形成第三栅极跨接线,其中所述第三栅极跨接线与所述第一导线和所述第二导线之间存在间隙,所述第三栅极跨接线与所述第一导线之间的距离小于所述第一导线与所述第二导线之间的距离。

10. 根据权利要求9所述的制造方法,其中:

所述间隙为5~10微米。

11. 根据权利要求9所述的制造方法,其中:

所述第一导线和所述第二导线的线宽为5~10微米。

导线结构及其制造方法、阵列基板和显示装置

技术领域

[0001] 本公开涉及显示技术领域,特别涉及一种导线结构及其制造方法、阵列基板和显示装置。

背景技术

[0002] 在TFT(Thin Film Transistor,薄膜晶体管)器件的相关技术中,由于IGZO(Indium Gallium Zinc Oxide,铟镓锌氧化物)具有较高的电子迁移率及较低的漏电流,因此利用IGZO制造的TFT能够满足更高性能和更大尺寸的驱动电路的需求。

发明内容

[0003] 发明人通过研究发现,在基于IGZO的TFT的制造过程中,ESD(Electro-Static Discharge,静电释放)发生率较高。同层相邻的金属走线间发生ESD,导致金属走线上的绝缘层被击穿。由此,相邻层之间的金属走线会发生短路。

[0004] 本公开提出一种为ESD提供有效释放路径的方案。

[0005] 根据本公开实施例的第一方面,提供一种导线结构,包括:第一导线和第二导线,其中所述第一导线的连接端与所述第二导线的连接端通过间隙间隔开,以便通过所述间隙释放在所述第一导线和所述第二导线上积累的电荷;电连接件,分别与所述第一导线的连接端与所述第二导线的连接端连接。

[0006] 在一些实施例中,所述第一导线的延伸方向和所述第二导线的延伸方向重合。

[0007] 在一些实施例中,所述间隙为5~10微米。

[0008] 在一些实施例中,所述第一导线和所述第二导线的线宽为5~10微米。

[0009] 在一些实施例中,所述第一导线和所述第二导线为栅极走线。

[0010] 在一些实施例中,所述电连接件包括:第一连接部,与所述第一导线的连接端电连接;与所述第二导线的连接端连接;第二连接部,与所述第一导线的连接端电连接;第三连接部,与所述第一连接部和所述第二连接部电连接。

[0011] 根据本公开实施例的第二方面,提供一种阵列基板,包括如上述任一实施例涉及的导线结构。

[0012] 在一些实施例中,所述导线结构中的间隙位于显示区中。

[0013] 根据本公开实施例的第三方面,提供一种显示装置,包括如上述任一实施例涉及的阵列基板。

[0014] 根据本公开实施例的第四方面,提供一种导线结构的制造方法,包括:形成第一导线和第二导线,其中所述第一导线的连接端与所述第二导线的连接端通过间隙间隔开,以便通过所述间隙释放在所述第一导线和所述第二导线上积累的电荷;形成电连接件,其中所述电连接件分别与所述第一导线的连接端与所述第二导线的连接端连接。

[0015] 在一些实施例中,所述第一导线的延伸方向和所述第二导线的延伸方向重合。

[0016] 在一些实施例中,所述间隙为5~10微米。

[0017] 在一些实施例中,所述第一导线和所述第二导线的线宽为5~10微米。

[0018] 本公开通过在电连接的第一导线和第二导线间设置间隙,通过间隙释放在第一导线和第二导线上积累的电荷。由此可有效避免因静电释放而对器件造成的影响,有效提升产品良率。

[0019] 通过以下参照附图对本公开的示例性实施例的详细描述,本公开的其它特征及其优点将会变得清楚。

附图说明

[0020] 构成说明书的一部分的附图描述了本公开的实施例,并且连同说明书一起用于解释本公开的原理。

[0021] 参照附图,根据下面的详细描述,可以更加清楚地理解本公开,其中:

[0022] 图1是根据本公开一些实施例的导线结构的俯视示意图;

[0023] 图2是图1所示实施例的截面示意图;

[0024] 图3是根据本公开一些实施例的阵列基板的俯视示意图;

[0025] 图4为根据本公开一些实施例的栅极移位寄存器的俯视示意图;

[0026] 图5为根据本公开另一些实施例的栅极移位寄存器的俯视示意图;

[0027] 图6为根据本公开又一些实施例的栅极移位寄存器的俯视示意图;

[0028] 图7是根据本公开一些实施例的导线结构制造方法的流程示意图;

[0029] 图8A至图8C是根据本公开一些实施例的导线结构制造方法中的若干阶段的结构截面图。

[0030] 应当明白,附图中所示出的各个部分的尺寸并不是按照实际的比例关系绘制的。此外,相同或类似的参考标号表示相同或类似的构件。

具体实施方式

[0031] 现在将参照附图来详细描述本公开的各种示例性实施例。对示例性实施例的描述仅仅是说明性的,决不作为对本公开及其应用或使用的任何限制。本公开可以以许多不同的形式实现,不限于这里所述的实施例。提供这些实施例是为了使本公开透彻且完整,并且向本领域技术人员充分表达本公开的范围。应注意到:除非另外具体说明,否则在这些实施例中阐述的部件和步骤的相对布置、材料的组分和数值应被解释为仅仅是示例性的,而不是作为限制。

[0032] 本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的部分。“包括”或者“包含”等类似的词语意指在该词前的要素涵盖在该词后列举的要素,并不排除也涵盖其他要素的可能。

[0033] 本公开使用的所有术语(包括技术术语或者科学术语)与本公开所属领域的普通技术人员理解的含义相同,除非另外特别定义。还应当理解,在诸如通用字典中定义的术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义,而不应用理想化或极度形式化的意义来解释,除非这里明确地这样定义。

[0034] 对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论,但在适当情况下,所述技术、方法和设备应当被视为说明书的一部分。

[0035] 在形成TFT的相关技术中,在同一平面上形成第一金属走线和第二金属走线。第一金属走线和第二金属走线相距较近,因此容易发生ESD现象。所释放的电荷会击穿第一金属走线和第二金属走线的绝缘层。由此,第一金属走线或第二金属走线就可能会与相邻平面上的其它金属走线电连接,从而导致短路情况发生。

[0036] 相关技术中可通过将金属走线变短或改善器件静电状态来避免ESD现象的发生。但是,本公开的发明人发现,采用这些方法并不能为静电释放提供有效的释放路径,增加了后段制程中因静电持续积累而再次发生ESD现象的风险。

[0037] 为了解决上述问题,本公开的一些实施例提供了一种为ESD提供有效释放路径的方案。

[0038] 图1是根据本公开一些实施例的导线结构的俯视示意图。

[0039] 如图1所示,导线结构包括第一导线10、第二导线20和电连接件30。第一导线10的连接端11与第二导线20的连接端21通过间隙40间隔开。电连接件30分别与第一导线10的连接端11与第二导线20的连接端21连接。由于在第一导线10和第二导线20间设有间隙40,因此在第一导线10和第二导线20上积累的电荷能够通过间隙40释放。

[0040] 图2是图1所示实施例的截面示意图。

[0041] 如图2所示,电连接件30包括第一连接部31、第二连接部32和第三连接部33。第一连接部31与第一导线10的连接端11电连接。第二连接部32与第二导线20的连接端21电连接。第三连接部33分别与第一连接部31和第二连接部32电连接。由此通过电连接件30,实现第一导线10和第二导线20的电连接。

[0042] 需要说明的是,第一导线10和第二导线20位于第一平面上。电连接件30中的第三连接部33位于与第一平面相邻的第二平面上。在第一导线10和第二导线20上积累的电荷通过间隙40释放的过程中,第一导线10的连接端11上覆盖的绝缘层,以及第二导线20的连接端21上覆盖的绝缘层会被击穿。但绝缘层被击穿的部位对应于电连接件30中的第三连接部33。因此不会发生因释放电荷而导致第一导线10和第二导线20与相邻平面上的其它金属走线电连接的情况。

[0043] 在一些实施例中,第一导线10的延伸方向和第二导线20的延伸方向重合。即,第一导线10的连接端11与第二导线20的连接端21正对设置,由此可确保第一导线10的连接端11与第二导线20的连接端21的正对面积最大,从而有效提升电荷释放的效率。

[0044] 在一些实施例中,第一导线10的连接端11与第二导线20的连接端21之间的间隙40为5~10微米。在该范围内,在第一导线10和第二导线20上积累的电荷能够通过间隙40有效地得到释放。

[0045] 在一些实施例中,第一导线10和第二导线20的线宽为5~10微米。第一导线10和第二导线20可为栅极走线,或者用于其它目的的金属走线。

[0046] 例如,可将一根长的栅极走线分为两条正对设置的第一栅极走线和第二栅极走线,第一栅极走线和第二栅极走线间设有间隙。第一栅极走线和第二栅极走线通过电连接件进行连接。将第一栅极走线和第二栅极走线间的间隙作为静电释放的途径。

[0047] 在本公开上述实施例提供的导线结构中,通过在电连接的第一导线和第二导线间设置间隙,通过间隙释放在第一导线和第二导线上积累的电荷。由此可有效避免因电荷释放而对器件造成的影响,有效提升产品良率。

[0048] 本公开还提供一种阵列基板,该阵列基板可包括如图1或图2中任一实施例提供的导线结构。

[0049] 图3是根据本公开一些实施例的阵列基板的俯视示意图。

[0050] 如图3所示,为了进一步避免因静电释放对器件的影响,将第一导线10和第二导线20之间的间隙设置在显示区中。由此,可有效避免因静电释放给诸如公共金属走线的其它外围金属走线造成影响。

[0051] 如图3所示,导线50是与第一导线10和第二导线20处于同一平面内的金属走线。导线60是与第一导线10和第二导线20处于不同平面内的金属走线。

[0052] 本公开还提供一种显示装置,该显示装置可包括如图3中任一实施例提供的阵列基板。该显示装置可以为显示器、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0053] 图4为根据本公开一些实施例的栅极移位寄存器的俯视示意图。

[0054] 发明人注意到,栅极移位寄存器区域同样容易发生ESD现象。如图4所示,在栅极511与栅极跨接线52之间距离较近的情况下,在栅极511与栅极跨接线52之间的间隙会发生静电释放。由此导致栅极绝缘层被击穿,从而栅极511与相应的源漏极512电连接,造成分屏驱动不良的问题。

[0055] 需要说明的是,栅极511的栅极跨接线513和栅极531的栅极跨接线533通过跳线54进行电连接。

[0056] 图5为根据本公开另一些实施例的栅极移位寄存器的俯视示意图。

[0057] 如图5所示,将栅极511的栅极跨接线513和栅极531的栅极跨接线533拉长并相互靠近,将栅极跨接线513和栅极跨接线533的正对距离控制在 $5\sim 10\mu\text{m}$ 之间。此外,将栅极跨接线52与栅极511的距离拉大。由此,电荷在积累到一定程度后,首先在栅极跨接线513和栅极跨接线533之间发生释放。这样能够保证源漏电极512、532在沉积时不会与下层金属发生短路,避免造成显示不良的问题。

[0058] 图6为根据本公开又一些实施例的栅极移位寄存器的俯视示意图。

[0059] 如图6所示,还可将栅极跨接线52移动到与栅极511的栅极跨接线513正对的位置。将栅极跨接线513和栅极跨接线52的正对距离控制在 $5\sim 10\mu\text{m}$ 之间。在电荷积累到一定程度后,会在栅极跨接线513和栅极跨接线52之间释放。尽管电荷释放会破坏栅极跨接线513和栅极跨接线52上的绝缘层,但由于静电释放位置对应于跳线跨接位置,因此并不会对显示造成不良影响。

[0060] 图7是根据本公开一些实施例的导线结构制造方法的流程示意图。

[0061] 在步骤701,形成第一导线和第二导线,其中第一导线的连接端与第二导线的连接端通过间隙间隔开,以便通过间隙释放在第一导线和第二导线上积累的电荷。

[0062] 在一些实施例中,第一导线的延伸方向和第二导线的延伸方向重合。即,第一导线的连接端与第二导线的连接端正对设置,由此可确保第一导线的连接端与第二导线的连接端的正对面积最大,从而有效提升电荷释放的效率。

[0063] 在一些实施例中,第一导线的连接端与第二导线的连接端之间的间隙为 $5\sim 10$ 微米。在该范围内,在第一导线和第二导线上积累的电荷能够通过间隙有效地得到释放。

[0064] 在一些实施例中,第一导线和第二导线的线宽为 $5\sim 10$ 微米。第一导线和第二导线

可为栅极走线,或者用于其它目的的金属走线。

[0065] 在步骤702,形成电连接件,其中电连接件分别与第一导线的连接端与第二导线的连接端连接。

[0066] 在本公开上述实施例提供的导线结构制造方法中,通过在电连接的第一导线和第二导线间设置间隙,通过间隙释放在第一导线和第二导线上积累的电荷。由此可有效避免因电荷释放而对器件造成的影响,有效提升产品良率。

[0067] 图8A至图8C是根据本公开一些实施例的导线结构制造方法中的若干阶段的结构截面图。

[0068] 首先,如图8A所示,在基板81上形成第一导线82和第二导线83。第一导线82和第二导线83之间存在间隙84。间隙84用于释放在第一导线82和第二导线83上积累的电荷。

[0069] 在一些实施例中,第一导线与第二导线之间的间隙为5~10微米。

[0070] 在一些实施例中,第一导线和第二导线的线宽为5~10微米。

[0071] 在一些实施例中,第一导线的延伸方向和第二导线的延伸方向重合。即,第一导线与第二导线正对设置,由此可确保第一导线与第二导线的正对面积最大,从而有效提升电荷释放的效率。

[0072] 接下来,如图8B所示,在第一导线82的连接端形成第一过孔85,在第二导线83的连接端形成第二过孔86。

[0073] 接下来,如图8C所示,通过第一过孔85和第二过孔86设置电连接件87。由此,第一导线82和第二导线83通过电连接件87实现电连接。

[0074] 至此,已经详细描述了本公开的实施例。为了避免遮蔽本公开的构思,没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述,完全可以明白如何实施这里公开的技术方案。

[0075] 虽然已经通过示例对本公开的一些特定实施例进行了详细说明,但是本领域的技术人员应该理解,以上示例仅是为了进行说明,而不是为了限制本公开的范围。本领域的技术人员应该理解,可在不脱离本公开的范围和精神的情况下,对以上实施例进行修改或者对部分技术特征进行等同替换。本公开的范围由所附权利要求来限定。

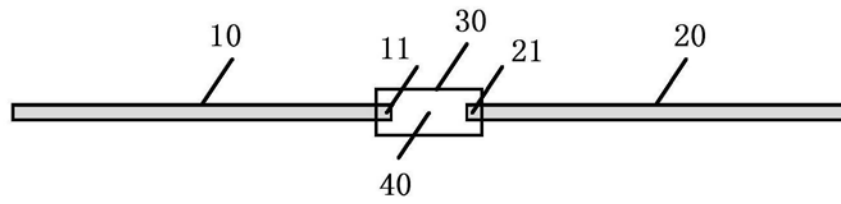


图1

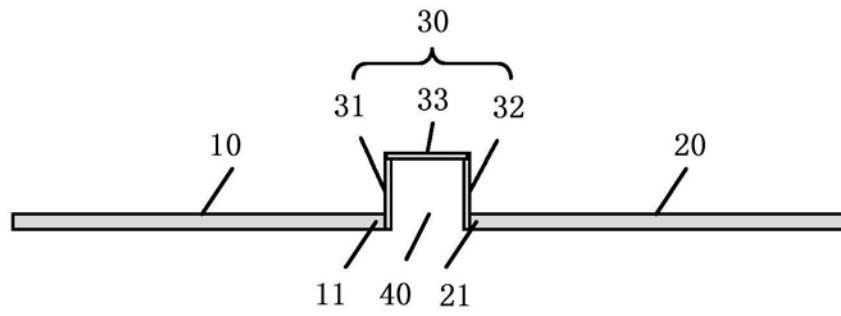


图2

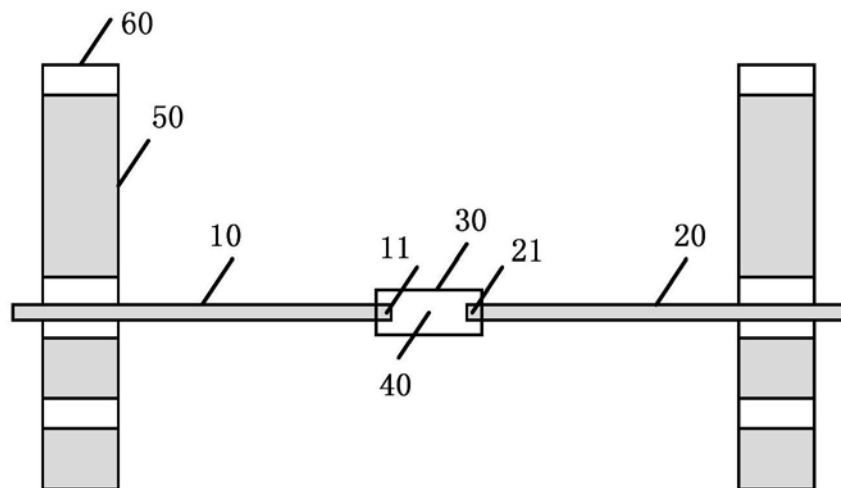


图3

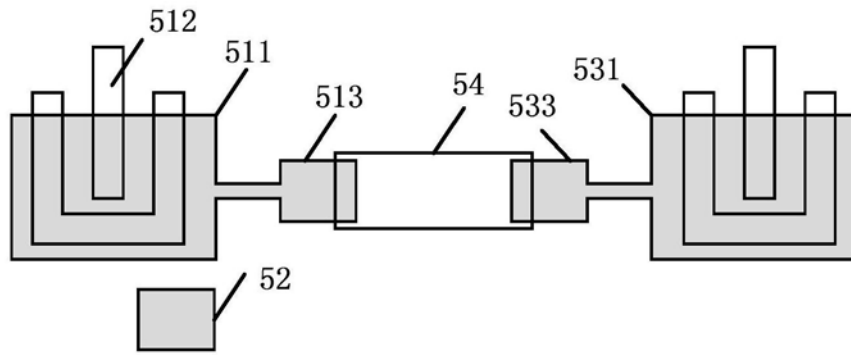


图4

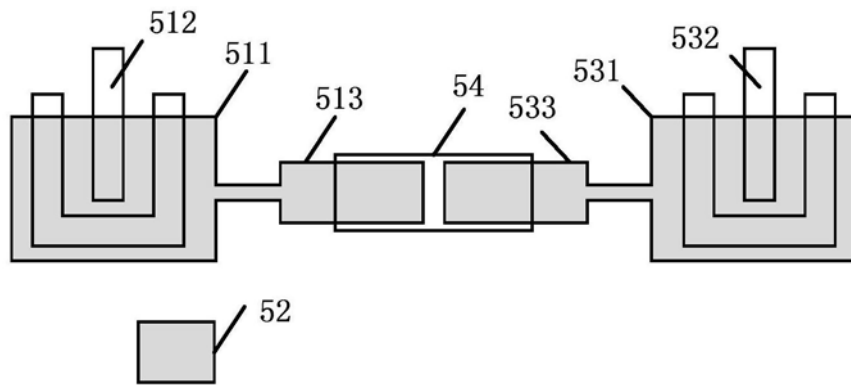


图5

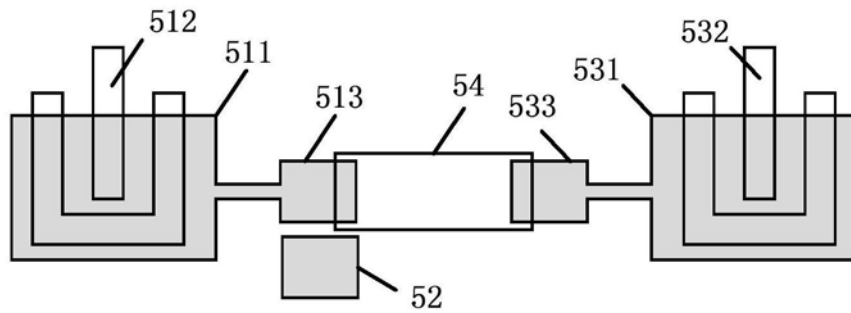


图6

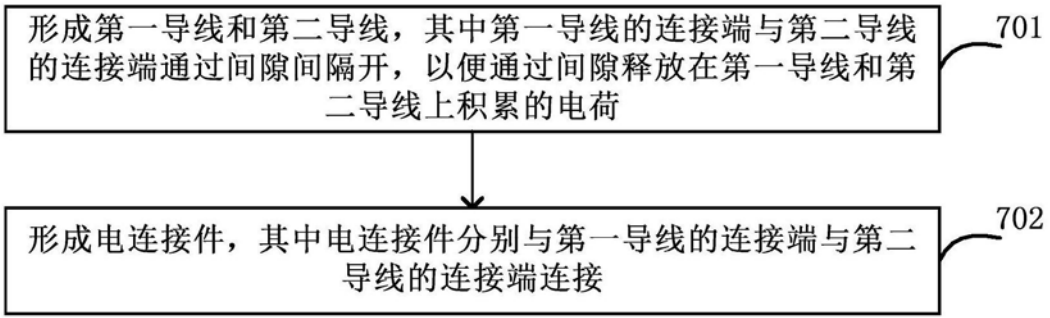


图7

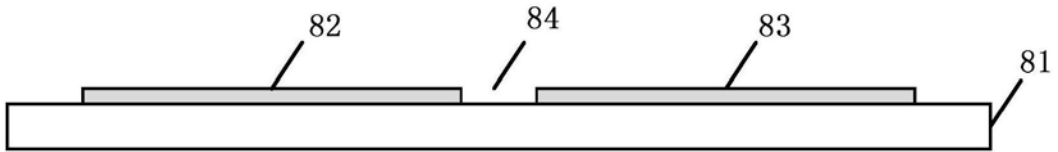


图8A

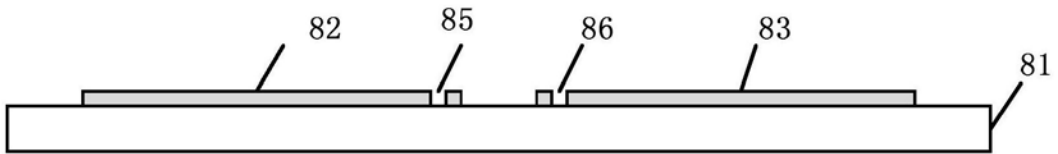


图8B

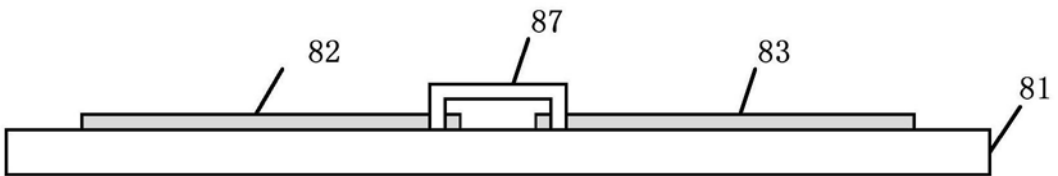


图8C