

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-49286

(P2012-49286A)

(43) 公開日 平成24年3月8日(2012.3.8)

| (51) Int.Cl.             | F I                  | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 21/265 (2006.01)  | HO 1 L 21/265 R      | 5 F 0 4 8   |
| HO 1 L 29/78 (2006.01)   | HO 1 L 29/78 3 O 1 X | 5 F 1 4 0   |
| HO 1 L 27/092 (2006.01)  | HO 1 L 21/265 K      |             |
| HO 1 L 21/8238 (2006.01) | HO 1 L 21/265 H      |             |
|                          | HO 1 L 21/265 V      |             |

審査請求 未請求 請求項の数 20 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2010-189218 (P2010-189218)  
 (22) 出願日 平成22年8月26日 (2010.8.26)

(71) 出願人 000183196  
 株式会社 S E N  
 東京都品川区大崎二丁目1番1号  
 (74) 代理人 100077838  
 弁理士 池田 憲保  
 (74) 代理人 100082924  
 弁理士 福田 修一  
 (74) 代理人 100129023  
 弁理士 佐々木 敬  
 (72) 発明者 布施 玄秀  
 愛媛県西条市今在家1501番地 株式会  
 社 S E N 愛媛事業所内  
 (72) 発明者 杉谷 道朗  
 愛媛県西条市今在家1501番地 株式会  
 社 S E N 愛媛事業所内

最終頁に続く

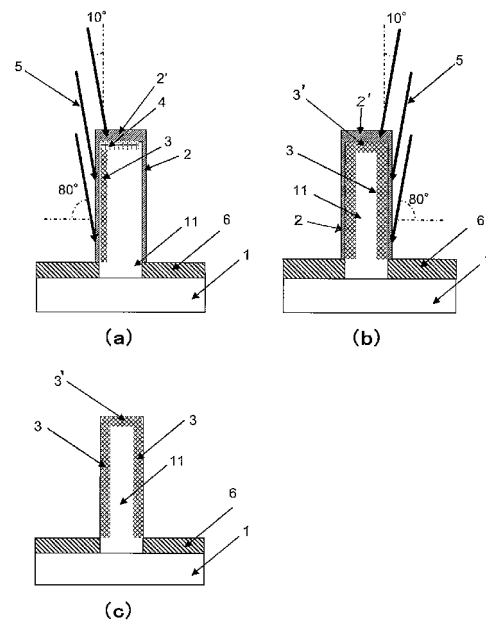
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 側壁部及び上部の平面部を持つ立体凹凸部分を形成した三次元デバイスとしての半導体装置において側壁部及び上部の平面部へ均一に高濃度の不純物を低エネルギードーピングできる方法を提供する。

【解決手段】 シリコン基板1の表面上に加工によりシリコンFin部11を形成した後、該シリコンFin部の側壁及び上部の平面部へドナーもしくはアクセプターとなる不純物原子を含む不純物薄膜を、堆積膜として上部の平面部には厚く、側壁には薄く堆積する工程と、前記シリコンFin部における前記堆積膜の斜め上方から斜め方向のイオン注入と反対側の斜め上方から斜め方向のイオン注入を行なうとともに、該イオン注入によって、前記不純物原子を堆積膜内部からシリコン基板の前記シリコンFin部の側壁内部及び上部の平面部内にリコイルして導入させる工程と、を含む。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体装置の基体となる半導体基板の表面上に加工により側壁部及び上部の平面部を有する立体凹凸部分を形成した該半導体基板において、

該半導体基板の内部においてドナーもしくはアクセプターとなる不純物原子を含む不純物薄膜を、半導体基板の表面上に堆積する工程により、立体凹凸部分の側壁部に比べて立体凹凸部分の上部の平面部には前記不純物薄膜を厚く堆積させ、

更に、立体凹凸部分の前記堆積させた不純物薄膜の斜め上方から斜め方向のイオン注入と反対側の斜め上方から斜め方向のイオン注入を行なうとともに、

該イオン注入によって、前記不純物原子を不純物薄膜内部から半導体基板の立体凹凸部分の側壁部及び上部の平面部の内部にリコイルさせる工程を含むことを特徴とする半導体装置の製造方法。

10

**【請求項 2】**

前記立体凹凸部分の側壁部と上部の平面部との堆積厚さ比率の調節により、立体凹凸部分の側壁部と上部の平面部への不純物導入比率を調節するよう構成したことを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

イオン注入の斜め上方からの斜め方向の注入角度の調節により、立体凹凸部分の側壁部と上部の平面部への不純物導入比率を調節するよう構成したことを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

**【請求項 4】**

前記立体凹凸部分の側壁部と上部の平面部との堆積厚さ比率の調節、及び、イオン注入の斜め上方からの斜め方向の注入角度の調節により、立体凹凸部分の側壁部と上部の平面部への不純物導入比率を調節するよう構成したことを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 5】**

前記立体凹凸部分の側壁部と上部の平面部との堆積厚さ比率の調節、及び、イオン注入の斜め上方からの斜め方向の注入角度の調節により、立体凹凸部分の側壁部と上部の平面部に実質上 2 対 1 の比率で不純物が導入される構成としたことを特徴とする請求項 1 に記載の半導体装置の製造方法。

30

**【請求項 6】**

一方の斜め上方からのイオン注入及び反対側の斜め上方からのイオン注入による両注入により、立体凹凸部分の側壁部と上部の平面部に実質上同じ量の不純物を導入するよう構成したことを特徴とする請求項 5 に記載の半導体装置の製造方法。

**【請求項 7】**

前記立体凹凸部分の側壁部と上部の平面部の堆積厚さ比率は、前記上部の平面部の堆積厚さが前記立体凹凸部分の側壁部の堆積厚さの少なくとも 2 倍以上であることを特徴とする請求項 3 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法。

**【請求項 8】**

前記不純物薄膜の、側壁膜厚、及び上部の平面部膜厚、不純物堆積物質種の設定調整、前記イオン注入の、注入イオン種、注入角度、注入エネルギー、注入ドーズ量の設定調整により、リコイル条件、注入ドーズ量相当のドーズ原子量をコントロールするよう構成したことを特徴とする請求項 1 に記載の半導体装置の製造方法。

40

**【請求項 9】**

前記不純物薄膜の不純物原子を B、P、As のいずれか 1 つとすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 10】**

前記不純物薄膜として、ジボラン B<sub>2</sub>H<sub>6</sub>、あるいは BF<sub>3</sub> を含むガスによるプラズマ処理によって、B を含む不純物薄膜を堆積することを特徴とする請求項 1 に記載の半導体装置の製造方法。

50

## 【請求項 1 1】

前記不純物薄膜として、フォスフィンPH<sub>3</sub>を含むガスによるプラズマ処理によって、Pを含む不純物薄膜を堆積することを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 1 2】

前記不純物薄膜として、アルシンAsH<sub>3</sub>を含むガスによるプラズマ処理によって、Asを含む不純物薄膜を堆積することを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 1 3】

前記イオン注入工程において、注入イオンを、前記不純物薄膜の不純物原子であるB,P,Asのいずれかよりも原子量の大きい、重い原子のイオンとすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

## 【請求項 1 4】

前記イオン注入工程において、注入イオンを、Si、As、Ge、In、Sb若しくはXe、Arのいずれか 1 つとすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 1 5】

半導体基板の前記立体凹凸部分の表面に対する前記イオン注入の斜め上方からのビーム入射角度を実質上20°以下の傾斜角度とすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

## 【請求項 1 6】

半導体基板の前記立体凹凸部分の表面部分において、前記不純物薄膜内から前記半導体基板内に、前記不純物薄膜の不純物原子を、表面と実質上直交する方向において、注入イオンによる不純物原子への衝突たたき込みノッキングオン効果により表面内部にリコイルさせることを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

## 【請求項 1 7】

前記イオン注入を5keV以下の低エネルギー注入とすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

## 【請求項 1 8】

前記イオン注入を2E15cm<sup>-2</sup>以下の低ドーズ注入原子量とすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

## 【請求項 1 9】

前記半導体基板表面上であって前記立体凹凸部分以外の表面上の平面の部分に、前記不純物薄膜を厚く堆積することを特徴とする請求項 1 に記載の半導体装置の製造方法。

30

## 【請求項 2 0】

前記プラズマ処理によって堆積する不純物薄膜の前記立体凹凸部分以外の半導体基板平面での堆積レートは大きく、前記立体凹凸部分側面での堆積レートを前記半導体基板平面より小さくすることにより前記半導体基板平面に厚く不純物薄膜を堆積することを特徴とする請求項 1 0 ~ 1 2 のいずれか 1 項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は半導体装置の製造方法に関し、立体三次元構造デバイスの水平面と垂直壁への不純物原子のドーピング方法に関するものである。

40

## 【背景技術】

## 【0 0 0 2】

本発明に関連する立体三次元構造デバイスの一例としてFin (フィンあるいはヒレ) 型FET (電界効果トランジスタ) を図 2 を参照して説明する。

## 【0 0 0 3】

シリコン基板 1 上にFin型に形成したシリコンFin部 1 1 に、ドレイン部 D、チャンネル部、ソース部 S からなるものを形成し、ソース部 S とドレイン部 D の間のチャンネル部の表面を覆うようにゲート絶縁膜 9 を介してゲート電極 G のポリシリコンあるいはメタルからなる部分を形成する。ソース部 S、ドレイン部 D には、10<sup>20</sup>cm<sup>-3</sup>を超える高濃度の不純

50

物を導入して抵抗を下げる必要がある。16は絶縁層である。

【0004】

このような三次元構造のFin型FETのソース部とドレイン部の垂直の壁に対してドーピングする方法として、本発明者らは図3に示す方法を提案した(但し、未公開である)。図3は、図2に破線で示す領域を断面図で示している。

【0005】

図3において、シリコン基板1にSiO<sub>2</sub>やSiNのようなハードマスク12を用いてエッチング加工によりシリコンFin部11を形成する。次にシリコン基板1の平面部(シリコンFin部11以外の平面部)をSiO<sub>2</sub>等の絶縁層16で被覆すると共に、上記のエッチング加工で用いたハードマスク12を残したままシリコンFin部11の両側壁に、ボロンBを含む堆積膜2をプラズマでもって堆積させる(図3a)。その際、堆積膜2は絶縁膜である絶縁層16上にも形成されるが、後で除去される。

10

【0006】

次にシリコンFin部11の左上側から斜めにイオンビーム5を照射してGeやXeのような重イオンを注入する。すると、後述するロックオン効果で堆積膜2の中にある、シリコン中で電気活性な不純物がシリコンFin部11の左側壁内へ導入される(図3a)。続いてシリコンFin部11の右上側から斜めにイオンビーム5を照射してGeやXeのような重イオンを注入する。すると、堆積膜2の中にある、シリコン中で電気活性な不純物がシリコンFin部11の右側壁内へ導入される(図3b)。その結果、シリコンFin部11の両側壁内に不純物拡散層3が形成される(図3c)。その後、堆積膜2は除去される(図3d)。

20

【0007】

本方法によって作成したFin型FETでは、シリコンFin部11の上部の部分をトランジスタのチャンネル領域として使う形にはなっていない。しかしシリコンFin部11の上部もチャンネルとして使うことは、シリコンFin部11の高さを低くしてFin幅(図3の左右方向のサイズ)を厚く形成することが可能となり、作成上有利となる。またドライブ電流の増加をもたらすことができ特性を改善することができる。この形のFin型FETをTriFETと称する。その場合、シリコンFin部11の上部の側壁、すなわちシリコンFin部11の上部の平面部にもそれよりも下側の側壁とほぼ同レベルの濃度の不純物を導入する必要がある。

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、本発明者らによる上記提案の方法では、シリコンFin部の上部の平面部への不純物導入を考えていない。そのため、シリコンFin部の上部を有効に使うことができず、ドライブ電流が劣るFin型FETになる。

【0009】

本発明の課題は、三次元構造デバイスの立体凹凸部分の平面部と側壁部への不純物原子のドーピング方法について改善を図ることにある。

【0010】

本発明の具体的な課題は、三次元構造デバイス、例えばFin型FETにおけるシリコンFin部の上部の平面部へも側壁部と同様の濃度の不純物拡散を行う方法を提供することにある。

40

【課題を解決するための手段】

【0011】

本発明の半導体装置の製造方法は、エッチング等の加工により半導体装置の基体となる半導体基板に立体凹凸部分を形成し、半導体基板の内部においてドナーもしくはアクセプターとなるキャリア不純物原子となりうる不純物原子を含んだ薄膜を、立体凹凸部分の上部の平面部には厚く堆積する一方、立体凹凸部分の側壁部には薄く堆積し、半導体基板内で電気的なキャリアとなる不純物原子より原子量の大きい原子(重い原子)のイオンを立

50

体凹凸部分の斜め上方から斜め方向に注入することにより、イオン注入のロックオンによるリコイル効果を利用して不純物原子を立体凹凸部分の上部を含む側壁部内に導入する。その際、不純物原子の導入量を薄膜、すなわち堆積膜の厚さで調整し堆積膜厚の大きい部分では不純物原子の導入量が少なくなるという現象を利用することで立体凹凸部分の側壁部と上部の平面部の不純物原子導入量を同じ量にするというものである。このために、立体凹凸部分の斜め上方から斜め方向のイオン注入を、互いに反対向きの2つの斜め方向から2回行い、1回あたりの注入で立体凹凸部分の上部の平面部には、側壁部のほぼ半分の量の不純物原子がロックオンされる堆積膜厚を選択する原理を使う。イオン注入角度（上部の平面部に直角な方向との間の角度）が例えば $10^\circ$ とすると、立体凹凸部分の側壁面に対するイオン注入角度（側壁面に直角な方向との間の角度）は $80^\circ$ となり、後で詳しく説明するように、立体凹凸部分の上面（上部の平面部）に比べ $\cos 80^\circ / \cos 10^\circ$ で規定される17.6%の実質ドーズ量になってしまうので、立体凹凸部分の上面には、それに見合った十分厚い膜厚で堆積する。一般的にプラズマによる堆積膜は、立体凹凸部分の側壁と上面への膜堆積のカバレッジをコントロールできるために立体凹凸部分の上面に厚く、側壁に薄く堆積することは自然であり任意の形成が容易である。

10

20

30

40

50

**【0012】**

本発明の態様によれば、半導体装置の基体となる半導体基板の表面上に加工により側壁部及び上部の平面部を有する立体凹凸部分を形成した該半導体基板の内部においてドナーもしくはアクセプターとなる不純物原子を含む不純物薄膜を、半導体基板の表面上に堆積する工程により、立体凹凸部分の側壁部に比べて立体凹凸部分の上部の平面部には前記不純物薄膜を厚く堆積させ、更に、前記立体凹凸部分の前記堆積させた不純物薄膜の斜め上方から斜め方向のイオン注入と反対側の斜め上方から斜め方向のイオン注入を行なうとともに、該イオン注入によって、前記不純物原子を不純物薄膜内部から半導体基板の前記立体凹凸部分の側壁部及び上部の平面部の内部にリコイルさせる工程を含むことを特徴とする半導体装置の製造方法が提供される。一回のイオン注入において概ね側壁部に導入される不純物量の半分の不純物量が上部の平面部に導入されることが重要である。上部の左右両側からのイオン注入において、結論として側壁部と上部の平面部の不純物導入量がほぼ同じとする。

**【0013】**

以下に、好ましい幾つかの態様を記載する。

**【0014】**

前記立体凹凸部分の側壁部と上部の平面部との堆積厚さ比率の調節により、立体凹凸部分の側壁部と上部の平面部への不純物導入比率を調節するよう構成する。

**【0015】**

イオン注入の斜め上方からの斜め方向の注入角度の調節により、立体凹凸部分の側壁部と上部の平面部への不純物導入比率を調節するよう構成する。

**【0016】**

前記立体凹凸部分の側壁部と上部の平面部との堆積厚さ比率の調節、及び、イオン注入の斜め上方からの斜め方向の注入角度の調節により、立体凹凸部分の側壁部と上部の平面部への不純物導入比率を調節するよう構成する。

**【0017】**

前記立体凹凸部分の側壁部と上部の平面部との堆積厚さ比率の調節、及び、イオン注入の斜め上方からの斜め方向の注入角度の調節により、立体凹凸部分の側壁部と上部の平面部に実質上2対1の比率で不純物が導入される構成とする。

**【0018】**

一方の斜め上方からのイオン注入及び反対側の斜め上方からのイオン注入による両注入により、立体凹凸部分の側壁部と上部の平面部に実質上同じ量の不純物を導入するよう構成する。

**【0019】**

前記立体凹凸部分の側壁部と上部の平面部の堆積厚さ比率は、前記上部の平面部の堆積

厚さが前記立体凹凸部分の側壁部の堆積厚さの少なくとも2倍以上であることが好ましい。

【0020】

前記不純物薄膜の、側壁膜厚、及び上部の平面部膜厚、不純物堆積物質種の設定調整、前記イオン注入の、注入イオン種、注入角度、注入エネルギー、注入ドーズ量の設定調整により、リコイル条件、注入ドーズ量相当のドーズ原子量をコントロールするよう構成する。

【0021】

前記不純物薄膜の不純物原子をB、P、Asのいずれか1つとする。

【0022】

前記不純物薄膜として、ジボランB<sub>2</sub>H<sub>6</sub>、あるいはBF<sub>3</sub>を含むガスによるプラズマ処理によって、Bを含む不純物薄膜を堆積する。

【0023】

前記不純物薄膜として、フォスフィンPH<sub>3</sub>を含むガスによるプラズマ処理によって、Pを含む不純物薄膜を堆積する。

【0024】

前記不純物薄膜として、アルシンAsH<sub>3</sub>を含むガスによるプラズマ処理によって、Asを含む不純物薄膜を堆積する。

【0025】

イオン注入工程において、注入イオンを、前記不純物薄膜の不純物原子であるB、P、Asのいずれかよりも原子量の大きい、重い原子のイオンとする。

【0026】

イオン注入工程において、注入するイオンを、Si、As、Ge、In、Sb若しくはXe、Arのいずれかとする。

【0027】

半導体基板の前記立体凹凸部分の表面に対する前記イオン注入の斜め上方からのビーム入射角度を実質上20°以下の傾斜角度とする。

【0028】

半導体基板の前記立体凹凸部分の表面部分において、前記不純物薄膜内から前記半導体基板内に、前記不純物薄膜の不純物原子を、表面と実質上直交する方向(実質上垂直な方向)において、注入イオンによる不純物原子への衝突たたき込みノッキングオンにより表面内部にリコイルさせる。

【0029】

前記イオン注入を5keV以下の低エネルギー注入とする。

【0030】

前記イオン注入を2E15cm<sup>-2</sup>以下の低ドーズ注入原子量とする。

【0031】

前記半導体基板表面上であって前記立体凹凸部分以外の表面上の平面の部分に、前記不純物薄膜を厚く堆積する。

【0032】

前記プラズマ処理によって堆積する不純物薄膜の前記立体凹凸部分以外の半導体基板平面での堆積レートは大きく、前記立体凹凸部分側面での堆積レートを前記半導体基板平面より小さくすることにより前記半導体基板平面に厚く不純物薄膜を堆積する。

【0033】

この時、プラズマ処理によって堆積する堆積膜の半導体基板平面での堆積レートが大きく、立体凹凸部分側壁での堆積レートが前記半導体基板平面より小さくなるように構成することにより、立体凹凸部分以外の半導体基板の表面上には、立体凹凸部分の両側壁に形成された堆積膜よりも厚い堆積膜が形成される。

【0034】

その後、立体凹凸部分の段差の両側壁にイオンビームを二つの斜め上方方向から注入す

10

20

30

40

50

ることによって、立体凹凸部分の段差の両側壁には、ソース/ドレインとして十分なドーピング量を均一に入れた不純物拡散層を形成することが可能となる。なお、二つの斜め上方方向というのは、半導体基板の平面に対して垂直な垂線からのイオン注入角度が実質上20°以下の傾斜角度（鋭角）で規定される方向である。

【発明の効果】

【0035】

本発明によれば、半導体基板に形成された立体凹凸部分の上部の平面部へも立体凹凸部分の側壁部とほぼ同じ量の不純物をドーピングすることができる。

【図面の簡単な説明】

【0036】

【図1】本発明の実施形態によるイオン注入プロセスフローを示した図である。

【図2】本発明が適用されるFin型FETについて説明するための斜視図である。

【図3】本発明者らの提案によるFin型FETの製造方法のプロセスフローを説明するための図である。

【図4】不純物拡散量を同じにするためのイオン注入角度とシリコンFin部の上部平面部及び側壁に形成される堆積膜厚との関係を説明するための図である。

【図5】イオン注入角度と堆積膜厚とシリコン（半導体基板）へ導入される不純物量の関係を示した特性図である。

【図6】本発明をCMOS FETの製造に適用した場合の実施例の製造方法のプロセスフローを説明するための図である。

【図7】本発明のイオン注入によるリコイル作用を説明するための図である。

【図8】図7のリコイル作用を拡大して示した図である。

【発明を実施するための形態】

【0037】

本発明の実施形態によるイオン注入プロセスフローについて図1を参照して説明する。図1は、図3と同様、図2に破線で示す領域を断面図で示している。

【0038】

はじめに、シリコン基板1の表面上に、エッチング等の加工により前に説明したようなシリコンFin部11が形成される。次に、図1(a)に示すように、シリコンFin部11以外のシリコン基板1の平面部をSiO<sub>2</sub>等による絶縁膜である絶縁層6でカバーし、図3で説明したのと同じプラズマ処理等の手法でシリコンFin部11の側壁に、P型あるいはN型不純物、例えばBを含む堆積膜2を堆積する一方、シリコンFin部11の上部の平面部には堆積膜2よりも厚い堆積膜2'を堆積する。続いて堆積膜2、2'中の不純物よりも質量の重い（原子量の大きい）不純物、例えばXe、Ge等による重イオンのイオンビーム5を、シリコンFin部11の左上側から斜めに照射して重イオンを注入することにより、後述するロックオン効果で堆積膜2、2'の中にある、シリコン中で電気活性な不純物をシリコンFin部11の左側壁部内、シリコンFin部11の上部の平面部内へ導入する。その結果、シリコンFin部11の左側壁部内には不純物拡散層3が形成されるが、シリコンFin部11の上部の平面部内に形成されるのは不純物拡散層3に比べて約半分のドーピング量の低い不純物拡散層4である。その理由は後で説明する。

【0039】

続いて図1(b)に示すように、図1(a)で用いた不純物、例えばXe、Ge等による重イオンのイオンビーム5を、シリコンFin部11の右上側から斜めに照射して重イオンを注入することにより、堆積膜2、2'の中にある、シリコン中で電気活性な不純物をシリコンFin部11の右側壁部内、シリコンFin部11の上部の平面部内へ導入する。その結果、シリコンFin部11の両側壁部内に不純物拡散層3が形成され、シリコンFin部11の上部の平面部内には不純物拡散層3'が形成される。

【0040】

ここで、イオンビーム5照射によるシリコンFin部11の両側壁部内への不純物ドーピング量（不純物拡散層3のドーピング量）と、シリコンFin部11の上部の平面部内への不純物ド

10

20

30

40

50

ーズ量（不純物拡散層3'のドーズ量）は等しいことが望ましい（コンフォーマルドーピング）。言い換えれば、図1（a）又は図1（b）でシリコンFin部11の側壁部内へ導入される不純物量と、その際にシリコンFin部11の上部の平面部内へ導入される不純物量が実質上2対1の比率になることが好ましい。このためには、イオンビーム5の入射角度（鉛直線あるいはシリコンFin部11の側壁面に対して為す角度）と、堆積膜2の厚さt1及び堆積膜2'の厚さt2（図4参照）の関係が以下のように設定されるのが望ましい。

【0041】

図4を参照して、シリコンFin部11の側壁面に対するイオンビーム5の入射角度（鉛直線に対して為す角度）は、図1（a）、（b）のいずれにおいても20度以内にされ、10度程度が好ましい。イオンビーム5の入射角度を10度とした場合、シリコンFin部11の側壁面へのイオン注入角度は80度であり、シリコンFin部11の上部の平面部へのイオン注入角度10度と比較すると、ドーズ量については $\cos 80^\circ / \cos 10^\circ = 0.174$ となる。つまり、シリコンFin部11の側壁ヘドーズ量 $Nd = 1E14$ だけ必要ならば、シリコンFin部11の上部の平面部へのドーズ量は $5.64E14$ となる。そこで、シリコンFin部11の上部の堆積膜2'の厚さt2を、堆積膜2の厚さt1に比べ、シリコンFin部11の上部の平面部内へのドーズ量がシリコンFin部11の側壁へのドーズ量の1/2となるような値を選択して設定し、重イオンのイオンビームによるイオン注入を行うことにより、コンフォーマルドーピングを行なうことが可能となる。堆積膜2'の厚さt2は堆積膜2の厚さt1の少なくとも2倍以上が望ましく、 $t2 : t1 = 10 : 3$ が好ましい。一方、重イオンはGeよりもXeの方が好ましい。

10

20

【0042】

図5には、シリコンFin部の側壁に対するイオン注入角度（90 - ）と堆積膜厚及びシリコン基板への不純物ドーズ量の関係と、シリコンFin部の上部の平面部に対するイオン注入角度と堆積膜厚及びシリコン基板への不純物ドーズ量の関係を示す。

【0043】

図1に戻って、図1（b）の処理後、堆積膜2、2'は除去される（図1c）。

【0044】

プラズマ処理による堆積膜の形成に際しては、シリコンFin部以外のシリコン基板1の平面部は絶縁層でカバーされているので、絶縁層の上に堆積膜が形成される。この場合、イオンビーム照射による重イオン注入を行うことによって絶縁層の内部に不純物が導入されたとしても、絶縁層でありデバイスの電気特性に何ら影響が無く問題は発生しない。またシリコン基板の平面部に形成される堆積膜の厚さは、シリコンFin部の側壁に形成される堆積膜の厚さより大きくなるが、これも何ら問題は無い。以上の点は、後述される実施例でも同様である。

30

【0045】

次に本発明の実施例について図6を参照して説明する。

【0046】

本実施例は、CMOS（Complementary Metal Oxide Semiconductor）FETを形成するプロセスフローを示す。この場合、N型、P型の各デバイス領域に対して、選択的にP（リン）、B（ボロン）を含む堆積膜をそれぞれ形成し、2回のマスク合わせでN型、P型のMOSFET（以下、それぞれN型MOS部、P型MOS部という）の両タイプのエクステンション領域をN型-Fin部、P型-Fin部、として同一基板上に形成する方法である。

40

【0047】

図6では、便宜上、図2で説明したように、シリコン基板1上にエッチング加工等により、Fin型に形成されたシリコンFin部に、ドレインFin部（図2にDで示した部分）、チャンネルFin部（図2にGで示した内の部分）、ソースFin部（図2にSで示した部分）からなるCMOSFETを、N型MOS部、P型MOS部としてそれぞれ形成する場合を断面図で示している。図6は特に、N型MOS部、P型MOS部のソースあるいはドレインの一方となるFin部と、N型MOS部、P型MOS部のソースあるいはドレインの他方となるFin部を断面図で示している。

50



## 【 0 0 4 8 】

図 6 の工程 ( 1 ) ( 左上図 ) では、あらかじめ P 型 MOS 部となる P-Fin 部 ( P-Fin ) 表面及び N 型 MOS 部となる N-Fin 部 ( N-Fin ) 表面以外の平面部が絶縁層 6 でカバーされる。続いて、一方の、N 型 MOS 部となる N-Fin 部 ( N-Fin ) をレジスト 6 1 で覆った状態で、他方の、P 型 MOS 部となる P-Fin 部 ( P-Fin ) 表面 ( 側壁部、上部の平面部 ) に B ( ボロン ) を持った堆積膜 2、2' を、図 1 と同様に、プラズマ 2 2' でもって堆積させる。

## 【 0 0 4 9 】

次に、工程 ( 2 ) ( 図 6 の右上図 ) では、N 型 MOS 部となる N-Fin 部をレジスト 6 1 で覆ったままの状態、P 型 MOS 部側の P-Fin 部に Xe ( 又は Ge ) によるイオンビーム 5 を右上 ( 又は左上 ) の斜め方向、左上 ( 又は右上 ) の斜め方向から順に照射して重イオンを注入する。

10

## 【 0 0 5 0 】

工程 ( 3 ) ( 図 6 の左下図 ) では、まず、N 型 MOS 部のレジスト 6 1 を除去する。同時に、P 型 MOS 部の堆積膜 2、2' も除去される。その後 P 型 MOS 部となる P-Fin 部をレジスト 6 1' で覆った状態で、N 型 MOS 部となる N-Fin 部表面 ( 側壁部、上部の平面部 ) に P ( リン ) を持った堆積膜 2 - 1、2 - 1' を、図 1 と同様に、プラズマ 2 2' でもって堆積させる。

## 【 0 0 5 1 】

次に、工程 ( 4 ) ( 図 6 の右下図 ) では、P 型 MOS 部となる P-Fin 部をレジスト 6 1' で覆ったままの状態、N 型 MOS 部側の N-Fin 部に Xe ( 又は Ge ) によるイオンビーム 5' を右上 ( 又は左上 ) の斜め方向、左上 ( 又は右上 ) の斜め方向から順に照射して重イオンを注入する。この後、N 型 MOS 部側の堆積膜 2 - 1、2 - 1' はレジスト 6 1' の除去とともに除去される。

20

## 【 0 0 5 2 】

以上のようにして、N-Fin 部 ( N-Fin ) の側壁部及び上部の平面部にドーズ量を均一にした不純物拡散層 3 - 1 及び 3 - 1' を持つ N 型 MOS 部と、P-Fin 部 ( P-Fin ) の側壁部及び上部の平面部にドーズ量を均一にした不純物拡散層 3 及び 3' を持つ P 型 MOS 部とを形成することにより、一組のソース - ドレインが形成される。

## 【 0 0 5 3 】

図 7、図 8 は、本発明の実施形態によるリコイル作用について説明するための図である。ここでは、図 6 の右上の工程 ( 2 ) の場合について説明するが、図 7、図 8 のいずれも説明に必要な部分のみを示している。

30

## 【 0 0 5 4 】

図 7 において、シリコン Fin 部に対する左上側からの斜め方向のイオンビーム照射により、シリコン基板 1 のシリコン Fin 部 1 1 の表面部分において、堆積膜 2 内からシリコン Fin 部 1 1 内に、堆積膜 2 の不純物原子 B を、表面と実質上直交する方向 ( 実質上垂直な方向 ) において、衝突たたき込みノッキングオンによりシリコン Fin 部 1 1 内部にリコイルさせる。

## 【 0 0 5 5 】

通常、高速に加速された粒子 ( 原子 / イオン ) が、固体または液体の物質内に入ると、物質を構成している原子と衝突しながら、徐々にエネルギーを失っていき、最終的には物質が作り出しているポテンシャルより小さいエネルギーまで入射粒子のエネルギーが下がったところで停止する。この間、通常のイオン注入に利用されるエネルギー領域では、数十から数千の物質内原子がエネルギーを受けることになる。

40

## 【 0 0 5 6 】

図 7 は上記の原理に基づくりコイル作用を理解し易くするために、入射粒子 1 個の動きを示しているが、実際には図 8 に拡大図で示すように、堆積膜 2 内では多重多段の玉突き衝突が起こっている。

## 【 0 0 5 7 】

特に入射粒子の質量が堆積膜の物質構成原子より重い場合はより多くの構成原子にエネ

50

ルギーを与えることが可能で、入射粒子数よりもかなり多くの目的原子を半導体基板内に導入することができる。更に、注入するイオンのエネルギーは目的原子に与えるエネルギーよりもより高く設定できるため、空間電荷効果が直接注入より低く抑えられ、ビーム電流を高く取ることが可能になる。

【0058】

[実施形態の効果]

以上のように本発明の実施形態によれば、プラズマによる堆積薄膜とイオン注入によるリコイル(ノッキングオン効果)作用により、立体的構造物の壁と上部の平面部のすべてに均一に不純物を導入することができる。

【0059】

本発明を好ましい実施形態について説明したが、本発明は上記の実施形態に制限されるものでないことは言うまでもない。

【0060】

例えば、半導体装置の基体となる固体物質は、固体珪素(シリコン~単結晶(シングルクリスタル))またはポリ(多結晶)、GaAs、Ge、SiC、化合物半導体等である。

【0061】

また、不純物薄膜(堆積膜)の、膜厚、不純物堆積物質種の設定調整や、イオン注入の、注入イオン種、注入角度、注入エネルギー、注入ドーズ量の設定調整により、リコイル条件、すなわち不純物薄膜の不純物の注入相当のエネルギー(注入深さ相当の深さ~プロファイル)、注入ドーズ量相当のドーズ原子量をコントロールするよう構成することが望ましい。

【0062】

この場合、注入するイオン自体は、半導体基板の加工により形成した立体凹凸部分にはほとんど導入されず不純物薄膜に留まるように、前記不純物薄膜の膜厚、不純物堆積物質種、注入イオン種、イオン注入角度、注入エネルギー、注入ドーズ量の設定調整を行うことにより、非注入の条件を設定調整するよう構成しても良い。

【0063】

不純物薄膜の不純物原子としては、B、Pの他に、Asが用いられても良い。

【0064】

プラズマ処理によって、Bを含む不純物薄膜を堆積するために使用されるガスは、ジボランB<sub>2</sub>H<sub>6</sub>に代えてBF<sub>3</sub>を含むガスが用いられても良い。

【0065】

一方、プラズマ処理によって、Pを含む不純物薄膜を堆積するために使用されるガスの好ましい例としては、フォスフィンPH<sub>3</sub>を含むガスがある。

【0066】

また、プラズマ処理によって、Asを含む不純物薄膜を堆積するために使用されるガスの好ましい例としては、アルシンAsH<sub>3</sub>を含むガスがある。

【0067】

イオン注入工程における注入イオンとしては、Si、As、Ge、In、Sb若しくはXe、Arのいずれかを用いることができる。

【0068】

なお、B<sub>2</sub>H<sub>6</sub>によるプラズマ処理によりBを含む堆積膜を形成後、半導体基板の表面上全体をレジスト保護膜で覆うとともに選択的にレジスト保護膜を除去して露出させ、該露出させた部分の前記Bを含む堆積膜を除去し、次にその除去した部分にPH<sub>3</sub>によるプラズマ処理によりPを含む堆積膜を形成し、全体のレジスト保護膜除去を行った後にGe、Si、As、In、SbあるいはXe、Arイオンを半導体基板の表面上全体に注入するプロセスを構成しても良い。

【符号の説明】

【0069】

1 シリコン基板

10

20

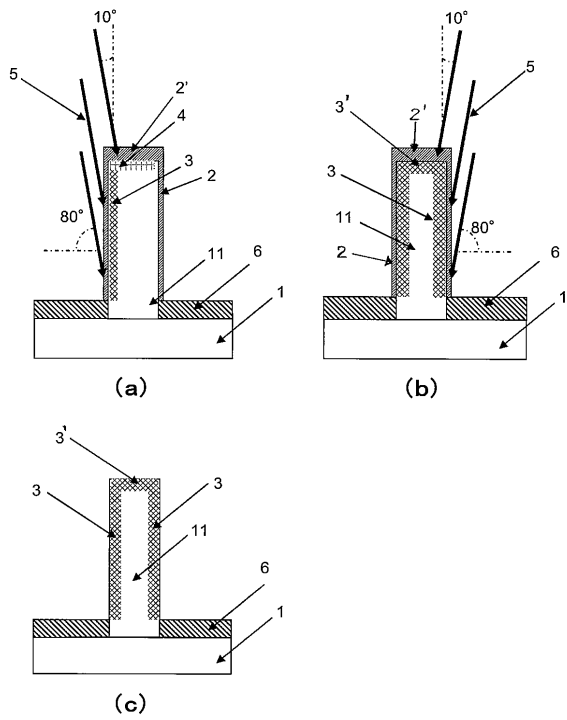
30

40

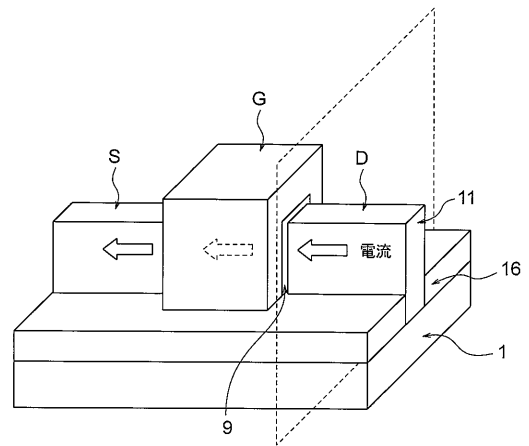
50

- 2、2' 堆積膜
- 3、3'、4 不純物拡散層
- 5 イオンビーム
- 6、16 絶縁層
- 11 シリコンFin部
- 12 ハードマスク

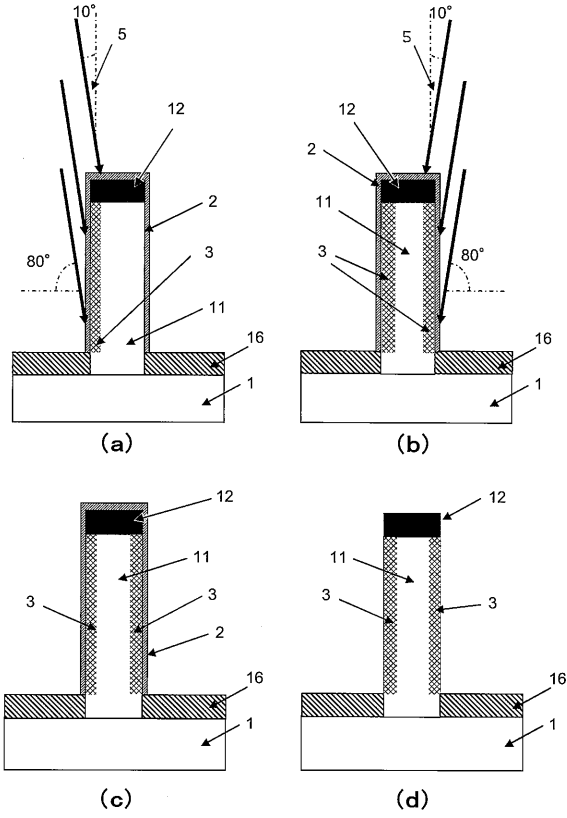
【図1】



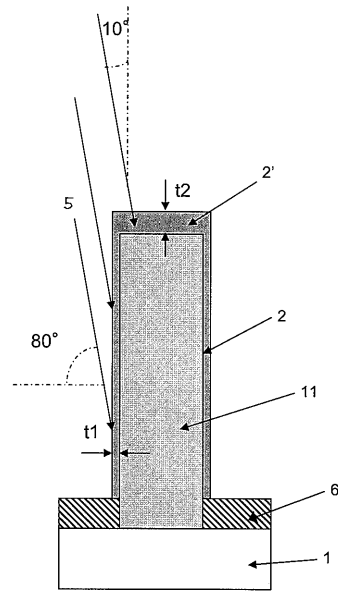
【図2】



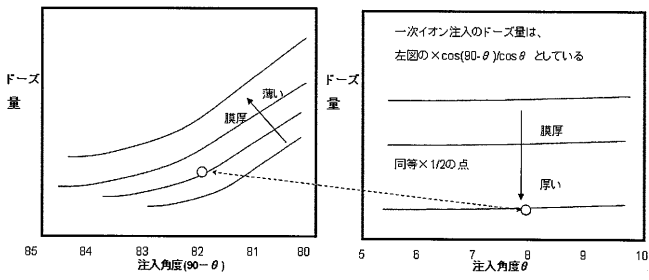
【図3】



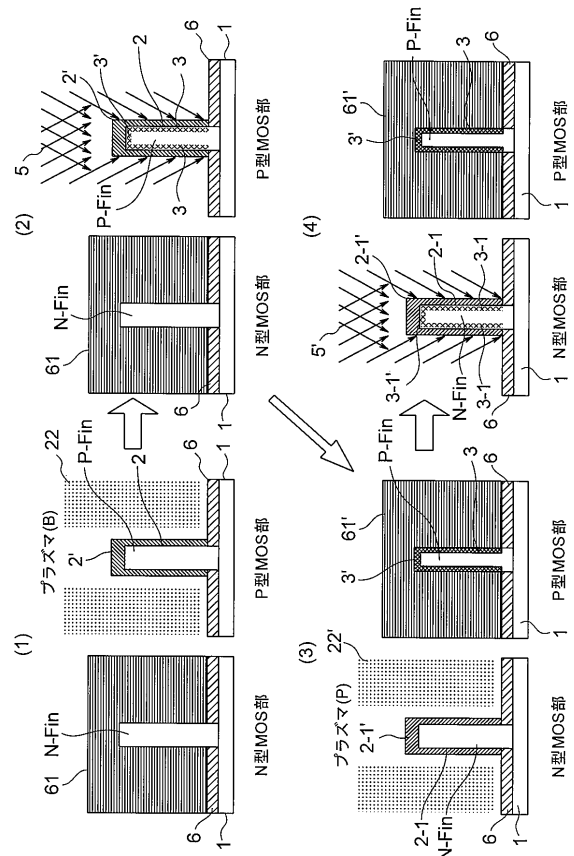
【図4】



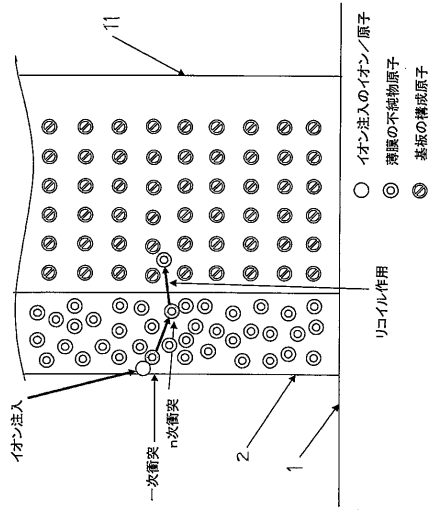
【図5】



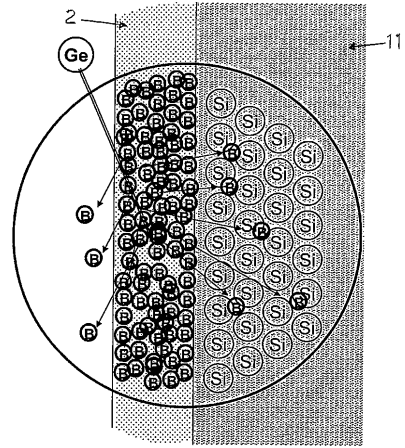
【図6】



【 図 7 】



【 図 8 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/08 3 2 1 E

H 0 1 L 29/78 3 0 1 S

Fターム(参考) 5F048 AC03 BA14 BA15 BB01 BC01 BC06 BC15 BD01 BD04 BD06  
BD09  
5F140 AA00 AB03 AB05 BA01 BA02 BA03 BA07 BB05 BC15 BH14  
BK06 BK08 BK14 BK16