

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 2002年11月26日 10/304,605 (主張優先權)

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明與微處理器領域有關，更具體而言，係指微處理器內部的快取記憶體管理。

【先前技術】

典型的電腦系統可能包含一個或多個微處理器，而這些微處理器可能連接一個或多個的系統記憶體。這些微處理器可以執行程式並對儲存於系統記憶體內的資料作運算。注意文中所用的術語“處理器 (processor)”係與微處理器 (microprocessor) 同義。為了使指令和資料的提取和儲存更便利，處理器通常採用某種形式的記憶體系統。此外，為了加速系統記憶體的存取動作，記憶體系統可能包含一個或多個快取記憶體。例如：有些微處理器可能具備有一層或多層的快取記憶體。在典型的微處理器中會使用第一層快取 (L1 cache) 和第二層快取 (L2 cache)，而某些新的處理器也可能使用第三層快取 (L3 cache)。許多舊型的處理器會把第一層快取建構在晶片內而將第二層快取則建構在晶片外。但是，為了進一步改善記憶體的存取時間，新的處理器會在晶片內建構第二層快取。

一般而言，第二層快取會比第一層快取具有更大的容量但速度則較慢。此外，第二層快取通常將指令快取和資料整合成單一快取記憶體，而第一層快取則可能架構成分開的指令快取和資料快取。第一層資料快取用來保存在微處理器執行程式時最近所讀取或寫入的資料。第一層指令

快取的作用類似第一層資料快取，但它是保存最近執行的指令。必須注意的是為方便起見，將第一層指令快取和第一層資料快取簡稱為第一層快取。第二層快取則用來保存不適用於第一層快取的指令和資料。第二層快取可以是獨有的（例如：它儲存第一層快取所沒有的資料）或是包含的（例如：它儲存第一層快取的資料備份）。

記憶體系統一般採用某種形式的快取關連機制(cache coherence mechanism)以確保將正確資料提供給要求者。快取關連機制一般使用在單一要求內所傳送資料的大小作為關連的單位。此連貫的單位通常稱為快取列(cache line)。例如：有些處理器使用 64 位元組的快取列，而其他的處理器則使用 32 位元組的快取列。還有其他的處理器採用其他位元組數的快取列。如果在第一層快取和第二層快取找不到某個要求的字元，即使是僅要求一個字元，那整個多字元的快取列將從主記憶體轉移到第一層和第二層快取。同樣地，如果對一個字元的要求在第一層快取得不到，但卻可在第二層快取完全得到，則整個包含要求字組之第二層快取列將從第二層快取轉移到第一層快取。因此，小於相對應的快取列的要求的資料單位可能導致整個快取列在第二層快取和第一層快取之間轉移。這種轉移動作通常需要許多個週期才能完成。

在讀取或寫入可快取的記憶體期間，首先檢查第一層快取是否可提供要求的資訊（例如：指令或資料）。若可得到資訊，即為命中，若無法得到資訊即為誤失。若產生誤

失，則檢查第二層快取。因此，當第一層快取發生誤失而在第二層快取內命中時，這些資訊將由第二層快取轉移到第一層快取。如下所述，第二層快取和第一層快取之間的資訊轉移量通常是一個快取列。此外，依據第一層快取可使用的空間，可以從第一層快取中逐出一個快取列以便騰出空間作為新的快取列，並可將逐出的快取列接著儲存在第二層快取。近代的處理器可藉由執行多次的資料轉移以便達到快取資料轉移的最佳化。某些傳統的處理器，在這些快取列“交換”的期間無法處理第一層快取和第二層快取的其他存取動作。

本發明提出包含有用以支持每週多次存取之第二層快取記憶體之微處理器的各種實施例。在一實施例中，微處理器包含有連接快取記憶體子系統的執行單元，此子系統包含有連接複數個匯流排的快取記憶體。快取記憶體包含複數個可獨立存取的儲存區塊。可將這些匯流排連接成可傳送複數個快取存取要求至各個儲存區塊以因應在複數個快取匯流排中傳送複數個快取存取要求，可同時存取不同的儲存區塊。

在一實施例中，快取記憶體可包含複數個可獨立存取的標籤單元(tag unit)，這些標籤單元是連接到複數個儲存區塊建構成儲存複數個包含位址標籤值的標籤。因應所接收的複數個快取存取要求，將可同時存取不同的複數個標籤單元。

在一實施例中，複數個儲存區塊的每一個均包含複數

個可獨立存取的儲存子區塊。故可以同時存取任意兩個與不同儲存區塊相關聯的子區塊，另外，可以在連續的週期依序存取任意兩個與相同儲存區塊相關聯的子區塊。

【實施方式】

現在參考第 1 圖，圖中係顯示微處理器範例 100 的實施例方塊圖。將微處理器 100 建構成執行儲存在系統記憶體（沒有顯示）的指令。這些指令很多會對儲存在系統記憶體的資料做運算。必須注意的是系統記憶體實際上可能分布在整個電腦系統，且可以由一個或多個如微處理器 100 等之微處理器存取。在一實施例中，微處理器 100 是配備有 x86 架構之微處理器範例，例如 Athlon™ 微處理器。然而，包含其他形式的微處理器的實施例亦是可以考慮的。

在所列舉的實施例中，微處理器 100 包含第一個第一層快取和第二個第一層快取：即一個指令快取 101A 和一個資料快取 101B。依據其應用，第一層快取可以是整合在一起的快取或是分開的快取。為方便起見，不論是哪種情形，於適當的地方，指令快取 101A 和資料快取 101B 將整體視為第一層快取。微處理器 100 亦包含有一個預先解碼單元 102 (pre-decode unit) 和分支預測邏輯 103 (branch prediction logic) 可和指令快取 101A 密切連接。微處理器 100 也包含連接到指令解碼器 104 (instruction decoder) 之提取與解碼控制單元 105 (fetch and decode control unit)。此兩者都連接到指令快取 101A。指令控制單元 106

(instruction control unit)連接到指令解碼器 104 以便由此接收指令再將運算發送到排序器 118 (scheduler)。排序器 118 是連接到指令控制單元 106 並由此接收運算再將運算發送到執行單元 124 (execution unit)。執行單元 124 包含一個載入/儲存單元 126 (load/store unit)，將裝置建構成為執行資料快取 101B 的存取動作。由執行單元 124 所產生的結果可用來作為其後的指令的運算元值，並且/或儲存到暫存器檔（沒有顯示）。再者，微處理器 100 包含一個內建於晶片的第二層快取 130，連接在指令快取 101A、資料快取 101B 和系統記憶體之間。

指令快取 101A 可儲存執行前的指令。與指令快取 101A 相關的功能有指令提取（讀）、指令預先提取、指令預先解碼和分支預測。指令碼可以透過匯流排介面單元 140 (bus interface unit) 從系統記憶體預先提取程式碼，或是如同接著要詳細說明的方法，由第二層快取 130 取得以提供至指令快取 101A。指令快取 101A 可以用各種架構實現（例如：集合相關 (set-associative)、完全相關 (fully-associative) 或直接對應 (direct-mapping)）。在一個實施例中，將指令快取 101A 建構為儲存複數個快取列，其中在指令快取 101A 之給定快取列內的位元組數目是由其應用決定的。再者，在另一個實施例中，指令快取 101A 是由靜態隨機存取記憶體 (static random access memory, SRAM) 實現，儘管如此，包含其他記憶體形式的實施例也是可以考慮的。必須注意的是在一實施例中，可以將控制電路（沒

有顯示) 包含在指令快取 101A 內，用來控制快取列的填寫、取代和關連性。

指令解碼器 104 建構成將指令解碼為各種運算，這些運算係利用儲存在晶片上常稱為微指令唯讀記憶體 (microcode ROM, MROM) 之唯讀記憶體內的運算，以直接或間接解碼的方式得到。指令解碼器 104 可以將特定的指令解碼成執行單元 124 內部可執行的運算。簡單的指令可對應到單一運算。在某些實施例中，較複雜的指令可能對應到複數個運算。

指令控制單元 106 可以控制到執行單元 124 的運算之發送。在一實施例中，指令控制單元 106 可以包含重新排序緩衝器 (reorder buffer)，用來保留由指令解碼器 104 接收到的運算。再者，指令控制單元 106 可建構成控制運算的撤回。

在指令控制單元 106 輸出所提供的運算和立即資料可依指定路徑傳送到排序器 118。排序器 118 可包含一個或多個排序器單元 (例如：整數排序器單元和浮點排序器單元)。值得注意的是在此所提的排序器是一種裝置，其可以偵測何時運算已經準備就序且將已就序之運算傳送給一個或多個處理單元。例如：預約站 (reservation station) 就是一個排序器。每一個排序器 118 均能為等待傳送到執行單元 124 之複數個未執行保留運算資訊 (例如：位元編碼的執行位元和運算元數值、運算元標籤、及/或立即資料)。在某些實施例中，各排序器 118 可能無法提供運算元數值

的儲存。但各排序器卻可以監控在暫存器檔案內以已發送的運算和可獲得的結果，以決定何時運算元數值準備就緒，可由執行單元 124 讀取。在某些實施例中，每一個排序器 118 會對應於一個專用的執行單元 124。而在其他的實施例中，一個排序器 118 可以發送運算到一個以上的執行單元 124。

在一實施例中，執行單元 124 包含一個執行單元，例如：整數執行單元。然而在不同的實施例中，微處理器 100 是一個超純量 (superscalar) 處理器，在這種情況，執行單元 124 可能包含複數個執行單元（例如：複數個整數執行單元（沒有顯示）用以執行加法和減法等算術運算、移位、旋轉、邏輯運算以及分支運算。此外，也可包含一個或更多的浮點運算單元（沒有顯示）以提供浮點運算。可將一個或更多的執行單元建構成執行位址的產生，這些位址係用於將由載入/儲存單元 126 執行之載入和儲存記憶體運算。

載入/儲存單元 126 可建構成提供在執行單元 124 和資料快取 101B 間的介面。在一實施例中，載入/儲存單元 126 可建構成載入/儲存緩衝器（沒有顯示），該緩衝器具有複數個儲存空間可用於儲存尚未執行之載入或儲存動作所需要的資料和位址資訊。載入/儲存單元 126 也可針對稍早載入的指令和最近存入的指令執行相依性檢查以確保資料的連貫性得以持續。

資料快取 101B 是用來儲存在載入/儲存單元 126 和系

統記憶體間轉移的資料之快取記憶體。類似上述的指令快取 101A，資料快取 101B 可以各種特定的記憶體架構實現，例如集合相關架構。在一實施例資料快取 101B 和指令快取 101A 是以不同的快取單元實現。儘管如上述，仍可考慮替代的實施例，亦即將資料快取 101B 和指令快取 101A 整合成單一個單元。在一實施例中，資料快取 101B 可儲存複數個快取列，在此，於資料快取 101B 給定快取列內之位元組數目是由應用決定。類似指令快取 101A，在一實施例中，資料快取 101B 是以靜態隨機存取記憶體 (SRAM) 實現，儘管如此，在其他實施例中其他形式記憶體是可以預期的。必須注意的是有一種實施例可以將控制電路（沒有顯示）包含在資料快取 101B 內，用來控制快取列的填寫、取代和關聯性。

第二層快取 130 也是一種快取記憶體且可建構成儲存指令及/或資料。在所顯示的實施例中，第二層快取 130 可以是內建於晶片的快取而且可建構成完全相關、集合相關或兩者組合的形式。在一實施例中，第二層快取 130 可儲存複數個快取列。必須注意的是第二層快取 130 可包含有控制電路（沒有顯示在第 1 圖中），用來控制快取列的填寫、取代和關聯性。

將在下文中參考第 4 圖進行更詳細的說明，在一實施例中，第二層快取 130 的一部份（例如：第二層快取 130 的主要快取儲存陣列部分）可以非同步的方式存取，而第二層快取 130 的另外一部分（例如：對應於主要陣列的第

二層快取 130 標籤陣列) 可以同步和全管線的方式存取。此外，將主要儲存陣列格排列成複數個可獨立存取的儲存區塊或記憶單元，其可以和其他的儲存區塊同時存取。

匯流排介面單元 140 可建構在系統記憶體和 second 層快取 130 之間以及在系統記憶體、第一層指令快取 101A 和第一層資料快取 101B 之間轉移指令和資料。在一實施例中，匯流排介面單元 140 包含有緩衝器(沒有顯示)，用於在執行寫入週期資料串流時緩衝寫入處理。

參考第 2 圖，圖中係顯示第 1 圖之微處理器快取子系統的實施例方塊圖。快取子系統 200 包含有快取記憶體，此記憶體包含有與標籤陣列 210 連接之主要儲存陣列 220。再者，快取子系統 200 也包含有快取控制 230，其透過標示為快取匯流排 240 的複數個匯流排連接到標籤陣列 210。在一實施例中，將主要儲存陣列 220 和標籤陣列 210 應用在 second 層快取子系統，例如：在第 1 圖中的 second 層快取 130。然而，必須注意在其他的實施例中，主要儲存陣列 220 和標籤陣列 210 亦可應用在任何的快取子系統中。

主要儲存陣列 220 包含有複數個排列成可獨立存取之儲存區塊的記憶單元。在所顯示的實施例中，這些儲存區塊被標示為 220A-220N，其中 N 可以是任意的區塊數。在一實施例中，這種儲存區塊可以有八個，雖然，在其他的實施例中，其他的區塊數目亦是預期的。此外，每一個儲存區塊 220A-N 包含有四個可獨立存取的子區塊，其標示為子區塊 0-3。必須注意的是雖然每一個儲存區塊

220A-N 包含有四個這類的子區塊，但在其他的實施例中，每一個儲存區塊 220A-N 包含有其他的子區塊數目是可以預期的。

標籤陣列 210 是建構成儲存快取列標籤資訊的儲存陣列。在記憶體要求期間，標籤上的位址資訊將用來決定是否有給定的資料片段出現在快取中。例如：一記憶體要求包含所要求資料之位址。在標籤陣列 210 內的比較邏輯(沒有顯示)會對要求位址和儲存在標籤陣列 210 的標籤單元 210A-N 內的每個標籤位址資訊作比較。如果要求位址和與定標籤相關之位址吻合，則顯示如上所描述之命中。如果沒有吻合的標籤則顯示誤失。將標籤陣列 210 排列成複數個標籤單元，標示為 210A-210N，其中 N 是任意的標籤單元數。每個標籤單元 210A-N 對應一個可獨立存取的儲存區塊，並且可包含複數個標籤元件。例如：在所顯示的實施例中，標籤單元 210A 對應到儲存區塊 220A。此外，在給定標籤單元內的每個標籤元件均對應到在給定儲存區塊內的所有儲存子區塊。儲存在儲存陣列 220 之資料片段的位址有一部分會儲存在標籤項目中。位址的其他部分可以指定在儲存陣列 220 內欲存取的位置(即子區塊)。快取列可儲存在給定的儲存區塊內，所以快取列可延伸到所有四個儲存子區塊。例如：在所顯示的實施例中，快取列 225 的儲存將遍及儲存區塊 220A 的儲存子區塊 0-3，其中每個子區塊內儲存一個子列(sub-line)。

快取控制 230 包含有一個或多個要求佇列 231(queues)

和控制邏輯（沒有顯示），建構成儲存接收到的快取要求並選擇和排程將傳送至快取匯流排 240 之快取要求。要求佇列 231 可針對接收到的快取要求（如下所述）的來源及/或形式而回應。在一實施例中，當在第 1 圖中的第一層指令快取 101A 或第一層資料快取 101B 發生快取誤失時，快取控制 230 可以接收來自這些來源的要求。再者，快取控制 230 也可接收來自匯流排介面單元 140 或來自另一個處理器（沒有顯示）以窺探要求(snoop request)形式顯示的要求。

一般而言，快取要求出現的形式可以是讀取要求、寫入要求或更新要求。在所顯示的實施例中，為了考慮這些要求，快取匯流排 240 包含一個讀取匯流排 R、一個寫入匯流排 W 和一個更新匯流排 U。雖然如此，包含任意數目之各種匯流排的其他實施例是可以預期的。例如：額外的匯流排（如點線所示）也可以使用在其他的實施例中。快取控制 230 透過快取匯流排 240 而連接至標籤陣列 210 和主要儲存陣列 220。讀取匯流排 R 和寫入匯流排 W 直達連接至主要儲存陣列 220，而更新匯流排則僅連接到標籤陣列 210。在一實施例中，R 匯流排可包含有訊號路徑用於傳送位址和控制資訊到標籤陣列 210 和主要儲存陣列 220，及傳送來自主要儲存陣列 220 之資料。W 匯流排包含有訊號路徑用於傳送位址和控制資訊到標籤陣列 210 和主要儲存陣列 220，及傳送資料到主要儲存陣列 220。U 匯流排包含有傳送位址和控制資訊到標籤陣列 210 的訊號路

徑。

在一實施例中，更新快取可修改給定標籤單元（如標籤單元 210）之標籤元件內的資訊。這些資訊可包含有更修改特定快取列的狀態。例如：在一實施例中，記憶體子系統可以利用修正的、自有的、專用的、分享的、無效的 (MOESI) 等統一的協定。在此種實施例中，要求者把新的快取列狀態寫到標籤陣列 210 而不需要變更儲存在主要儲存陣列 220 相對應位置上的資料。當快取列讀取要求在標籤陣列 210 內命中時，將使儲存在主要儲存陣列 220 相對應位置上的資料經由讀取匯流排 R 傳送。同樣地，當快取列寫入要求在標籤陣列 210 內命中時，將使寫入資料經由寫入匯流排 W 傳送並寫入主要儲存陣列 220。

如上所述，每一標籤單元 210A-N 和每一儲存區塊 220A-N 都是可獨立存取的。此外，因為快取匯流排 240 的 R、W 和 U 匯流排是連接到各標籤單元 210A-N，且 R 和 W 匯流排是連接到各儲存區塊 220A-N，其是根據快取要求的形式（例如：讀取、寫入或更新）而決定，標籤單元 210A-N 和儲存區塊 220A-N 可以同時存取（例如：在相同的週期）。因此在所顯示的實施例中，多達三種對不同標籤單元的獨立存取要求可以同時服務。例如：對標籤單元 210B 的讀取要求可以和標籤單元 210A 的寫入要求同時服務，也可以和標籤單元 210C 的更新要求同時服務。值得注意的是在一實施例中，會有更多的匯流排連接到標籤單元 210 和儲存區塊 220，故預期會有愈多的要求可以同時

服務。

可為每個標籤單元 210A-N 指定一個唯一的位址值。這唯一的位址值對應於一位址的一部分且可視為該位址之區塊位元的一部份。當進入要求所包含的位址值之區塊位元正好與一給定標籤單元之唯一指定值吻合時，這個要求就是針對該標籤單元。在一實施例中，每個標籤單元 210A-N 都能監控快取匯流排 240 的 R、W 和 U 匯流排。

若在給定的週期有複數個要求出現（如 R、W 和 U）在快取匯流排 240 的 R、W 和 U 匯流排且有兩個或更多的要求是針對相同的標籤單元時，該標籤單元可在那個週期選擇一個要求。該標籤單元的其他要求在那個週期將被拒絕。然而，被拒絕的衝突要求可在接續的週期被選取。在一實施例中，標籤單元選擇邏輯（沒有顯示）可依據更新需求具有最高優先權，其次為讀取，再其次為寫入的順序選取要求。值得注意的是可以預期在其他的實施例中，若在給定的週期內有複數個要求出現在快取匯流排 240 的 R、W 和 U 匯流排且有兩個或更多的要求是針對相同的標籤單元時，可以使用不同的優先權選擇讀取、寫入和更新要求。

如上所述，快取控制 230 包含有一個或更多的要求佇列 231 用於儲存即將輸入的快取要求。在一實施例中，快取控制 230 包含有建構成從要求佇列 231 選擇三種要求（如讀取、寫入和更新）的邏輯（沒有顯示），並在每個快取存取週期期間，將所選擇的要求傳送到快取匯流排 240 相對應的 R、W 和 U 匯流排上。快取控制 230 可選擇一個讀取

和一個寫入要求而不需要檢查它們是否在相同的標籤單元造成衝突。在此種實施例中，如果要求造成衝突，標籤單元會以上述方式選擇和拒絕這些要求。在其他的實施例中，快取控制 230 會根據所選擇之讀取要求的位址標籤來選擇寫入要求而使得給定標籤單元的衝突不會發生。如果更新要求出現的話，可不需要檢查標籤單元的衝突而選擇此要求。在其他的實施例中，如果有一對讀取和寫入要求沒有衝突，則快取控制 230 總是會選取此對讀取和寫入要求。例如：如果讀取和寫入要求都有區塊位元，快取控制 230 將在不同的週期傳送這兩個衝突的要求，因此可能傳送沒有衝突的要求。此外，可預期在一實施例中，快取控制 230 也可以在選擇讀取和寫入要求之前確認給定的儲存區塊或子區塊是否忙碌。

因此，依據對標籤陣列 210 快取存取的形式和數量，對不同儲存區塊的複數個存取動作可同時服務。再者，在下文中將參考第 3 圖進行更詳細的說明，標籤陣列 210 可以全管線方式存取，所以對主要儲存陣列 220 的任一儲存區塊但不同子區塊的複數個存取動作均可在後續的週期依序服務。對主要儲存陣列 220 之忙碌子區塊的後續存取動作將會延遲，直到子區塊不再忙碌為止。

參考第 3 圖，圖中係顯示第 2 圖中快取子系統之儲存區塊實施例的存取順序圖解。為簡單清晰起見，與第 2 圖所顯示組件相對應組件是以相同的編號顯示。儲存區塊 220A 是連接至標籤單元 210A。圖中所示為對標籤陣列輸

入要求序列的範例，此標籤陣列可以是如第 2 圖所示之標籤陣列 210。輸入要求可以是讀取或寫入動作，首先是位址 A、接著是位址 A+32、接著是位址 A+16、緊接著是位址 A+48。在此範例中，假設所有四個輸入要求都命中標籤單元 210A。如儲存區塊 220A 內所顯示，對應於給定位址的各個資料片段係儲存在不同的子區塊。在儲存區塊 220A 內的垂直行係表示子區塊 0-3，而列則顯示存取給定資料片段的週期。

如上所述，第 2 圖的標籤陣列 210 是全管線。例如：如果複數個要求命中給定標籤單元的不同子區塊，則後續的每個要求均可以在前一個要求完成之前依序處理。可是，如果後續的存取是針對相同的子區塊，則對主要儲存陣列 220 的存取並不需要管線處理。此乃因為從記憶格 (memory cell) 或一組記憶格寫入或讀取資料時會有延遲。因此，任何給定的格或格組（如子區塊）的要求之後，且在該格或格組可再次存取之前將會伴隨一個延遲。

對給定的輸入要求序列而言，在週期 0，將傳回或寫入對應於位址 A 的資料。在週期 1，將傳回或寫入對應於位址 'A+32' 的資料。在週期 2，將傳回或寫入對應於位址 'A+16' 的資料。在週期 3，將傳回或寫入對應於位址 'A+48' 的資料。因此，因為對應於要求位址的資料儲存在四個不同的子區塊，存取動作會在四個連續的週期回應而沒有等待週期介入。產生的輸出序列顯示在位址間沒有等待週期。

如上所述，要求序列命中一資料儲存於相同子區塊的標籤單元時，則無法在其後的存取週期中達到沒有介入等待週期的服務，因為子區塊的存取動作將伴隨著時間延遲。

參考第 4 圖，圖中係顯示第 1 圖中之微處理器快取子系統的另一個實施例。為簡單清晰起見，與第 1 圖-第 3 圖所顯示組件相對應的組件是以相同的編號標示。快取子系統 400 包含有由與標籤陣列 210 相連接之主要儲存陣列 220 組成的快取記憶體。再者，快取子系統 400 也包含有快取控制 430，其藉由非同步讀取致能訊號 451 和非同步寫入致能訊號 455 連接至主要儲存陣列 220。快取控制 430 也藉由複數個快取存取要求匯流排 240 連接至標籤陣列 210。快取控制 430 和標籤陣列 210 均接收由微處理器時脈樹(clock tree)所分發之 CPU 的時脈訊號 415。在一實施例中，在第二層快取子系統中會使用主要儲存陣列 220 和標籤陣列 210，此第二層快取子系統可以是第 1 圖之第二層快取 130。然而，必須注意在其他的實施例中，主要儲存陣列 220 和標籤陣列 210 可應用在任何的快取子系統。

主要儲存陣列 220 包含有複數個記憶格，可將其排列成可獨立存取的儲存區塊。在顯示的實施例中，儲存區塊係標示為 220A-220N，其中 N 可以是任意的區塊數。在一實施例中，有八個此類的儲存區塊，雖然，在其他的實施例中，其他的區塊數目亦是預期的。此外，每個儲存區塊 220A-N 包含有四個可獨立存取的子區塊，標示為子

區塊 0-3。值得注意的是雖然每個儲存區塊 220A-N 包含有四個這類的子區塊，可以預期在其他的實施例中，每個儲存區塊 220A-N 亦包含有其他數目的子區塊。與一些使用 CPU 或系統時脈同步存取的快取陣列相比較，在顯示的實施例中，沒有時脈分配網路(clock distribution network)與主要儲存陣列 220 相連接。主要儲存陣列與標籤單元 210 及微處理器 100 內的其他邏輯之間的存取為非同步存取。在下文中將參考第 5 圖和第 6 圖進行更詳細的說明，每個各自獨立存取的儲存子區塊 0-3 是建構成在接收到確定的讀取致能訊號 451 時提供輸出資料。此外，因應接收到確定的寫入致能訊號 455，將資料寫入給定的子區塊。因為沒有與主要儲存陣列 220 相連接之時脈分配網路，因此在每一個週期中，不會因為快取陣列中未使用的記憶單元計時而造成不必要的功率消耗。

標籤陣列 210 為建構成儲存快取列標籤資訊的儲存陣列。將標籤陣列 210 配置成複數個標籤單元，其標示為 210A-N，其中 N 是任意的標籤單元數。每個標籤單元 210A-N 有一個儲存區塊與之對應且包含有複數個標籤或標籤元件。例如：在顯示的實施例中，標籤單元 210A 對應於儲存區塊 220A。此外，在給定標籤單元內的每個標籤元件可能對應到給定儲存區塊的所有儲存子區塊。因此，可將快取列可儲存在給定的儲存區塊內，使得快取列可延伸到所有四個儲存子區塊。例如：在所顯示的實施例中，快取列 225 儲存遍及儲存區塊 220 A 的儲存子區塊 0-3。

在所顯示的實施例中，可藉由 CPU 時脈 415 而同步地存取標籤陣列 210。

快取控制 430 係建構成接收來自各種來源之快取存取要求。在一實施例中，快取控制 430 和標籤陣列 210 可以根據 CPU 時脈訊號 415 而與微處理器其他部分同步地運作。因此，快取控制 430 和標籤陣列 210 可建構成接收 CPU 時脈訊號 415。

在所顯示的實施例中，快取控制 430 可建構成產生讀取致能訊號 451 和寫入致能訊號 455，這些訊號是傳送至在主要儲存陣列 220 每個儲存區塊內的每個儲存子區塊 0-3。

在一實施例中，快取控制 430 將建構成依據快取命中或標籤陣列 210 內的特定位址的快取填入要求，而提供確定的讀取致能訊號 451 和確定的寫入致能訊號 455。例如：給定的讀取要求可能命中標籤單元 210A。標籤單元 210A 會將命中指示（沒有顯示）提供給快取控制 430。快取控制 430 輸出讀取致能訊號 451。因應讀取致能訊號 451 和來自標籤單元 210A 的位址資訊，相對應的子區塊在給定延遲之後將輸出要求的資料。同樣地，如果收到對應於命中標籤單元 210A 的寫入要求時，標籤單元 210A 會提供指示（沒有顯示）給快取控制 430。快取控制 430 輸出寫入致能訊號 455。因應於寫入致能訊號 455 和來自標籤單元 210A 的位址資訊，資料將寫入相對應的子區塊。在一實施例中，讀取和寫入致能訊號的脈波持續時間是預先決定

的。

此外，快取控制 430 是可程式的。可程式的特性允許各連續的讀取致能訊號 451 之間和各連續的寫入致能訊號 455 之間的脈波重複時間是可變的。因此，對連續脈波間之時間規劃能力允許程序變動和重新使用具有不同快取陣列大小的快取控制電路。值得注意的是快取控制 430 的各種程式設計方法是可以預期的。例如：在一實施例中，使用得是可程式化的暫存器。在另一實施例中，各種脈波延遲時間的選擇可利用跳線在模版上作硬體接線而實現。製作時，跳線連接可用雷射蝕刻以提供必要的延遲。

值得注意的是可預期在另一個實施例中其標籤陣列 210 內的邏輯（沒有顯示）可產生讀取致能訊號 451 和寫入致能訊號 455。

參考第 5 圖，圖中係顯示第 2 圖和第 4 圖之快取子系統之一實施例的操作時序圖。此時序圖包含有八個訊號，從上到下依序為：CPU 時脈、讀取位址 0A、讀取致能脈波 0A、資料輸出 0A、資料輸出栓鎖、寫入位址 1B、資料輸入 1B 和寫入致能脈波 1B。同時參考第 1 圖到第 4 圖，CPU 時脈訊號可以作為快取子系統的參考時脈並以第 4 圖的 CPU 時脈 415 表示。如上所述，CPU 時脈訊號係分配到標籤單元 210，但可能不會如分配網路一樣經過主要儲存陣列 220。

時序圖顯示一種同時接收到讀取和寫入操作的實施例。如上所述，標籤陣列 210 是以全管線方式處理，而且

主要儲存陣列 220 在對不同子區塊進行存取時也可以管線方式處理。然而，若給定的標籤單元同時收到複數個針對相同子區塊的讀取或寫入要求時，快取控制 430 可規劃在正確的時間輸出讀取和寫入脈波。此外，對主要陣列 220 之不同儲存區塊 220A-N 的存取要求可以同時服務。在下個範例中，接收到對在儲存區塊 220A 相同子區塊 0A 內之位址的兩個讀取和對在儲存區塊 220B 相同子區塊 1B 內之位址的兩個寫入。因此，讀取和寫入是對不同的標籤單元。值得注意的是顯示在第 5 圖中的特定時序是用於作為說明用，在其他的實施例中亦可包含有其他的時序。

在時間記號 t_0 ，將位址 0A1 提供給主要儲存陣列 220 的儲存區塊 220A 之子區塊 0。在同一個 CPU 時脈脈波的下緣，讀取致能脈波 R1 持續確立一個時脈週期。因應此第一個讀取致能脈波，在儲存區塊 220A 子區塊 0 內的記憶格區塊在此許時間延遲後輸出資料 D0A1。在此例中，當 R1 確立後，延遲時間為五個 CPU 時脈週期。同樣地，在時間記號 t_1 ，可確立資料輸出栓鎖訊號以將資料 D0A1 栓鎖住。同時在時間記號 t_0 ，將位址 1B1 和在 DI1 的資料提供給儲存主要儲存陣列 220 的區塊 220 B 之子區塊 1。在同一個 CPU 時脈脈波的下緣，寫入致能脈波 W1 持續確立一個時脈週期。因應此第一個寫入致能脈波，將 DI1 內的資料寫入儲存區塊 220 B 之子區塊 1 內的記憶格區塊。

此外，在時間記號 t_1 ，將第二個位址 (0A2) 提供給主要儲存陣列 220 的儲存區塊 220A 之子區塊 0。在 t_1 後的下

一個 CPU 時脈的下緣，第二個讀取致能脈波 R2 持續確立一個時脈週期。因應此第二個讀取致能脈波，在儲存區塊 220A 之子區塊 0 內的記憶格區塊在五個 CPU 時脈週期的延遲時間後輸出資料 D0A2。在時間記號 t2，可確立第二個資料輸出栓鎖訊號以將資料栓鎖住。

在時間記號 t1，第二個寫入位址(1B2)和在 DI2 的資料會提供給主要儲存陣列 220 的儲存區塊 220B 之子區塊 1。在 t1 後的下一個 CPU 時脈的下緣，第二個寫入致能脈波 W2 持續確立一個時脈週期。因應此第二個寫入致能脈波，將 DI2 之資料寫入在儲存區塊 220B 的子區塊 1 內的記憶格區塊。

如上所述，對相同子區塊的讀取週期和寫入週期會產生等待週期，但對不同儲存區塊的存取週期可以同時或在連續的週期服務。為考量這些等待週期，可以程式化連續讀取脈波間的延遲。例如：在上例中，快取控制 430 可以對相同子區塊的讀取致能脈波和寫入致能脈波的輸出進行規劃，使其不會比六個 CPU 時脈週期更快。注意在一實施例中，位址和資料訊號必須持續夠久以便有效的讀取和寫入資料。

參考第 6 圖的時序圖，本圖係用於說明如第 2 圖和第 4 圖所示之快取子系統的管線運作。時序圖包含十個訊號，從上到下依序為：CPU 時脈、子區塊 0A 位址、讀取致能脈波 0A、資料輸出 0A、子區塊 2B 位址、讀取致能脈波 2B、資料輸出 2B、子區塊 3B 位址、讀取致能脈波 3B

和資料輸出 3B。同時參考第 1 圖到第 4 圖，CPU 時脈訊號可以作為快取子系統的參考時脈且是以第 4 圖的 CPU 時脈 415 表示。如上所述，將 CPU 時脈訊號分配給標籤單元 210，但可能不會如分配網路經過主要儲存陣列 220。

時序圖係顯示對主要儲存陣列 220 的三個不同子區塊進行三個接續 (back-to-back) 讀取運作的範例。如上所述，標籤陣列 210 可以是全管線處理。例如：當一個或更多不同的標籤單元接收到複數個接續讀取或寫入要求時，快取子系統會在每一個連續時脈週期對不同的子區塊輸出資料或寫入資料，因此具有近乎管線處理的行為。注意：當相同的標籤單元和相同的子區塊在連續週期收到接續要求時，快取子系統不會表現管線處理的行為。在下一個範例中，接續接收到對在儲存區塊 220A 子區塊 0A、儲存區塊 220 B 的子區塊 2B 和 3B 之位址的兩個讀取動作。請注意第 6 圖所示的特定時序僅用於作為說明用，其他的實施例可能包含其他的時序。

在時間記號 t_0 ，將位址 0A1 提供給主要儲存陣列 220 的子區塊 0A。在第一個 CPU 時脈脈波的下緣，使讀取致能脈波 R0A1 持續確立一個時脈週期。因為標籤陣列管線因載有額外的讀取要求，所以在時間記號 t_1 ，將位址 2B1 提供到主要儲存陣列 220 的子區塊 2B。在 t_1 後的下一個 CPU 時脈下緣，使讀取致能脈波 R2B1 持續確立一個時脈週期。再者，在時間記號 t_2 ，將位址 3B1 提供給主要儲存陣列 220 的子區塊 3B，且在 t_2 後的下一個 CPU 時脈下緣，

使讀取致能脈波 R3B1 持續確立一個時脈週期。因此，可對三個不同子區塊發出三個讀取要求。

因應讀取致能脈波 R0A1，儲存子區塊 0A 在些許時間延遲後輸出資料 D0A1。在此例中，在 R0A1 確立後，延遲時間為五個 CPU 時脈週期。因應讀取致能脈波 R2B1，儲存子區塊 2B 在些許時間延遲後輸出資料 D2B1。在此例中，在 R2B1 確立後，延遲時間為五個 CPU 時脈週期。在時間記號 t4，將第二個位址提供給主要儲存陣列 220 的子區塊 0A。在同一個 CPU 時脈脈波的下緣，使讀取致能脈波 R0A2 持續確立一個時脈週期。因應讀取致能脈波 R3B1，儲存子區塊 3B 在些許時間延遲後輸出資料 D3B1。在此例中，在 R3B1 確立後，延遲時間為五個 CPU 時脈週期。在時間記號 t5，將第二個位址提供給主要儲存陣列 220 的子區塊 2B。在同一個 CPU 時脈脈波的下緣，使讀取致能脈波 R2B2 持續確立一個時脈週期。在時間記號 t6，將第二個位址提供給主要儲存陣列 220 的子區塊 3B。在同一個 CPU 時脈脈波的下緣，使讀取致能脈波 R3B2 持續確立一個時脈週期。因此，在時間記號 t4、t5 和 t6，可依序獲得從最先的 3 個讀取運作至三個獨立的子區塊 0A、2B 和 3B 的資料。

因應讀取致能脈波 R0A2，儲存子區塊 0A 在些許時間延遲後輸出資料 D0A2。在此例中，在 R0A2 確立後，延遲時間為五個 CPU 時脈週期。因應讀取致能脈波 R2B2，儲存子區塊 2B 在些許時間延遲後輸出資料 D2B2。在此例

中，在 R2B2 確立後，延遲時間為五個 CPU 時脈週期。因應讀取致能脈波 R3B2，儲存子區塊 3B 在些許時間延遲後輸出資料 D3B2。在此例中，在 R3B2 確立後，延遲時間為五個 CPU 時脈週期。因此，在時間記號 t7、t8 和 t9，可依序獲得從其次的 3 個讀取運作自相同的三個獨立的子區塊 0A、2B 和 3B 而來的資料。應注意從每一個子區塊輸出的資料都會被栓鎖訊號（沒有顯示）栓鎖住。

應注意雖然配合第 5 圖和第 6 圖分別對讀取和寫入操作進行說明，但在此描述的操作亦是可同時發生的。例如：對無衝突區塊的一連串讀取和一連串寫入操作可同時以管線方式處理。

參考第 7 圖，圖中所示為包含有第 1 圖所示微處理器之電腦系統的具體方塊圖。為簡單清晰起見，與第 1 圖 - 第 4 圖所示組件相對應的組件是以相同的編號標示。電腦系統 700 包含一個微處理器 100，其藉由記憶體匯流排 715 連接到系統記憶體 710。微處理器 100 更藉由系統匯流排 725 連接到輸入/輸出節點 720。輸入/輸出節點 720 藉由繪圖匯流排 735 連接到繪圖介面卡 (graphics adapter) 730。輸入/輸出節點 720 也藉由週邊匯流排連接到週邊裝置 740。

在所顯示的實施例中，微處理器 100 藉由記憶體匯流排 715 直接連接到系統記憶體 710。因此，微處理器包含記憶體介面（沒有顯示在第 7 圖）以控制對系統記憶體 710 的存取動作。然而，注意在其他的實施例中，系統記憶體 710 亦可經由輸入/輸出節點 720 連接到微處理器 100。在

此種實施例中，輸入/輸出節點 720 可包含記憶體介面（沒有顯示）。再者，在一實施例中，微處理器 100 可包含如第 2 圖所示快取子系統 200 之快取子系統。在其他的實施例中，微處理器 100 亦可以包含有如第 4 圖所示快取子系統 400 之快取子系統。

系統記憶體 710 可包含任何適合的記憶體裝置。例如：在一實施例中，系統記憶體可包含一組或多組的動態隨機存取記憶體 (DRAM) 裝置。雖然其他實施例亦可以包含有其他記憶體裝置和架構。

在所顯示實施例中，輸入/輸出節點 720 是連接到繪圖匯流排 735、週邊匯流排 745 和系統匯流排 725。因此，輸入/輸出節點 720 可包含各種匯流排介面邏輯（沒有顯示），這些匯流排介面邏輯包含緩衝器和控制邏輯用來管理不同匯流排之間的流量。在一實施例中，系統匯流排 725 可以是與高傳輸技術 (HyperTransport technology) 相容之以封包為基礎的互聯系統。在這種實施例中，輸入/輸出節點 720 可建構成處理封包傳輸。在另一個實施例中，系統匯流排 725 是典型的分享匯流排架構，如前端匯流排 (front-side bus)。

再者，繪圖匯流排 735 可以和繪圖加速埠 (accelerated graphic port; AGP) 匯流排技術相容。在一實施例中，繪圖介面卡 730 可以是各種繪圖裝置，其建構成產生和顯示作為顯示用之圖形影像。週邊匯流排 745 可以是一般的週邊匯流排，如週邊元件連接介面匯流排 (peripheral

component interconnect; PCI)。週邊裝置 740 可以是任何型式的週邊裝置，如數據機或音效卡。

雖然已詳細說明上述的各種實施例均，但具有此方面技藝者一旦完全體會上面所透露的資訊，則為數眾多的變型和修改對那些熟悉該技藝的人而言是顯而易見的。以下說明的申請專利範圍應解讀成涵蓋所有的這類變型和修改。

【圖式簡單說明】

第 1 圖係顯示微處理器之一實施例的方塊圖。

第 2 圖係顯示第 1 圖中之微處理器的快取子系統實施例的方塊圖。

第 3 圖係顯示第 2 圖中之快取子系統的一儲存區塊實施例的存取順序圖解。

第 4 圖係顯示第 1 圖中之微處理器快取子系統之另一個實施例的方塊圖。

第 5 圖係顯示第 2 圖和第 4 圖之快取子系統之一實施例之操作時序圖。

第 6 圖係顯示第 2 圖和第 4 圖之快取子系統的管線操作時序圖。

第 7 圖係顯示包含有第 1 圖微處理器之電腦系統的一個實施例的方塊圖。

雖然本發明可以有各種不同的變型和替代的形式，其特定的實施例將經由圖中的範例顯示，同時在此做詳細說明。然而，必須了解的是那些圖式和詳細說明並不是要將

本發明的範圍限制在所提出的的特殊形式上，相反的，本發明將涵蓋所有由所附申請專利範圍為本發明定義之精神和目標內之所有變型、等效物和替代的形式。

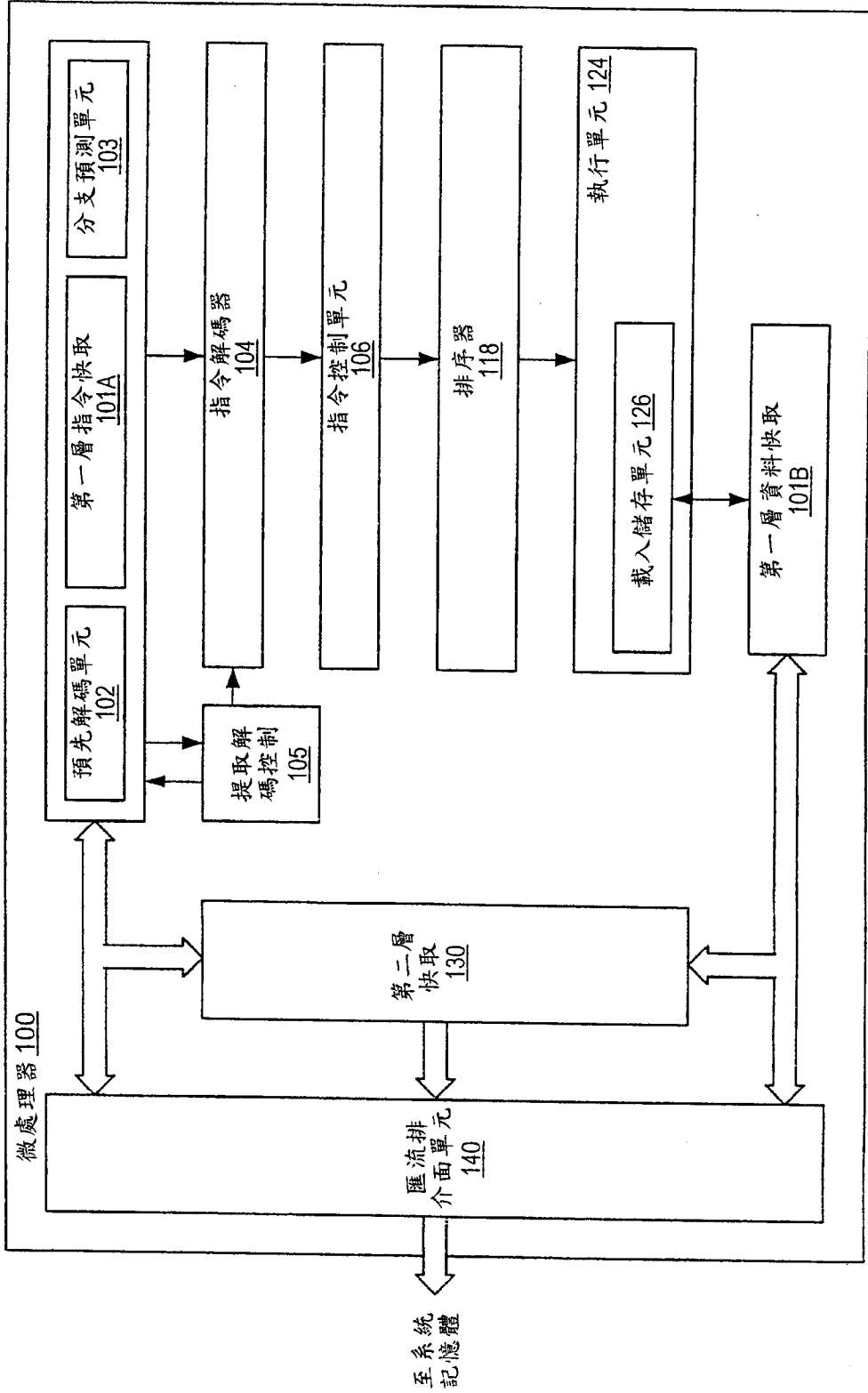
100	微處理器	101A	指令快取
101B	資料快取	102	預先解碼單元
103	分支預測單元	104	指令解碼器
105	提取解碼控制	106	指令控制單元
118	排序氣	124	執行單元
126	載入儲存單元	130	第二層快取
140	匯流排介面單元	200	快取子系統
210	標籤陣列		
210A、210B、210C、210N			標籤單元
220	主要儲存陣列		
220A、220B、220C、220N			儲存區塊
225	快取列	230	快取控制
231	要求佇列	240	快取匯流排
400	快取子系統	415	CPU 時脈
430	快取控制	451	讀出致能
455	寫入致能	700	電腦系統
710	系統記憶體	715	記憶體匯流排
720	輸入/輸出節點	725	系統匯流排
730	繪圖介面卡	735	繪圖匯流排
740	週邊裝置	745	週邊匯流排

伍、中文發明摘要：

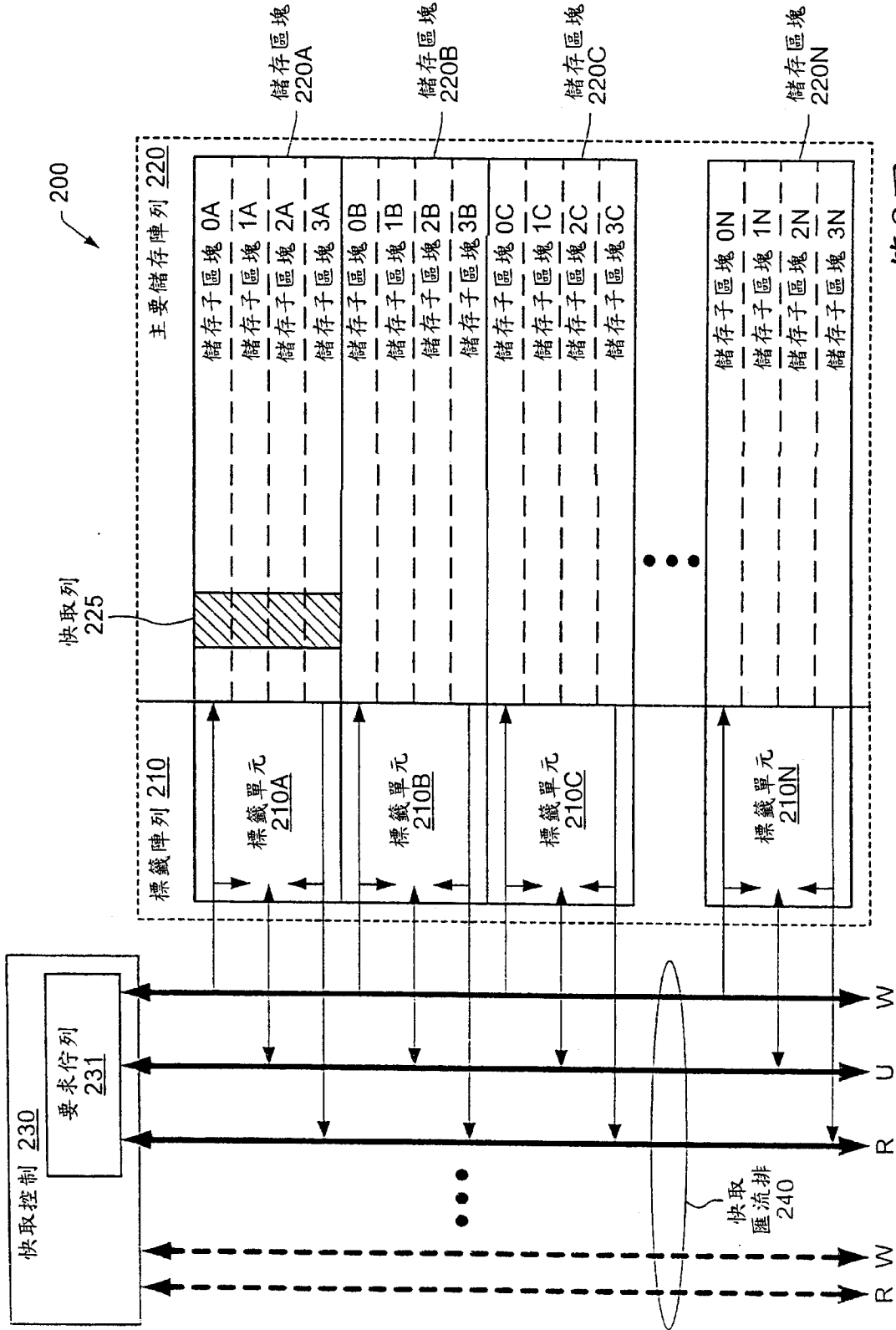
微處理器包含用以支持每週多次存取之第二層快取記憶體。微處理器包含連接快取記憶體子系統之執行單元，此子系統包含連接複數個匯流排的快取記憶體。快取記憶體包含複數個可獨立存取的儲存區塊。這些匯流排連結每個儲存區塊以便傳送複數個快取存取要求。為因應複數個快取存取要求在複數個快取匯流排中傳送，可同時存取不同的儲存區塊。

陸、英文發明摘要：

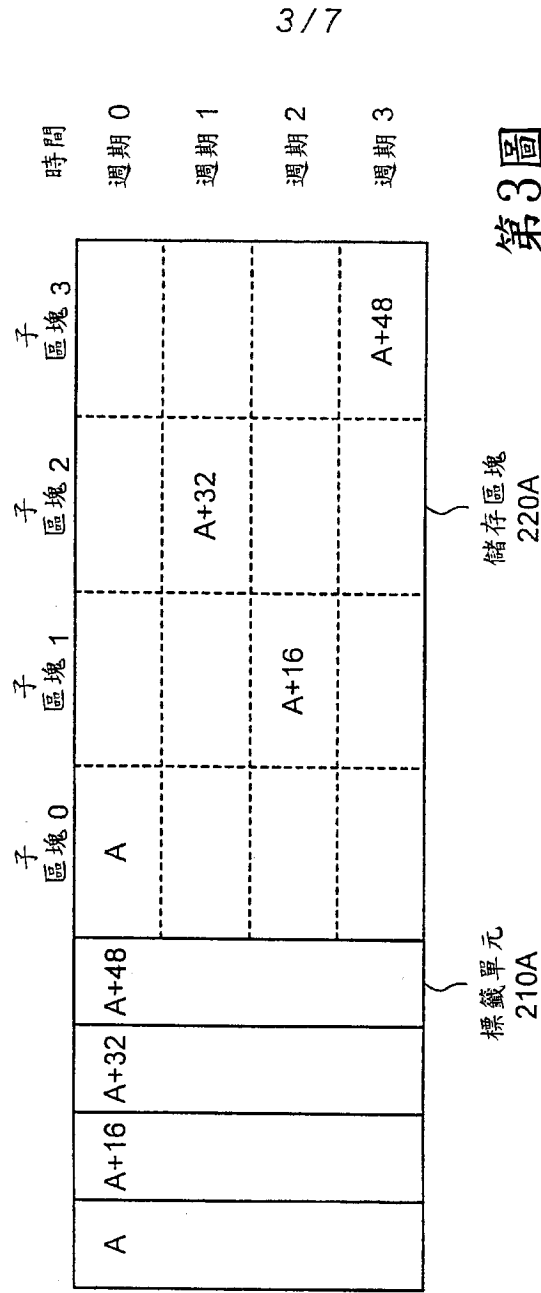
A microprocessor including a level two cache memory which supports multiple accesses per cycle. The microprocessor includes an execution unit coupled to a cache memory subsystem which includes a cache memory coupled to a plurality of buses. The cache memory includes a plurality of independently accessible storage blocks. The buses may be coupled to convey a plurality of cache access requests to each of the storage blocks. In response to the plurality of cache access requests being conveyed on the plurality of cache buses, different ones of the storage blocks are concurrently accessible.



第1圖



第2圖



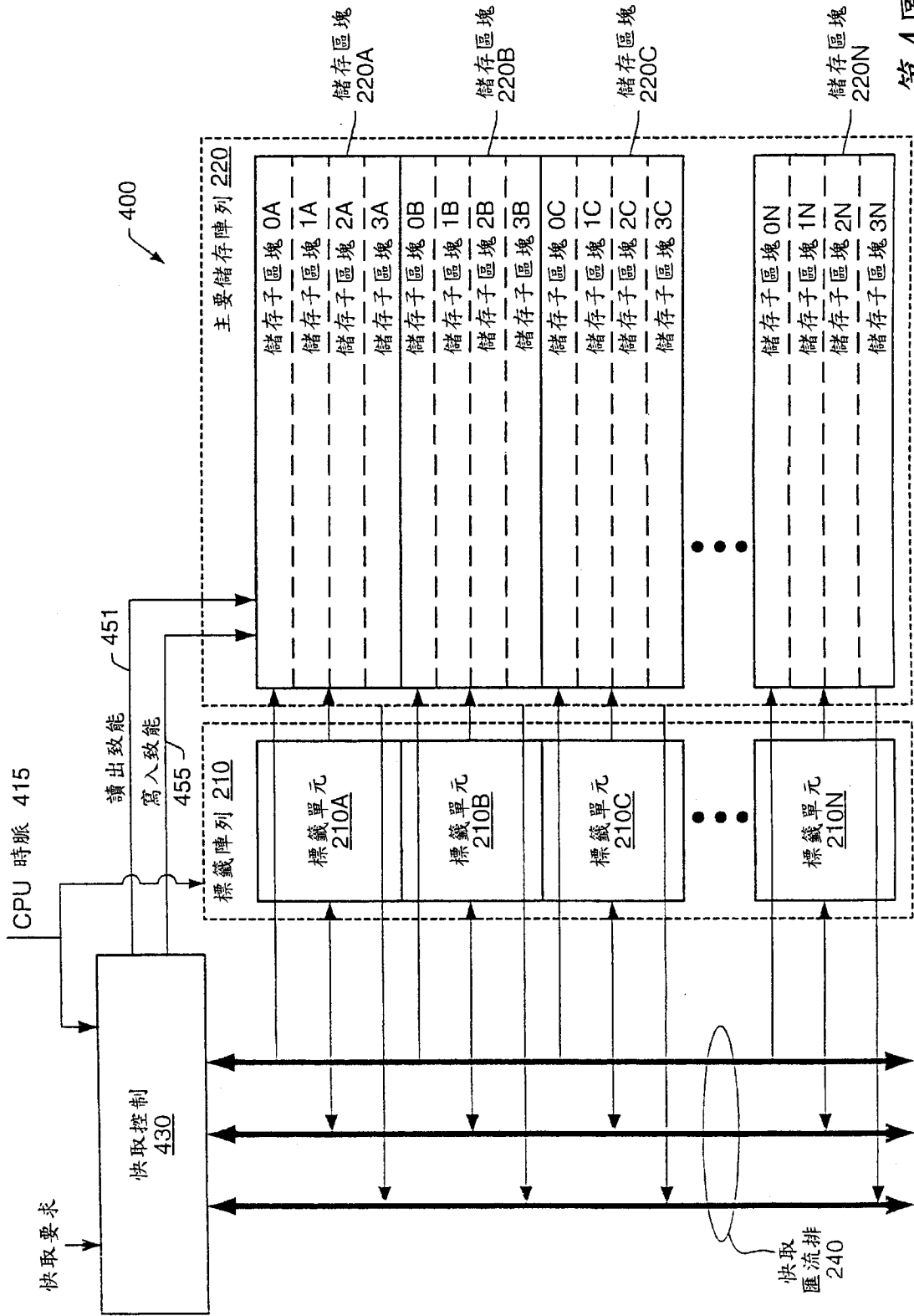
輸入要求序列:

A, A+32, A+16, A+48

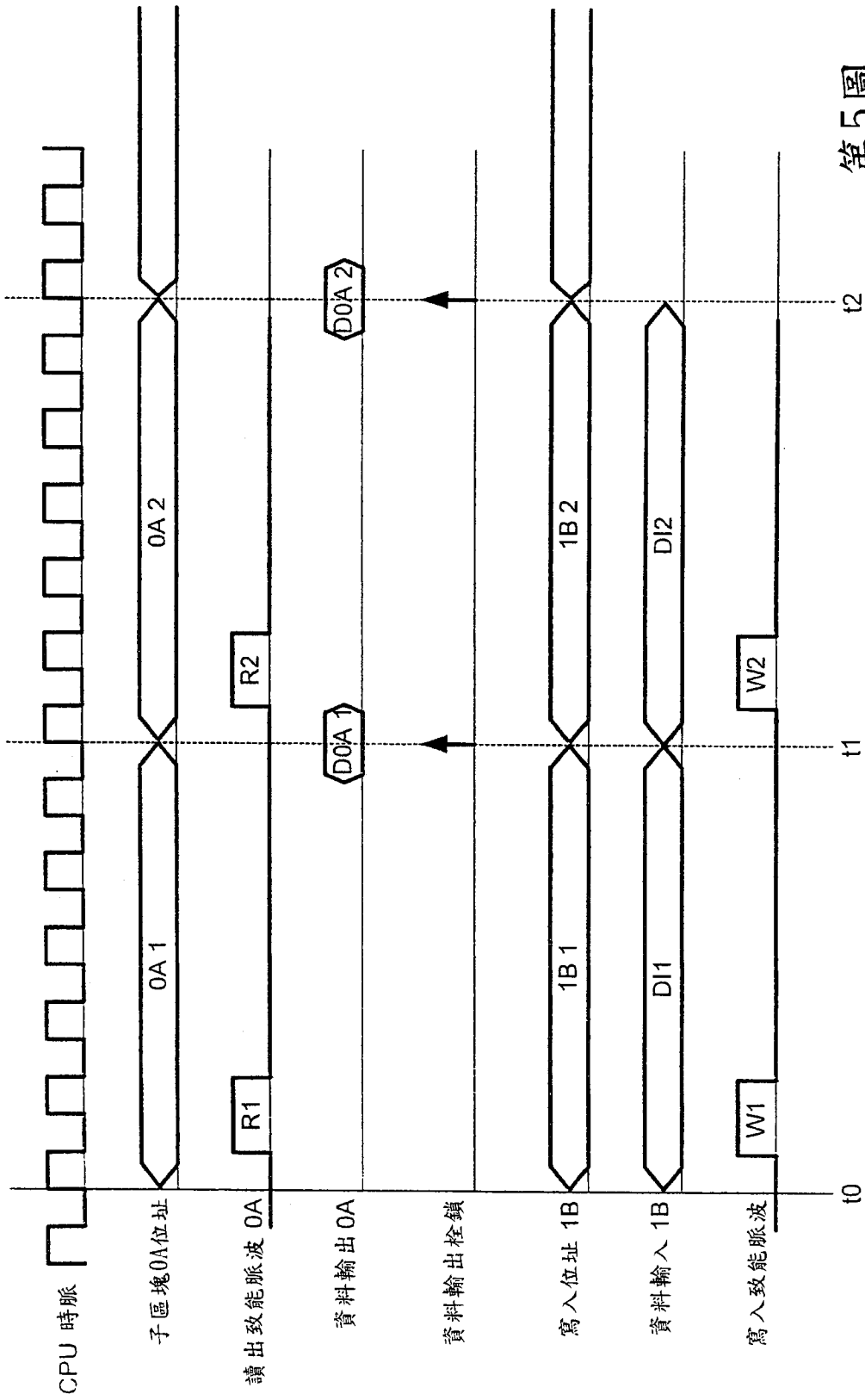
輸出序列:

A | A+32 | A+16 | A+48

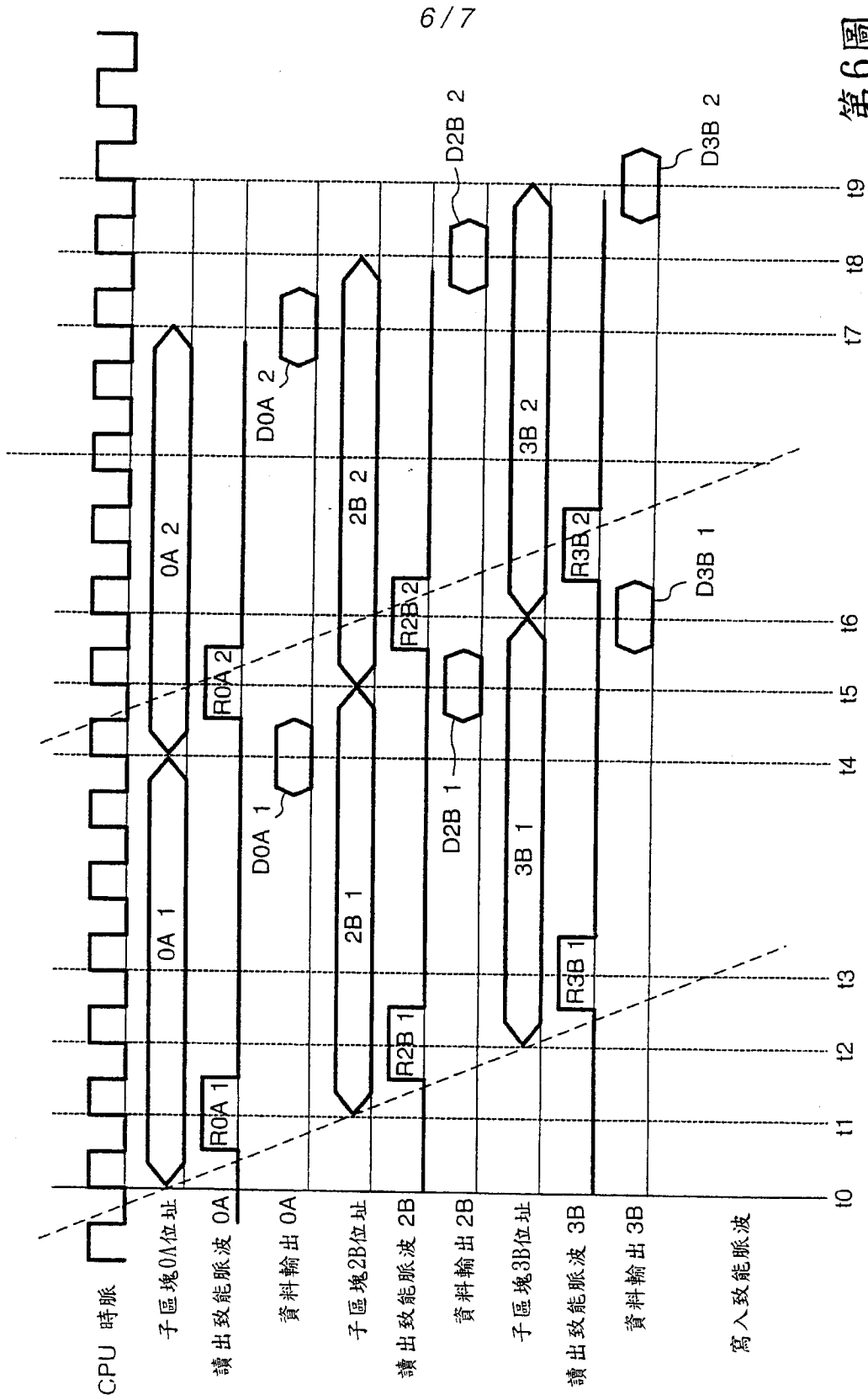
第3圖



第4圖

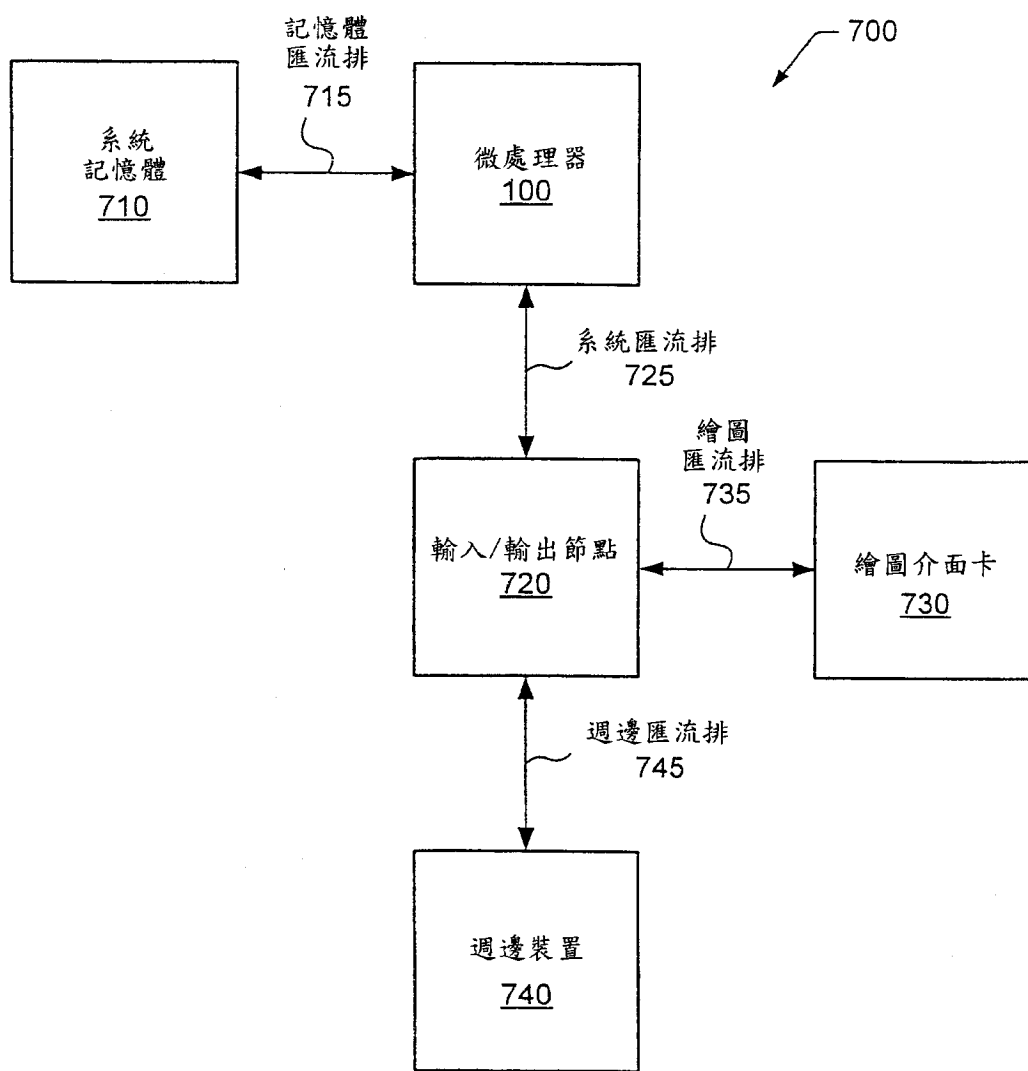


第5圖



6/7

第6圖



第7圖

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

200	快取子系統	210	標籤陣列
210A、210B、210C、210N			標籤單元
220	主要儲存陣列		
220A、220B、220C、220N			儲存區塊
225	快取列	230	快取控制
231	要求佇列	240	快取匯流排

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

1307476

88.11.10
年 月 日修(正)換頁

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92132238

※申請日期：921118

※IPC 分類：G06F 9/22 (2006.01)

壹、發明名稱：(中文/英文)

每一工作週期可以執行多重存取的快取記憶體子系統、微處理器、及相關電腦系統

CACHE MEMORY SUBSYSTEM CAPABLE OF EXECUTING MULTIPLE ACCESSSES PER CYCLE, MICROPROCESSOR, AND RELATED COMPUTER SYSTEM

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司 / ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S / DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.

國籍：(中文/英文) 美國 / US

參、發明人：(共 1 人)

姓名：(中文/英文)

1. 歐薩 米契爾 / ALSUP, MITCHELL

住居所地址：(中文/英文)

1. 美國·德州 78746·奧斯汀·坎伯灣 2103 號

2103 Kemper Cove, Austin, TX 78746, U.S.A.

國籍：(中文/英文) 美國 / US

拾、申請專利範圍：

1. 一種包含有每一工作週期可以執行多重存取之快取記憶體之微處理器，包含：

執行單元，其建構成對指令和資料作運算；

快取記憶體子系統，其連接到前述的執行單元；

其中前述的快取記憶體子系統包含：

快取記憶體，其包含複數個可獨立存取的儲存區塊；

複數個可獨立存取的標籤單元，其連接到前述的複數個儲存區塊，並建構成儲存複數個標籤，在此每一個標籤包含位址標籤值；

複數個快取匯流排，其連接成傳送複數個快取存取要求至每一個前述的複數個儲存區塊；及

快取控制器，其建構成選擇前述的複數個快取存取要求以藉由前述的複數個快取匯流排傳送；

其中前述的快取控制器進一步建構成選擇前述的複數個快取存取要求，以致沒有快取存取衝突存在於任何前述的複數個可獨立存取的標籤單元中；及

其中因應在前述的複數個快取匯流排上傳送的前述的複數個快取存取要求，可同時存取不同的前述的複數個儲存區塊。

2. 如申請專利範圍第 1 項之微處理器，其中每個前述複數個儲存區塊包含有複數個可獨立存取的儲存子區塊，其中每個前述儲存子區塊建構成在接收到確定非同步的

- 讀取致能訊號時提供輸出資料，及其中前述儲存子區塊中給定的一個儲存子區塊建構成在接收到確定非同步的寫入致能訊號時儲存資料。
3. 如申請專利範圍第 1 項之微處理器，其中每一個前述的複數個標籤單元對應至一個不同的前述的複數個儲存區塊。
 4. 如申請專利範圍第 1 項之微處理器，其中因應接收到前述的複數個快取存取要求，可同時存取不同的前述的複數個標籤單元。
 5. 如申請專利範圍第 1 項之微處理器，其中如果與前述的複數個快取存取要求中之一者相關聯之位址的區塊位元部份與特定標籤單元的唯一指定值相吻合時，將前述的特定標籤單元建構成選擇前述的複數個快取存取要求中之一者。
 6. 如申請專利範圍第 1 項之微處理器，其中前述的複數個快取存取要求包含讀取要求、寫入要求和更新要求。
 7. 如申請專利範圍第 6 項之微處理器，其中前述的快取控制器進一步建構成選擇以已選擇給定讀取要求來選擇相依的給定寫入要求，以使前述給定寫入要求與前述給定讀取要求不會與任何前述的複數個可獨立存取的標籤單元產生衝突。
 8. 如申請專利範圍第 6 項之微處理器，其中前述的快取控制器進一步建構成決定是否存在一對給定的讀取與寫入要求與任何前述的複數個可獨立存取的標籤單元不

產生衝突，假使前述一對給定的讀取與寫入要求存在，選擇前述一對給定的讀取與寫入要求以藉由前述的複數個快取匯流排傳送。

9. 如申請專利範圍第 1 項之微處理器，其中每一個前述的複數個儲存區塊包含複數個可獨立存取的儲存子區塊，其中任兩個與不同的前述的儲存區塊相關聯的前述的子區塊是可同時存取的，且其中任兩個與相同的儲存區塊相關聯的前述的子區塊可在連續的依序週期存取。
10. 如申請專利範圍第 1 項之微處理器，其中前述的複數個快取匯流排包含讀取匯流排、寫入匯流排和更新匯流排。
11. 如申請專利範圍第 1 項之微處理器，其中前述的快取控制器包含複數個緩衝器，其建構成從複數個不同的來源接收和儲存前述的複數個快取存取要求。
12. 如申請專利範圍第 11 項之微處理器，其中前述的複數個快取存取要求包含讀取要求、寫入要求和更新要求。
13. 如申請專利範圍第 12 項之微處理器，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求、前述的寫入要求和前述的更新要求，以便在前述的複數個快取匯流排上同時傳送，其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是不同的。
14. 如申請專利範圍第 12 項之微處理器，其中前述的快取

控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求和前述的寫入要求，以便在所述的複數個快取匯流排上同時傳送，此選擇係根據前述的讀取要求和前述的寫入要求是否包含對應到前一個快取存取要求正在存取的特定儲存區塊或特定儲存子區塊的標籤值。

15. 如申請專利範圍第 12 項之微處理器，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求、前述的寫入要求和前述的更新要求，以便在所述的複數個快取匯流排上同時傳送，其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是相同的。

16. 如申請專利範圍第 12 項之微處理器，其中前述的快取控制器進一步建構成接收選定的成對的快取存取要求，以便在所述的複數個快取匯流排上同時傳送，其中每一對均包含讀取要求和寫入要求，且其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是不同的。

17. 如申請專利範圍第 1 項之微處理器，其中前述的快取記憶體是第二層快取記憶體。

18. 一種包含有每一工作週期可以執行多重存取之快取記憶體子系統，包含：

快取記憶體，其包含複數個可獨立存取的儲存區塊；

複數個可獨立存取的標籤單元，其連接到前述的複數個儲存區塊，並建構成儲存複數個標籤，在此每一個標籤包含位址標籤值；

複數個快取匯流排，其連接成傳送複數個快取存取要求到每一個前述的複數個儲存區塊；及

快取控制器，其建構成選擇前述的複數個快取存取要求，以藉由前述的複數個快取匯流排傳送；

其中快取控制器進一步建構成選擇前述的複數個快取存取要求，以致沒有快取存取衝突存在於任何前述的複數個可獨立存取的標籤單元中；及

其中因應在前述的複數個快取匯流排上傳送的前述的複數個快取存取要求，可同時存取不同的前述的複數個儲存區塊。

19.如申請專利範圍第 18 項之快取記憶體子系統，其中每個前述複數個存取區塊包含有複數個可獨立存取的儲存子區塊，其中每個前述儲存子區塊建構成在接收到確定非同步的讀取致能訊號時提供輸出資料，及其中前述儲存子區塊中給定的一個儲存子區塊建構成在接收到確定非同步的寫入致能訊號時儲存資料。

20.如申請專利範圍第 18 項之快取記憶體子系統，其中每一個前述的複數個標籤單元對應至一個不同的前述的複數個儲存區塊。

21.如申請專利範圍第 18 項之快取記憶體子系統，其中因應接收到前述的複數個快取存取要求，可同時存取不同

的前述的複數個標籤單元。

22. 如申請專利範圍第 18 項之快取記憶體子系統，其中如果與前述的複數個快取存取要求中之一者相關聯的地址的區塊位元部份和與特定標籤單元的唯一指定值相吻合時，將前述的特定標籤單元建構成選擇前述的複數個快取存取要求中之一者。
23. 如申請專利範圍第 18 項之快取記憶體子系統，其中前述的複數個快取存取要求包含讀取要求、寫入要求和更新要求。
24. 如申請專利範圍第 23 項之快取記憶體子系統，其中前述的快取控制器進一步建構成選擇以已選擇給定讀取要求來選擇相依的給定寫入要求，以使前述給定寫入要求與前述給定讀取要求不會與任何前述的複數個可獨立存取的標籤單元產生衝突。
25. 如申請專利範圍第 23 項之快取記憶體子系統，其中前述的快取控制器進一步建構成決定是否存在一對給定的讀取與寫入要求與任何前述的複數個可獨立存取的標籤單元不產生衝突，且假使前述一對給定的讀取與寫入要求存在，選擇前述一對給定的讀取與寫入要求，以藉由前述的複數個快取匯流排傳送。
26. 如申請專利範圍第 18 項之快取記憶體子系統，其中每一個前述的複數個儲存區塊包含複數個可獨立存取的儲存子區塊，其中任兩個與不同的前述儲存區塊相關聯的前述的子區塊是可同時存取的，且其中任兩個與相同

的儲存區塊相關聯的前述的子區塊可在連續的依序週期存取。

27. 如申請專利範圍第 18 項之快取記憶體子系統，其中前述的複數個快取匯流排包含讀取匯流排、寫入匯流排和更新匯流排。
28. 如申請專利範圍第 18 項之快取記憶體子系統，其中前述的快取控制器包含複數個緩衝器，其建構成從複數個不同的來源接收和儲存前述的複數個快取存取要求。
29. 如申請專利範圍第 28 項之快取記憶體子系統，其中前述的複數個快取存取要求包含讀取要求、寫入要求和更新要求。
30. 如申請專利範圍第 29 項之快取記憶體子系統，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求、前述的寫入要求和前述的更新要求，以便在前述的複數個快取匯流排上同時傳送，其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是不同的。
31. 如申請專利範圍第 29 項之快取記憶體子系統，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求和前述的寫入要求，以便在前述的複數個快取匯流排上同時傳送，此選擇係根據前述的讀取要求和前述的寫入要求是否包含對應到前一個快取存取要求正在存取的特定儲存區塊或特定儲存子區塊

的標籤值。

32.如申請專利範圍第 29 項之快取記憶體子系統，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求、前述的寫入要求和前述的更新要求，以便在前述的複數個快取匯流排上同時傳送，其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是相同的。

33.如申請專利範圍第 29 項之快取記憶體子系統，其中前述的快取控制器進一步建構成接收選定的成對的快存取取要求，以便在前述的複數個快取匯流排上同時傳送，其中每一對均包含讀取要求和寫入要求，且其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是不同的。

34.如申請專利範圍第 18 項之快取記憶體子系統，其中前述的快取記憶體是第二層快取記憶體。

35.一種包含有每一工作週期可以執行多重存取之快取記憶體的電腦系統，包含：

系統記憶體，其建構成儲存指令和資料；

微處理器，其藉由記憶體匯流排而連接至前述的系統記憶體；

其中前述的微處理器包含：

執行單元，其建構成對前述的指令和資料作運算；

快取記憶體子系統，其連接至前述的執行單元並建構儲存前述的指令和資料以供前述的執行單元執行；

其中前述的快取記憶體子系統包含：

快取記憶體，其包含複數個可獨立存取的儲存區塊；

複數個可獨立存取的標籤單元，其連接到前述的複數個儲存區塊，並建構儲存複數個標籤，在此每一個標籤包含位址標籤值；

複數個快取匯流排，其連接成傳送複數個快取存取要求至每一個前述的複數個儲存區塊；及

快取控制器，其建構成選擇前述的複數個快取存取要求以藉由前述的複數個快取匯流排傳送；

其中前述的快取控制器進一步建構成選擇前述的複數個快取存取要求，以致沒有快取存取衝突存在於任何前述的複數個可獨立存取的標籤單元中；及

其中因應在前述的複數個快取匯流排上傳送的前述的複數個快取存取要求，可同時存取不同的前述的複數個儲存區塊。

36. 如申請專利範圍第 35 項之電腦系統，其中每個前述複數個儲存區塊包含有複數個可獨立存取的儲存子區塊，其中每個前述儲存子區塊建構成在接收到確定非同步的讀取致能訊號時提供輸出資料，及其中前述儲存子區塊中給定的一個儲存子區塊建構成在接收到確定非同步的寫入致能訊號時儲存資料。

- 37.如申請專利範圍第 35 項之電腦系統，其中每一個前述的複數個標籤單元對應至一個不同的前述的複數個儲存區塊。
- 38.如申請專利範圍第 35 項之電腦系統，其中因應接收到前述的複數個快取存取要求，可同時存取不同的前述的複數個標籤單元。
- 39.如申請專利範圍第 35 項之電腦系統，其中如果與前述的複數個快取存取要求中之一者相關聯之位址的區塊位元部份和與特定標籤單元的唯一指定值相吻合時，將前述的特定標籤單元建構成選擇前述的複數個快取存取要求中之一者。
- 40.如申請專利範圍第 35 項之電腦系統，其中前述的複數個快取存取要求包含讀取要求、寫入要求和更新要求。
- 41.如申請專利範圍第 40 項之電腦系統，其中前述的快取控制器進一步建構成選擇以已選擇給定讀取要求來選擇相依的給定寫入要求，以使前述給定寫入要求與前述給定讀取要求不會與任何前述的複數個可獨立存取的標籤單元產生衝突。
- 42.如申請專利範圍第 40 項之電腦系統，其中前述的快取控制器進一步建構成決定是否存在一對給定的讀取與寫入要求與任何前述的複數個可獨立存取的標籤單元不產生衝突，且假使前述一對給定的讀取與寫入要求存在，選擇前述一對給定的讀取與寫入要求以藉由前述的複數個快取匯流排傳送。

- 43.如申請專利範圍第 35 項之電腦系統，其中每一個前述的複數個儲存區塊包含複數個可獨立存取的儲存子區塊，其中任兩個與不同的前述的儲存區塊相關聯的前述的子區塊是可同時存取的，且其中任兩個與相同的儲存區塊相關聯的前述的子區塊可在連續的依序週期存取。
- 44.如申請專利範圍第 35 項之電腦系統，其中前述的複數個快取匯流排包含讀取匯流排、寫入匯流排和更新匯流排。
- 45.如申請專利範圍第 35 項之電腦系統，其中前述的快取控制器包含複數個緩衝器，其建構成從複數個不同的來源接收和儲存前述的複數個快取存取要求。
- 46.如申請專利範圍第 45 項之電腦系統，其中前述的複數個快取存取要求包含讀取要求、寫入要求和更新要求。
- 47.如申請專利範圍第 46 項之電腦系統，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求、前述的寫入要求和前述的更新要求，以便在前述的複數個快取匯流排上同時傳送，其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是不同的。
- 48.如申請專利範圍第 46 項之電腦系統，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求和前述的寫入要求，以便在前述的複數個快取匯流排上同時傳送，此選擇係根據前述的讀取要求和

前述的寫入要求是否包含對應到前一個快取存取要求正在存取的特定儲存區塊或特定儲存子區塊的標籤值。

49. 如申請專利範圍第 46 項之電腦系統，其中前述的快取控制器進一步建構成從前述的複數個緩衝器選擇前述的讀取要求、前述的寫入要求和前述的更新要求，以便在前述的複數個快取匯流排上同時傳送，其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是相同的。

50. 如申請專利範圍第 46 項之電腦系統，其中前述的快取控制器進一步建構成接收選定的成對的快取存取要求以便在前述的複數個快取匯流排上同時傳送，其中每一對均包含讀取要求和寫入要求，且其中與前述的同時讀取要求相關聯之位址的區塊位元部份和與前述的同時寫入要求相關聯之位址的區塊位元部份是不同的。

51. 如申請專利範圍第 35 項之電腦系統，其中前述的快取記憶體是第二層快取記憶體。