

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4888385号  
(P4888385)

(45) 発行日 平成24年2月29日 (2012. 2. 29)

(24) 登録日 平成23年12月22日 (2011. 12. 22)

(51) Int. Cl.	F I	
HO 1 L 21/8238 (2006. 01)	HO 1 L 27/08	3 2 1 C
HO 1 L 27/092 (2006. 01)	HO 1 L 27/08	3 2 1 B
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 2 1
HO 1 L 21/762 (2006. 01)	HO 1 L 29/78	6 1 9 A
HO 1 L 21/76 (2006. 01)	HO 1 L 29/78	6 2 6 C
請求項の数 10 (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2007-505767 (P2007-505767)  
 (86) (22) 出願日 平成17年3月1日 (2005. 3. 1)  
 (86) 国際出願番号 PCT/JP2005/003394  
 (87) 国際公開番号 W02006/092848  
 (87) 国際公開日 平成18年9月8日 (2006. 9. 8)  
 審査請求日 平成19年7月6日 (2007. 7. 6)

(73) 特許権者 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番  
 23  
 (74) 代理人 100090273  
 弁理士 園分 孝悦  
 (72) 発明者 福留 秀暢  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 (72) 発明者 田辺 亮  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、  
 前記半導体基板上に形成されたトランジスタ構造と、  
 前記半導体基板の前記トランジスタ構造の下部に相当する表層部分の下部に形成された、  
 当該表層部分内の下方部位に面内応力を印加する第1の構造体と、  
 前記半導体基板上で前記トランジスタ構造を覆うように、前記表層部分内の上方部位に  
 前記面内応力を印加する第2の構造体と

を含み、

前記第1の構造体及び前記第2の構造体により、前記表層部分に、前記上方部位と前記  
 下方部位とで逆方向の前記面内応力が印加されていることを特徴とする半導体装置。

10

【請求項2】

前記第1の構造体と前記表層部分の下部との重畳量により、前記下方部位に印加される  
 前記面内応力が調節されてなることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1の構造体上に、前記表層部分を活性領域として画定する素子分離構造が当該第  
 1の構造体と同一の材料で一体形成されていることを特徴とする請求項1に記載の半導体  
 装置。

【請求項4】

前記第1の構造体上に、前記表層部分を活性領域として画定する素子分離構造が当該第

20

1の構造体と異なる材料で形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記半導体基板は、絶縁層上に半導体層が設けられてなるSOI基板であり、前記半導体層の一部が前記表層部分とされていることを特徴とする請求項1に記載の半導体装置。

【請求項6】

半導体基板と、  
前記半導体基板上に形成された絶縁層と、  
前記絶縁層上に形成されたシリコン層と、  
前記シリコン層に形成されたソース電極及びドレイン電極と、  
前記シリコン層上に形成されたゲート絶縁膜及びゲート電極と、  
前記シリコン層の少なくとも底面の一部に接し、前記シリコン層に第1応力を加える素子分離絶縁膜と、  
前記ソース電極、前記ドレイン電極及び前記ゲート電極を覆い、前記第1応力とは逆方向の応力である第2応力を前記シリコン層に加える応力絶縁膜と  
を含むことを特徴とする半導体装置。

10

【請求項7】

絶縁層上に半導体層が形成されてなるSOI基板において、前記半導体層の素子分離領域及び前記絶縁層の前記素子分離領域に整合し前記素子分離領域よりも幅広の第1の領域に溝を形成する工程と、  
前記溝内に第1の絶縁材料を充填し、前記第1の領域に第1の構造体を、前記素子分離領域に素子分離構造を一体形成する工程と、  
前記素子分離構造により画定された前記半導体膜の活性領域上に、トランジスタ構造を形成する工程と、  
前記トランジスタ構造を覆うように、第2の絶縁材料からなる第2の構造体を形成する工程と  
を含み、  
前記第1及び第2の絶縁材料の密度をそれぞれ調節して前記第1及び第2の構造体を形成することにより、前記活性領域内の上方部位と下方部位とで逆方向の面内応力を印加することを特徴とする半導体装置の製造方法。

20

30

【請求項8】

前記溝を形成するに際し、前記第1の領域の大きさを調節して、前記第1の構造体と前記活性領域の下部との重畳量により前記下方部位に印加される前記面内応力を制御することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】

絶縁層上に半導体層が形成されてなるSOI基板において、前記半導体層の素子分離領域及び前記絶縁層の前記素子分離領域に整合し前記素子分離領域よりも幅広の第1の領域に溝を形成する工程と、  
前記溝内に第1の絶縁材料を充填する工程と、  
前記溝内の前記第1の絶縁材料のうち、前記素子分離領域に相当する部分を除去し、前記第1の領域に第1の構造体を形成する工程と、  
前記第1の構造体上の前記溝内に、前記第1の絶縁材料と異なる第3の絶縁材料を充填し、前記素子分離領域に素子分離構造を一体形成する工程と、  
前記素子分離構造により画定された前記半導体膜の活性領域上に、トランジスタ構造を形成する工程と、  
前記トランジスタ構造を覆うように、第2の絶縁材料からなる第2の構造体を形成する工程と  
を含み、  
前記第1及び第2の絶縁材料の密度をそれぞれ調節して前記第1及び第2の構造体を形成することにより、前記活性領域内の上方部位と下方部位とで逆方向の面内応力を印加す

40

50

ることを特徴とする半導体装置の製造方法。

【請求項10】

前記溝を形成するに際し、前記第1の領域の大きさを調節して、前記第1の構造体と前記活性領域の下部との重畳量により前記下方部位に印加される前記面内応力を制御することを特徴とする請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタ構造のチャネル領域に歪みを導入してなる半導体装置及びその製造方法に関し、特にSOI基板を用いた半導体装置に適用して好適である。

10

【背景技術】

【0002】

従来より、MOSトランジスタにおける移動度を向上させるため、チャネル領域の結晶格子に歪みを導入する技術が開発されている。歪み導入の技術としては、例えば層間絶縁膜を用いる方法、ソース/ドレインにSiGeを埋め込む方法、STI(Shallow Trench Isolation)を用いる方法、特許文献1で開示する方法等がある。

【0003】

層間絶縁膜を用いる方法では、MOSトランジスタのゲート電極を覆うように堆積する層間絶縁膜の密度等を調節し、チャネル領域に面内応力を与える。

【0004】

20

また、ソース/ドレインにSiGeを埋め込む方法では、シリコン基板(半導体基板)において、MOSトランジスタのソース/ドレインの形成部位に溝を形成し、当該溝を埋め込むように、SiGe層をエピタキシャル成長させる。SiGeはSiと格子定数が異なるため、チャネル領域に横方向から面内応力が与えられる。

【0005】

また、STIを用いる方法では、シリコン基板の素子分離領域に溝を形成し、当該溝に絶縁材料を充填する。絶縁材料の密度等を調節することにより、チャネル領域に面内応力を与える。

【0006】

また、特許文献1の方法では、SiGe層上にシリコン層を積層し、両者の格子定数の違いを利用して、シリコン層に引っ張り応力を与える。

30

【0007】

近時では、シリコン基板の活性領域の厚みを薄くし、半導体素子の更なる高性能・高集積化を実現すべく、絶縁層上に薄いシリコン層(半導体層)が設けられてなるSOI(Silicon(Semiconductor) On Insulator)基板が注目されている。このSOI基板を例えばCMOSトランジスタに用いることにより、ドレインとシリコン層との間の容量を低減させることができ、更なる高速動作が可能となる。

【0008】

しかしながら、SOI基板のシリコン層のチャネル領域に歪みを導入する場合、以下のような問題が発生する。

40

移動度を向上させるには、活性領域の表面近傍に歪みを導入することを要する。いわゆるバルク型のシリコン基板では、例えば層間絶縁膜により歪み導入を行う場合、シリコン基板の表面近傍で強い応力が加わり、シリコン基板の深部では応力は殆ど加わることはない(応力が深部で開放状態となる)。

【0009】

これに対してSOI基板では、活性領域となるシリコン層が極めて薄いため、シリコン層の深部で応力の開放状態を得ることができず、シリコン層全体に略一律の引っ張り応力または圧縮応力が加わってしまい、シリコン層全体に均一の歪みが導入される。従って、十分な移動度を得ることができないという問題がある。

【0010】

50

この問題は、ソース/ドレインにSiGeを埋め込む方法やSTIを用いる方法でも同様に発生する。即ちこれらの場合、シリコン層の活性領域となる部分を言わば側面から挟持するようにSiGe層やSTIが形成されるため、必然的にシリコン層全体に略一律の引っ張り応力または圧縮応力が加わってしまい、シリコン層全体に均一の歪みが導入されることになる。更には前者の場合、シリコン層の浅い溝にSiGe層を十分にエピタキシャル成長させることは困難である。

【0011】

また、特許文献1の方法では、シリコン層の下部のSiGe層によりシリコン層に引っ張り応力を与えるが、ソース/ドレインに用いる砒素などの不純物がSiGe層ではシリコン層よりも拡散し易く、ショートチャネル化が困難であるという問題もある。

10

【0012】

今後、半導体素子への更なる高性能・高集積化させる要請に応えるべく、SOI基板のシリコン層を10nm程度以下まで薄く形成することが要求されることに鑑みるに、上記した従来の諸方法では、このような極薄のシリコン層に効果的に歪みを導入することは益々困難を極める現況になる。

【0013】

【特許文献1】特開2003-303971号公報

【発明の開示】

【0014】

本発明は、上記の課題に鑑みてなされたものであり、SOI基板のシリコン層のような薄い活性領域の表面近傍へ局所的に所望の歪みを安定に与え、容易且つ確実に極めて高い移動度を得ることを可能とする半導体装置及びその製造方法を提供することを目的とする。

20

【0015】

本発明の半導体装置は、半導体基板と、前記半導体基板上に形成されたトランジスタ構造と、前記半導体基板の前記トランジスタ構造の下部に相当する表層部分の下部に形成された、当該表層部分内の下方部位に面内応力を印加する第1の構造体と、前記半導体基板上で前記トランジスタ構造を覆うように、前記表層部分内の上方部位に前記面内応力を印加する第2の構造体とを含み、前記第1の構造体及び前記第2の構造体により、前記表層部分に、前記上方部位と前記下方部位とで逆方向の前記面内応力が印加されている。

30

本発明の半導体装置の別態様は、半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層上に形成されたシリコン層と、前記シリコン層に形成されたソース電極及びドレイン電極と、前記シリコン層上に形成されたゲート絶縁膜及びゲート電極と、前記シリコン層の少なくとも底面の一部に接し、前記シリコン層に第1応力を加える素子分離絶縁膜と、前記ソース電極、前記ドレイン電極及び前記ゲート電極を覆い、前記第1応力とは逆方向の応力である第2応力を前記シリコン層に加える応力絶縁膜とを含む。

【0016】

本発明の半導体装置の製造方法は、絶縁層上に半導体層が形成されてなるSOI基板において、前記半導体層の素子分離領域及び前記絶縁層の前記素子分離領域に整合し前記素子分離領域よりも幅広の第1の領域に溝を形成する工程と、前記溝内に第1の絶縁材料を充填し、前記第1の領域に第1の構造体を、前記素子分離領域に素子分離構造を一体形成する工程と、前記素子分離構造により画定された前記半導体膜の活性領域上に、トランジスタ構造を形成する工程と、前記トランジスタ構造を覆うように、第2の絶縁材料からなる第2の構造体を形成する工程とを含み、前記第1及び第2の絶縁材料の密度をそれぞれ調節して前記第1及び第2の構造体を形成することにより、前記活性領域内の上方部位と下方部位とで逆方向の面内応力を印加する。

40

【0017】

本発明の半導体装置の製造方法の別態様は、絶縁層上に半導体層が形成されてなるSOI基板において、前記半導体層の素子分離領域及び前記絶縁層の前記素子分離領域に整合し前記素子分離領域よりも幅広の第1の領域に溝を形成する工程と、前記溝内に第1の絶

50

縁材料を充填する工程と、前記溝内の前記第 1 の絶縁材料のうち、前記素子分離領域に相当する部分を除去し、前記第 1 の領域に第 1 の構造体を形成する工程と、前記第 1 の構造体上の前記溝内に、前記第 1 の絶縁材料と異なる第 3 の絶縁材料を充填し、前記素子分離領域に素子分離構造を一体形成する工程と、前記素子分離構造により画定された前記半導体膜の活性領域上に、トランジスタ構造を形成する工程と、前記トランジスタ構造を覆うように、第 2 の絶縁材料からなる第 2 の構造体を形成する工程とを含み、前記第 1 及び第 2 の絶縁材料の密度をそれぞれ調節して前記第 1 及び第 2 の構造体を形成することにより、前記活性領域内の上方部位と下方部位とで逆方向の面内応力を印加する。

【図面の簡単な説明】

【 0 0 1 8 】

10

【図 1 A】図 1 A は、第 1 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 B】図 1 B は、第 1 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 C】図 1 C は、第 1 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 D】図 1 D は、第 1 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 2 A】図 2 A は、第 1 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

20

【図 2 B】図 2 B は、第 1 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 3 A】図 3 A は、第 1 の実施形態による CMOS トランジスタの製造方法を示す概略平面図である。

【図 3 B】図 3 B は、第 1 の実施形態による CMOS トランジスタの製造方法を示す概略平面図である。

【図 3 C】図 3 C は、第 1 の実施形態による CMOS トランジスタの製造方法を示す概略平面図である。

【図 3 D】図 3 D は、第 1 の実施形態による CMOS トランジスタの製造方法を示す概略平面図である。

30

【図 4】図 4 は、活性領域に印加される各面内応力を説明するための概略断面図である。

【図 5】図 5 は、活性領域上の位置と印加されている応力との関係を示す特性図である。

【図 6】図 6 は、活性領域上の位置と印加されている応力との関係を示す特性図である。

【図 7 A】図 7 A は、第 1 の構造体と活性領域との重畳量を調節する工程を示す概略断面図である。

【図 7 B】図 7 B は、第 1 の構造体と活性領域との重畳量を調節する工程を示す概略断面図である。

【図 8 A】図 8 A は、第 1 の構造体と活性領域との重畳量を調節する工程を示す概略断面図である。

【図 8 B】図 8 B は、第 1 の構造体と活性領域との重畳量を調節する工程を示す概略断面図である。

40

【図 9 A】図 9 A は、第 2 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 9 B】図 9 B は、第 2 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 9 C】図 9 C は、第 2 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 9 D】図 9 D は、第 2 の実施形態による CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 0】図 1 0 は、活性領域に印加される各面内応力を説明するための概略断面図であ

50

る。

【発明を実施するための最良の形態】

【0019】

- 本発明の基本骨子 -

本発明者は、活性領域がSOI基板のシリコン層のように極薄のものである場合でも、その表面近傍に局所的な歪みを導入すべく、半導体基板の活性領域に該たる表層部分（SOI基板ではシリコン層の活性領域）に、当該表層部分内の上方部位と下方部位とで逆方向の面内応力（表層部分の面内方向の応力）を印加し、これにより上方部位と下方部位とで結晶格子に逆方向の歪みを導入することに想到した。この場合、上方部位に当該トランジスタ構造の移動度向上に必要な方向の歪みを、下方部位にはこれとは逆の歪みをそれぞれ導入する。この技術思想を実現することにより、下方部位における上方部位と逆方向の歪みが当該上方部位の歪みを際立たせ、例えば厚みが10nm以下の極薄の表層部分であっても、必要な歪みを表層部分の表面近傍に局所的に導入することができる。

10

【0020】

具体的に、P型MOSトランジスタの場合には、活性領域内の下方部位には引っ張り応力を、上方部位には圧縮応力をそれぞれ印加する。他方、N型MOSトランジスタの場合には、活性領域内の下方部位には圧縮応力を、上方部位には引っ張り応力をそれぞれ印加する。

【0021】

本発明の技術思想を実現する具体的手法としては、半導体基板の表層部分（SOI基板ではシリコン層）の活性領域の下部及び上部に、互いに逆方向の面内応力を付与する第1及び第2の構造体を設ける。第2の構造体としては、半導体基板上でトランジスタ構造を覆う絶縁材料（第2の絶縁材料）を堆積することが好適である。他方、第1の構造体としては、表層部分の活性領域の下部で当該活性領域を周縁から支持する形状のものが良い。SOI基板の場合であれば、絶縁層の活性領域下（で活性領域の周縁）に相当する部位を除去し、所定の絶縁材料（第1の絶縁材料）を充填することが好適である。

20

【0022】

本発明では、活性領域に印加する各面内応力の方向及び大きさをそれぞれ制御することにより、活性領域の表層部分の表面近傍に与える局所的な歪み量を調節することができる。活性領域に印加する各面内応力の具体的な制御法には、以下のような手法がある。

30

【0023】

(1) 第1、第2の絶縁材料の密度を調節して、第1、第2の構造体を形成する。

絶縁材料をその周囲の構造物よりも相対的により密となるように堆積すれば、活性領域に圧縮応力を与える傾向が強まり、逆に相対的により疎となるように堆積すれば、活性領域に引っ張り応力を与える傾向が強まる。従って、第1、第2の絶縁材料として同一のものを用いても良く、一方を相対的により密となるように、他方を相対的により疎となるように、しかもこれら疎密の度合いをそれぞれ調節して堆積することにより、各面内応力の方向及び大きさを所望に制御することができる。

【0024】

(2) 第1の構造体を、その活性領域の下部との重畳量を調節して形成する。

40

この重畳量が多いほど、表層部分内の下方部位に印加する面内応力も増加する。下方部位に印加する面内応力が増加すれば、表層部分内の上方部位の歪みも助長されて大きくなる。従って、当該重畳量を調節するように第1の構造体を形成することにより、表層部分内の下方部位における面内応力の方向及び大きさを所望に制御し、必要な歪みを調節することができる。

【0025】

上記の(1)、(2)の手法を適宜組み合わせ、面内応力の方向及び大きさを容易且つ確実にきめ細かく制御することにより、所望の歪みが得られる。ここで、第1の構造体上にSTIの素子分離構造を形成するが、このSTIを第1の絶縁材料と異なる第3の絶縁材料から形成し、STIにより活性領域に全体的に印加される面内応力を微調節しても良

50

い。例えば、第3の絶縁材料として、第1の絶縁材料よりも言わば柔らかい（従って密度が疎となり易い）ものを用いてSTIを形成することにより、活性領域にその側面から全体的に印加される面内応力を適宜緩和することができる。

【0026】

- 本発明を適用した具体的な諸実施形態 -

以下、具体的な諸実施形態について、図面を参照しながら詳細に説明する。以下の各実施形態では、半導体装置としてCMOSトランジスタを例示し、説明の便宜上、CMOSトランジスタの構成をその製造方法と共に説明する。

【0027】

（第1の実施形態）

図1A～図1D及び図2A，図2Bは、第1の実施形態によるCMOSトランジスタの製造方法を工程順に示す概略断面図、図3A～図3Dは図1及び図2中の所定の工程における状態を示す概略平面図である。ここで、図1及び図2中の破線I-Iに沿った断面が図3に対応する。

【0028】

本実施形態では、図1Aに示すような半導体基板、ここではSOI基板1を用意する。このSOI基板1は、シリコン基体21上に絶縁層22を介して薄いシリコン層23が設けられてなるものである。シリコン層23は、高い動作速度を得るために膜厚が15nm以下、ここでは10nm程度のものを用いる。SOI基板1において、図中、左側がP型MOSトランジスタの形成領域Rp、右側がN型MOSトランジスタの形成領域Rnとなる（以下の実施形態では、各工程においてRp形成、Rn形成の順で行うが、その順序に特に頓着するものではなく、Rn形成、Rp形成の順で行ってもよい。）。

【0029】

まず、図1B，図3Aに示すように、素子分離領域に溝2a，2bを形成する。

シリコン層23の素子分離領域をリソグラフィー及び絶縁層22をエッチングストッパーとしたドライエッチングにより加工し、形成領域Rpには溝2aを、形成領域Rnには2bを形成する。

【0030】

続いて、図1C，図3Bに示すように、溝2a，2bに整合するように絶縁層22を加工する。

溝2a，2bが形成されたシリコン層23をマスクとして、HF溶液等をエッチング液として用いて絶縁層22をウェットエッチングする。このウェットエッチングにより、溝2a，2bに整合して絶縁層22が除去され、絶縁層22に溝3a，3bが形成される。ここで、溝3a，3bは、エッチング液の回り込みにより溝2a，2bよりも幅広に形成される。溝2a，2bと溝3a，3bとは一体となるため、これらをまとめて溝4a，4bと称する。

【0031】

続いて、図1D，図3Cに示すように、STI6a，6bと第1の構造体7a，7bとを一体形成する。

まず、例えばCVD法により、溝4a，4bの内壁面を覆うように、膜厚1nm程度の薄いシリコン酸化膜5を形成する。このシリコン酸化膜5は、後述する窒化シリコンとの密着性等を向上させるものである。

【0032】

次に、リソグラフィーにより、N型MOSトランジスタの形成領域Rnのみを覆うレジストマスク（不図示）を形成する。この状態で、例えばCVD法により、溝4aを埋め込むように第1の絶縁材料、ここでは窒化シリコンをシリコン層23上に堆積する。ここでは、CVDの原料ガスとしてジクロロシランとアンモニア等を用い、溝4a（溝3a）内で窒化シリコンの密度が比較的疎となるように、ガス流量等の条件を制御する。そして、シリコン層23をストッパーとして、シリコン層23上の窒化シリコンを例えば化学機械研磨（Chemical Mechanical Polishing：CMP）して平坦化する。この平坦化により、

10

20

30

40

50

密度が比較的疎の窒化シリコンで溝 4 a が充填され、溝 2 a の部分には素子分離構造である S T I 6 a が、溝 3 a の部分には第 1 の構造体 7 a が形成され、溝 4 a 内で両者が一体形成される。その後、レジストマスクを  $O_2$  プラズマを用いた灰化処理等により除去する。

【 0 0 3 3 】

次に、リソグラフィーにより、P型MOSトランジスタの形成領域 R p のみを覆うレジストマスク（不図示）を形成する。この状態で、例えばCVD法により、溝 4 b を埋め込むように第 1 の絶縁材料、ここでは窒化シリコンをシリコン層 2 3 上に堆積する。ここでは、CVDの原料ガスとしてジクロロシランとアンモニア等を用い、溝 4 b（溝 3 b）内で窒化シリコンの密度が比較的密となるように、ガス流量等の条件を制御する。そして、シリコン層 2 3 をストッパーとして、シリコン層 2 3 上の窒化シリコンを例えばCMPにより平坦化する。この平坦化により、密度が比較的疎の窒化シリコンで溝 4 b が充填され、溝 2 b の部分には素子分離構造である S T I 6 b が、溝 3 b の部分には第 1 の構造体 7 b が形成され、溝 4 b 内で両者が一体形成される。その後、レジストマスクを  $O_2$  プラズマを用いた灰化処理等により除去する。

10

【 0 0 3 4 】

ここで、シリコン層 2 3 には、S T I 6 a により P M O S トランジスタの活性領域 2 3 a が、S T I 6 b により N M O S トランジスタの活性領域 2 3 b がそれぞれ画定される。また、第 1 の構造体 7 a は、活性領域 2 3 a の下部で当該活性領域 2 3 a を周縁から支持し、その材料である窒化シリコンが比較的疎に形成されているため、活性領域 2 3 a との相対的關係で当該活性領域 2 3 a に引っ張り応力を与える。他方、第 1 の構造体 7 b は、活性領域 2 3 b の下部で当該活性領域 2 3 b を周縁から支持し、その材料である窒化シリコンが比較的密に形成されているため、活性領域 2 3 b との相対的關係で当該活性領域 2 3 b に圧縮応力を与える。

20

【 0 0 3 5 】

続いて、図 2 A , 図 3 D に示すように、活性領域 2 3 a , 2 3 b に M O S トランジスタ構造 1 0 a , 1 0 b をそれぞれ形成する。

まず、例えば熱酸化法等により活性領域 2 3 a , 2 3 b の表面に膜厚 1 n m 程度のシリコン酸チツ化膜をそれぞれ成長し、ゲート絶縁膜 8 を形成する。次に、CVD法等により、全面に多結晶シリコン膜を膜厚 1 0 0 n m 程度以下に堆積し、これをリソグラフィー及びドライエッチングにより加工して、活性領域 2 3 a , 2 3 b 上にゲート絶縁膜 8 を介してゲート電極 9 a , 9 b をそれぞれ形成する。

30

【 0 0 3 6 】

次に、リソグラフィーにより、活性領域 2 3 b のみを覆うレジストマスク（不図示）を形成する。この状態で、ゲート電極 9 a をマスクとして活性領域 2 3 a におけるゲート電極 9 a の両側の部分に P 型不純物、ここでは B を加速エネルギーが  $0.2 \text{ keV} \sim 2 \text{ keV}$ 、ドーズ量が  $1 \times 10^{14} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$  の条件でイオン注入し、L D D (Light Doped Drain) 領域 1 1 a を形成する。そして、レジストマスクを  $O_2$  プラズマを用いた灰化処理等により除去する（不純物として B F 2 を選んだ場合はエネルギー及びドーズ量を最適に調整する。また、G e、N、F、C、A r 等を追加注入してもよい。）。

40

【 0 0 3 7 】

次に、リソグラフィーにより、活性領域 2 3 a のみを覆うレジストマスク（不図示）を形成する。この状態で、ゲート電極 9 b をマスクとして活性領域 2 3 a におけるゲート電極 9 b の両側の部分に N 型不純物、ここでは A s を加速エネルギーが  $1 \text{ keV} \sim 5 \text{ keV}$ 、ドーズ量が  $1 \times 10^{14} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$  の条件でイオン注入し、L D D 領域 1 1 b を形成する。そして、レジストマスクを  $O_2$  プラズマを用いた灰化処理等により除去する（不純物として P 等を選んだ場合はエネルギー及びドーズ量を最適に調整する。また、N、F、C、A r 等を追加注入してもよい。）。

【 0 0 3 8 】

50

次に、例えばCVD法により、ゲート電極9a, 9bを覆うように全面に絶縁膜、例えばシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)して、ゲート電極9a, 9bの両側面のみシリコン酸化膜を残し、サイドウォールスペース12を形成する。

【0039】

次に、リソグラフィーにより、活性領域23bのみを覆うレジストマスク(不図示)を形成する。この状態で、ゲート電極9a及びサイドウォールスペース12をマスクとして活性領域23aにおけるサイドウォールスペース12の両側の部分にP型不純物、ここではBを加速エネルギーが0.2keV~5keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、LDD領域11aと一部重畳されるソース/ドレイン13aを形成する。そして、レジストマスクを $\text{O}_2$ プラズマを用いた灰化処理等により除去する。

10

【0040】

次に、リソグラフィーにより、活性領域23aのみを覆うレジストマスク(不図示)を形成する。この状態で、ゲート電極9b及びサイドウォールスペース12をマスクとして活性領域23bにおけるサイドウォールスペース12の両側の部分にN型不純物、ここではPを加速エネルギーが0.5keV~15keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入し、LDD領域11bと一部重畳されるソース/ドレイン13bを形成する。そして、レジストマスクを $\text{O}_2$ プラズマを用いた灰化処理等により除去する。その後、不純物の活性化のために1100℃以下で熱処理を行う。

20

【0041】

上記の諸工程により、P型MOSトランジスタの形成領域Rpには、活性領域23a上にゲート絶縁膜8を介してパターン形成されたゲート電極9aと、活性領域23aのゲート電極9aの両側に該たる部分に形成されたLDD領域11a及びこれと一部重複するソース/ドレイン13aとを備えたトランジスタ構造10aが形成される(但し、本実施形態では詳述していないが、選択シリコンエピ成長にてせり上げ構造を形成した後に、上記ソース/ドレイン構造の形成をしてもよい。)

【0042】

他方、N型MOSトランジスタの形成領域Rnには、活性領域23b上にゲート絶縁膜8を介してパターン形成されたゲート電極9bと、活性領域23bのゲート電極9bの両側に該たる部分に形成されたLDD領域11b及びこれと一部重複するソース/ドレイン13bとを備えたトランジスタ構造10bが形成される(但し、本実施形態では詳述していないが、選択シリコンエピ成長にてせり上げ構造を形成した後に、上記ソース/ドレイン構造の形成をしてもよい。)

30

【0043】

続いて、図2Bに示すように、第2の構造体14a, 14bを形成する。

まず、リソグラフィーにより、活性領域23bのみを覆うレジストマスク(不図示)を形成する。この状態で、活性領域23a上でゲート電極9a及びサイドウォールスペース12を覆うように第2の絶縁材料、ここでは窒化シリコンを例えばALD(Atomic Layer Deposition)法により、例えば膜厚50nm~100nm程度に堆積し、第2の構造体14aを形成する。ここでは、活性領域23a上で窒化シリコンの密度が比較的密となるように窒化シリコンの成膜条件を制御する。そして、レジストマスクを $\text{O}_2$ プラズマを用いた灰化処理等により除去する。

40

【0044】

次に、リソグラフィーにより、活性領域23aのみを覆うレジストマスク(不図示)を形成する。この状態で、活性領域23b上でゲート電極9b及びサイドウォールスペース12を覆うように第2の絶縁材料、ここでは窒化シリコンを例えばALD法により、例えば膜厚50nm~100nm程度に堆積し、第2の構造体14aを形成する。ここでは、活性領域23a上で窒化シリコンの密度が比較的疎となるように窒化シリコンの成膜条件

50

を制御する。そして、レジストマスクを $O_2$ プラズマを用いた灰化処理等により除去する。

【0045】

しかる後、全面に層間絶縁膜を形成し、接続孔や各種配線構造（共に不図示）の形成等を経て、CMOSトランジスタを完成させる。

【0046】

ここで、第2の構造体14aは、ゲート電極9a及びサイドウォールスペーサ12を介して活性領域23aを上部から支持し、その材料である窒化シリコンが比較的密に形成されているため、活性領域23aとの相対的關係で当該活性領域23aに圧縮応力を与える。他方、第2の構造体14bは、ゲート電極9b及びサイドウォールスペーサ12を介して活性領域23bを上部から支持し、その材料である窒化シリコンが比較的疎に形成されているため、活性領域23bとの相対的關係で当該活性領域23bに引っ張り応力を与える。

10

【0047】

図4（図示の便宜上、LDD領域及びソース/ドレインの記載を省略する）に示すように、本実施形態のCMOSトランジスタでは、P型MOSトランジスタの形成領域Rp側においては、活性領域23aに対して、その内部の下方部位では第1の構造体7aにより引っ張り応力（矢印A1）が、上方部位では第2の構造体14aにより圧縮応力（矢印A2）がそれぞれ印加され、活性領域23aのチャンネル領域における表面近傍には結晶格子を収縮させる歪みが局所的に導入される。この局所的な歪みにより、P型MOSトランジスタにおける移動度が大幅に向上する。

20

【0048】

他方、N型MOSトランジスタの形成領域Rn側においては、活性領域23bに対して、その内部の下方部位では第1の構造体7bにより圧縮応力（矢印B1）が、上方部位では第2の構造体14bにより引っ張り応力（矢印B2）がそれぞれ印加され、活性領域23bのチャンネル領域における表面近傍には結晶格子を収縮させる歪みが局所的に導入される。この局所的な歪みにより、N型MOSトランジスタにおける移動度が大幅に向上する。

【0049】

本実施形態では、第1の構造体7a、7b及び第2の構造体14a、14bが活性領域23a、23b内の上下方部位に与える各面内応力の方向・大きさを調節することにより、活性領域23a、23bに印加される応力を制御することができる。

30

【0050】

ここで、本実施形態によるCMOSトランジスタにおいて、そのP型MOSトランジスタを例に採り、活性領域23a内の上下方部位に与える各面内応力の調節による実効について調べた実験について説明する。

【0051】

第2の構造体14aの圧縮応力を一定とし、第1の構造体7aの引っ張り応力を変えて、活性領域23aに印加される応力について調べた。その結果を図5に示す。ここで、横軸が活性領域23a上における相対的位置を、縦軸が印加されている応力（MPa）をそれぞれ表す。この実験では、第1の構造体7aの引っ張り応力：第2の構造体14aの圧縮応力を、1：1、2：1、3：1とした3種類の試料1、2、3について調べた。

40

【0052】

図5から明らかのように、先ず試料1、2、3に共通して、活性領域23aの中央部位（0.2付近であり、トランジスタ構造11aのチャンネル領域に該たる）で最も大きな応力（正の応力）が加わり、活性領域23aの両端部位（0.1、0.3付近）では中央部位とは逆方向の応力（負の応力）が加わっていることが判る。これは、活性領域23aには言わばその中央部位を中心とした下方への曲げ応力が印加されていることを意味する。この曲げ応力により、極薄の活性領域23a内において、活性領域23aの中央部位における最も大きな正の応力により、活性領域23aのチャンネル領域における表面近傍に結晶

50

格子を収縮させる大きな歪みが局所的に導入される。

【0053】

また、この実験では、活性領域23a上の各位置における応力は、試料3が最も大きい。これは、第1の構造体7aが活性領域23a内の下方部位に与える引っ張り応力が大きいほど、上記の曲げ応力が大きくなり、活性領域23aのチャンネル領域における表面近傍における結晶格子を収縮させる局所的な歪みが大きくなる傾向があることを意味している。

【0054】

本実施形態では、第1の構造体7a, 7b及び第2の構造体14a, 14bの形成条件や形状等を調節することにより、活性領域23a, 23b内の上下方部位に与える各面内応力の方向・大きさを制御することができる。具体的には、以下のような諸手法がある。

【0055】

(1)

第1の構造体7a, 7b及び第2の構造体14a, 14bをその密度をそれぞれ調節して形成することにより、活性領域23a, 23bの上下方部位に与える各面内応力の大きさを調節し、ひいては活性領域23a, 23bの表面近傍における局所的な歪み量を制御する。

(2)

第1の構造体7a, 7bと活性領域23a, 23bとの重畳量を調節することにより、活性領域23a, 23bの下方部位に与える各面内応力の大きさを調節し、ひいては活性領域23a, 23bの表面近傍における局所的な歪み量を制御する。

【0056】

(1)の手法について

各構造体が活性領域との関係で活性領域の上下方部位の一方に引っ張り応力を与える範囲内において、当該構造体を疎に形成するほど引っ張り応力が強まり、密に形成するほど引っ張り応力が弱まる。他方、各構造体が活性領域との関係で活性領域の上下方部位の一方に圧縮応力を与える範囲内において、当該構造体を密に形成するほど圧縮応力が強まり、疎に形成するほど圧縮応力が弱まる。従って、第1の構造体7a, 7b及び第2の構造体14a, 14bをその密度をそれぞれ調節して形成することにより、活性領域23a, 23bの上下方部位に与える各面内応力の大きさを制御できる。

【0057】

(2)の手法について

ここで、本実施形態によるCMOSトランジスタにおいて、そのP型MOSトランジスタを例に採り、(2)の手法の各実効について調べた実験について説明する。

【0058】

第1の構造体7aと活性領域23a, 23bとの重畳量を変えて、活性領域23aに印加される応力について調べた。その結果を図6に示す。ここで、横軸が活性領域23a上における相対的位置を、縦軸が印加されている応力(MPa)をそれぞれ表す。この実験では、重畳量が少ない試料1と、これに比して重畳量が多い試料2との2種類について調べた。

【0059】

図6から明らかのように、先ず図5の実験と同様に、試料1, 2に共通して、活性領域23aのチャンネル領域における表面近傍に結晶格子を収縮させる大きな歪みが局所的に導入されていることが判る。

【0060】

この実験では、活性領域23a上の各位置における応力は、試料2よりも試料1の方が大きい値を示している。これは、第1の構造体7aと活性領域23a, 23bとの重畳量が多いほど、活性領域23a内の下方部位に与える引っ張り応力が大きくなる傾向があることを意味している。即ち、各構造体が活性領域との関係で活性領域の上下方部位の一方に引っ張り応力を与える範囲内において、重畳量が多いほど引っ張り応力が強まり、重畳

10

20

30

40

50

量が少ないほど引っ張り応力が弱まることが推察される。他方、各構造体が活性領域との関係で活性領域の上下方部位の一方に圧縮応力を与える範囲内において、重畳量が多いほど圧縮応力が強まり、重畳量が少ないほど圧縮応力が弱まることが推察される。従って、第1の構造体7aを活性領域23a, 23bとの重畳量を調節するように形成することにより、活性領域23a, 23bの下方部位に与える各面内応力の大きさを制御できることが判明した。

【0061】

具体的に、第1の構造体7a, 7bと活性領域23a, 23bとの重畳量を調節するには、図1C, 図3Bにおいて、絶縁層22の溝3a, 3bの幅を制御すべく、必要な重畳量の多少に合わせてウェットエッチング量を調節すれば良い。重畳量Mが多い場合を図7Aに、重畳量Mが少ない場合を図7Bにそれぞれ示す。

10

【0062】

そして、図1D, 図3Cにおいて、このように幅の制御された溝3a, 3bに溝2a, 2bと共に第1の絶縁材料を充填することにより、所望の重畳量とされた第1の構造体7a, 7bが形成される。重畳量Mが多い場合を図8Aに、重畳量Mが少ない場合を図8Bにそれぞれ示す。なお、図7及び図8では図示の便宜上、P型MOSトランジスタ側の形成領域Rpのみを示す。

【0063】

ここで、上記した重畳量の調節は、P型MOSトランジスタ側の形成領域RpとN型MOSトランジスタ側の形成領域Rnとの各々で独立に行うことができる。従って例えば、形成領域Rpでは重畳量を多く、形成領域Rnでは重畳量を少なく調節したり、或いはその逆に調節することが自在に可能である。

20

【0064】

以上説明したように、本実施形態によれば、トランジスタ構造の性質に応じて、極薄の活性領域であってもその内部の上下方部位に逆方向の面内応力を、それぞれ所望に調節された大きさで与えることができる。従って、SOI基板のシリコン層のような薄い活性領域の表面近傍へ局所的に所望の歪みを安定に与え、容易且つ確実に極めて高い移動度を得ることが可能となる。

【0065】

更に、本実施形態では、活性領域となるシリコン層に接触するSiGe層等が不要であるので、不測の不純物拡散等の懸念することなく、ショートチャネル化が可能となる。

30

【0066】

(第2の実施形態)

図9A~図9Dは、第2の実施形態によるCMOSトランジスタの製造方法のうち、第1の実施形態と異なる主要工程について順に示す概略断面図である。なお、第1の実施形態と同様の構成部材等については同符号を記す(以下の実施形態では、各工程においてRp形成、Rn形成の順で行うが、その順序に特に頓着するものではなく、Rn形成、Rp形成の順で行ってもよい。)

【0067】

本実施形態では、先ず第1の実施形態と同様に、図1AのSOI基板1を用いて、図1B, 図1Cの各工程を実行する。

40

【0068】

続いて、図9Aに示すように、溝4a, 4bを第1の絶縁材料で充填する。

先ず、例えばCVD法により、溝4a, 4bの内壁面を覆うように、膜厚1nm程度の薄いシリコン酸化膜5を形成する。このシリコン酸化膜5は、第1の絶縁材料として用いる窒化シリコンとの密着性等を向上させるものである。

【0069】

次に、リソグラフィーにより、N型MOSトランジスタの形成領域Rnのみを覆うレジストマスク(不図示)を形成する。この状態で、例えばCVD法により、溝4aを埋め込むように第1の絶縁材料、ここでは窒化シリコンをシリコン層23上に堆積する。ここで

50

は、CVDの原料ガスとしてジクロロシランとアンモニア等を用い、溝4a(溝3a)内で窒化シリコンの密度が比較的疎となるように、ガス流量等の条件を制御する。そして、シリコン層23をストッパーとして、シリコン層23上の窒化シリコンを例えば化学機械研磨(Cheical Mechanical Polishing: CMP)して平坦化する。この平坦化により、密度が比較的疎の窒化シリコンで溝4aが充填された状態となる。その後、レジストマスクをO<sub>2</sub>プラズマを用いた灰化処理等により除去する。

【0070】

次に、リソグラフィーにより、P型MOSトランジスタの形成領域Rpのみを覆うレジストマスク(不図示)を形成する。この状態で、例えばCVD法により、溝4bを埋め込むように第1の絶縁材料、ここでは窒化シリコンをシリコン層23上に堆積する。ここで、CVDの原料ガスとしてジクロロシランとアンモニア等を用い、溝4b(溝3b)内で窒化シリコンの密度が比較的密となるように、ガス流量等の条件を制御する。そして、シリコン層23をストッパーとして、シリコン層23上の窒化シリコンを例えばCMPにより平坦化する。この平坦化により、密度が比較的疎の窒化シリコンで溝4bが充填された状態となる。その後、レジストマスクをO<sub>2</sub>プラズマを用いた灰化処理等により除去する。

10

【0071】

続いて、図9Bに示すように、溝3a, 3bに充填された窒化シリコンを除去する。

磷酸溶液等をエッチング液として用い、SOI基板1の表面をウェットエッチングして、溝4a, 4bに充填された窒化シリコンのうち、溝2a, 2bに充填された部分のみを除去する。このウェットエッチングにより、溝4a, 4bのうち溝3a, 3bのみを第1の絶縁材料である窒化シリコンで充填する(溝3a内では疎に、溝3b内では密にそれぞれ充填されている)第1の構造体7a, 7bがそれぞれ形成される。

20

【0072】

続いて、図9Cに示すように、STI6a, 6b及びMOSトランジスタ構造10a, 10bをそれぞれ形成する。

先ず、例えば熱酸化法により、形成領域Rp, Rnのシリコン層23の表面に膜厚1nm程度のシリコン酸チッ化膜をそれぞれ成長し、ゲート絶縁膜8を形成する。次に、CVD法等により、全面に多結晶シリコン膜を膜厚100nm程度以下に堆積し、これをリソグラフィー及びドライエッチングにより加工して、形成領域Rp, Rnのシリコン層23上にゲート絶縁膜8を介してゲート電極9a, 9bをそれぞれ形成する。

30

【0073】

次に、リソグラフィーにより、形成領域Rnのみを覆うレジストマスク(不図示)を形成する。この状態で、ゲート電極9aをマスクとして形成領域Rpのシリコン層23におけるゲート電極9aの両側の部分にP型不純物、ここではBを加速エネルギーが0.2keV~2keV、ドーズ量が $1 \times 10^{14} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の条件でイオン注入し、LDD領域11aを形成する。そして、レジストマスクをO<sub>2</sub>プラズマを用いた灰化処理等により除去する(不純物としてBF<sub>2</sub>を選んだ場合はエネルギー及びドーズ量を最適に調整する。また、Ge, N, F, C, Ar等を追加注入してもよい。)

【0074】

次に、リソグラフィーにより、形成領域Rpのみを覆うレジストマスク(不図示)を形成する。この状態で、ゲート電極9bをマスクとして形成領域Rnのシリコン層23におけるゲート電極9bの両側の部分にN型不純物、ここではAsを加速エネルギーが1keV~5keV、ドーズ量が $1 \times 10^{14} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の条件でイオン注入し、LDD領域11bを形成する。そして、レジストマスクをO<sub>2</sub>プラズマを用いた灰化処理等により除去する(不純物としてP等を選んだ場合はエネルギー及びドーズ量を最適に調整する。また、N, F, C, Ar等を追加注入してもよい。)

40

【0075】

次に、例えばCVD法により、ゲート電極9a, 9bを覆うように全面に、第1の絶縁材料と異なる第3の絶縁材料、例えば酸化シリコンを堆積し、この酸化シリコンの全面を

50

異方性エッチング（エッチバック）する。このとき、溝 2 a , 2 b を充填するとともに、ゲート電極 9 a , 9 b の両側面に堆積するように酸化シリコンを残し、第 1 の構造体 7 a , 7 b 上で溝 2 a , 2 b 内を酸化シリコンで充填する素子分離構造である STI 3 1 a , 3 1 b と、サイドウォールスペーサ 1 2 とが同時形成される（ここではサイドウォールスペーサと STI を同時形成する方法を示したが、それに頓着せず、先に STI を形成してから LDD を作製する方法を用いてもよい。）。

【 0 0 7 6 】

ここで、シリコン層 2 3 には、STI 3 1 a により PMOS トランジスタの活性領域 2 3 a が、STI 3 1 b により NMOS トランジスタの活性領域 2 3 b がそれぞれ画定される。また、第 1 の構造体 7 a は、活性領域 2 3 a の下部で当該活性領域 2 3 a を周縁から支持し、その材料である窒化シリコンが比較的疎に形成されているため、活性領域 2 3 a との相対的關係で当該活性領域 2 3 a に引っ張り応力を与える。他方、第 1 の構造体 7 b は、活性領域 2 3 b の下部で当該活性領域 2 3 b を周縁から支持し、その材料である窒化シリコンが比較的密に形成されているため、活性領域 2 3 b との相対的關係で当該活性領域 2 3 b に圧縮応力を与える。

10

【 0 0 7 7 】

更にこの場合、STI 3 1 a , 3 1 b が第 1 の構造体 7 a , 7 b と異なる第 3 の絶縁材料、ここでは酸化シリコンで形成されており、第 1 の絶縁材料よりも言わば柔らかい（従って密度が疎となり易い）ものであるため、活性領域 2 3 a , 2 3 b にその側面から全体的に印加される面内応力を適宜緩和することができる。これら STI 3 1 a , 3 1 b は、

20

【 0 0 7 8 】

なお、P 型 MOS トランジスタ側と N 型 MOS トランジスタ側とで STI 3 1 a , 3 1 b の与える応力を異なる大きさとし、両者で面内応力を微調節するようにしても好適である。この場合には、P 型 MOS トランジスタ側と N 型 MOS トランジスタ側とでリソグラフィにより順次レジストマスクを形成・除去し、順次に密度の異なる酸化シリコン、または相異なる絶縁材料を堆積・エッチバックし、P 型 MOS トランジスタ側には STI 3 1 a とサイドウォールスペーサ 1 2 を、N 型 MOS トランジスタ側には STI 3 1 b とサイドウォールスペーサ 1 2 をそれぞれ同時形成すれば良い。

【 0 0 7 9 】

次に、リソグラフィにより、活性領域 2 3 b のみを覆うレジストマスク（不図示）を形成する。この状態で、ゲート電極 9 a 及びサイドウォールスペーサ 1 2 をマスクとして活性領域 2 3 a におけるサイドウォールスペーサ 1 2 の両側の部分に P 型不純物、ここでは B を加速エネルギーが  $0.2 \text{ keV} \sim 5 \text{ keV}$ 、ドーズ量が  $5 \times 10^{14} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  の条件でイオン注入し、LDD 領域 1 1 a と一部重畳されるソース/ドレイン 1 3 a を形成する。そして、レジストマスクを  $\text{O}_2$  プラズマを用いた灰化处理等により除去する。

30

【 0 0 8 0 】

次に、リソグラフィにより、活性領域 2 3 a のみを覆うレジストマスク（不図示）を形成する。この状態で、ゲート電極 9 b 及びサイドウォールスペーサ 1 2 をマスクとして活性領域 2 3 b におけるサイドウォールスペーサ 1 2 の両側の部分に N 型不純物、ここでは P を加速エネルギーが  $0.5 \text{ keV} \sim 15 \text{ keV}$ 、ドーズ量が  $5 \times 10^{14} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  の条件でイオン注入し、LDD 領域 1 1 b と一部重畳されるソース/ドレイン 1 3 b を形成する。そして、レジストマスクを  $\text{O}_2$  プラズマを用いた灰化处理等により除去する。その後、不純物の活性化のために  $1100$  以下で熱処理を行う。

40

【 0 0 8 1 】

上記の諸工程により、P 型 MOS トランジスタの形成領域 R p には、活性領域 2 3 a 上にゲート絶縁膜 8 を介してパターン形成されたゲート電極 9 a と、活性領域 2 3 a のゲート電極 9 a の両側に該たる部分に形成された LDD 領域 1 1 a 及びこれと一部重複するソース/ドレイン 1 3 a とを備えたトランジスタ構造 1 0 a が形成される（但し、本実施形

50

態では詳述していないが、選択シリコンエピ成長にてせり上げ構造を形成した後に、上記ソース/ドレイン構造の形成をしてもよい。 )。

【 0 0 8 2 】

他方、N型MOSトランジスタの形成領域R<sub>n</sub>には、活性領域23b上にゲート絶縁膜8を介してパターン形成されたゲート電極9bと、活性領域23bのゲート電極9bの両側に該たる部分に形成されたLDD領域11b及びこれと一部重複するソース/ドレイン13bとを備えたトランジスタ構造10bが形成される(但し、本実施形態では詳述していないが、選択シリコンエピ成長にてせり上げ構造を形成した後に、上記ソース/ドレイン構造の形成をしてもよい。 )。

【 0 0 8 3 】

続いて、図9Dに示すように、第2の構造体14a, 14bを形成する。

先ず、リソグラフィーにより、活性領域23bのみを覆うレジストマスク(不図示)を形成する。この状態で、活性領域23a上でゲート電極9a及びサイドウォールスペーサ12を覆うように第2の絶縁材料、ここでは窒化シリコンを例えばALD法により、例えば膜厚50nm~100nm程度に堆積し、第2の構造体14aを形成する。ここでは、活性領域23a上で窒化シリコンの密度が比較的密となるように窒化シリコンの成膜条件を制御する。そして、レジストマスクをO<sub>2</sub>プラズマを用いた灰化処理等により除去する。

【 0 0 8 4 】

次に、リソグラフィーにより、活性領域23aのみを覆うレジストマスク(不図示)を形成する。この状態で、活性領域23b上でゲート電極9b及びサイドウォールスペーサ12を覆うように第2の絶縁材料、ここでは窒化シリコンを例えばALD法により、例えば膜厚50nm~100nm程度に堆積し、第2の構造体14aを形成する。ここでは、活性領域23a上で窒化シリコンの密度が比較的疎となるように窒化シリコンの成膜条件を制御する。そして、レジストマスクをO<sub>2</sub>プラズマを用いた灰化処理等により除去する。

【 0 0 8 5 】

しかる後、全面に層間絶縁膜を形成し、接続孔や各種配線構造(共に不図示)の形成等を経て、CMOSトランジスタを完成させる。

【 0 0 8 6 】

ここで、第2の構造体14aは、ゲート電極9a及びサイドウォールスペーサ12を介して活性領域23aを上部から支持し、その材料である窒化シリコンが比較的密に形成されているため、活性領域23aとの相対的關係で当該活性領域23aに圧縮応力を与える。他方、第2の構造体14bは、ゲート電極9b及びサイドウォールスペーサ12を介して活性領域23bを上部から支持し、その材料である窒化シリコンが比較的疎に形成されているため、活性領域23bとの相対的關係で当該活性領域23bに引っ張り応力を与える。

【 0 0 8 7 】

図10(図示の便宜上、LDD領域及びソース/ドレインの記載を省略する)に示すように、本実施形態のCMOSトランジスタでは、P型MOSトランジスタの形成領域R<sub>p</sub>側においては、活性領域23aに対して、その内部の下方部位では第1の構造体7aにより引っ張り応力(矢印A1)が、上方部位では第2の構造体14aにより圧縮応力(矢印A2)がそれぞれ印加され、活性領域23aのチャンネル領域における表面近傍には結晶格子を収縮させる歪みが局所的に導入される。この局所的な歪みにより、P型MOSトランジスタにおける移動度が大幅に向上する。

【 0 0 8 8 】

他方、N型MOSトランジスタの形成領域R<sub>n</sub>側においては、活性領域23bに対して、その内部の下方部位では第1の構造体7bにより圧縮応力(矢印B1)が、上方部位では第2の構造体14bにより引っ張り応力(矢印B2)がそれぞれ印加され、活性領域23bのチャンネル領域における表面近傍には結晶格子を収縮させる歪みが局所的に導入され

10

20

30

40

50

る。この局所的な歪みにより、N型MOSトランジスタにおける移動度が大幅に向上する。

【0089】

なお、本実施形態においても、第1の実施形態で説明した(1)、(2)の手法により、活性領域23a、23b内の上下方部位に与える各面内応力の方向・大きさを制御することができる。

【0090】

更に本実施形態では、上記の(1)、(2)の手法に加え、STI31a、31bを第1の構造体7a、7bと異なる絶縁材料で形成することにより、活性領域23a、23b内の面内応力を微調節することができ、きめ細かい歪み制御が可能となる。

10

【0091】

以上説明したように、本実施形態によれば、トランジスタ構造の性質に応じて、極薄の活性領域であってもその内部の上下方部位に逆方向の面内応力を、それぞれ所望に調節された大きさで与えることができる。更には、活性領域23a、23b内の面内応力を微調節することにより、SOI基板のシリコン層のような薄い活性領域の表面近傍へ局所的に所望の精緻に制御された歪みを安定に与え、容易且つ確実に極めて高い移動度を得ることが可能となる。

【0092】

更に、本実施形態では、活性領域となるシリコン層に接触するSiGe層等が不要であるので、不測の不純物拡散等の懸念することなく、ショートチャネル化が可能となる。

20

【0093】

なお、第1及び第2の実施形態では、第1及び第2の絶縁材料を共に窒化シリコンとしたが、両者を相異なる材料とし、活性領域23a、23bに与える各歪み量を調節するようにしても良い。

【0094】

また、第1及び第2の実施形態では、半導体基板としてSOI基板を例示したが、本発明はこれに限定されず、例えばバルク状のシリコン基板の表層部分内に上下方部位で逆方向の面内応力を印加し、所望の歪みを導入するようにしても良い。

【産業上の利用可能性】

【0095】

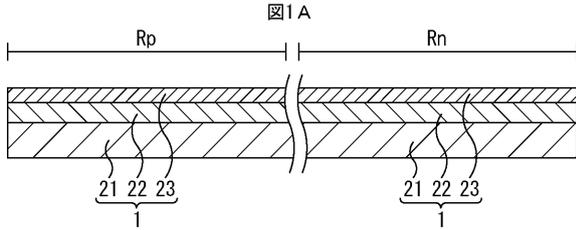
本発明によれば、SOI基板のシリコン層のような薄い活性領域の表面近傍へ局所的に所望の歪みを安定に与え、容易且つ確実に極めて高い移動度を得ることが可能となる。

30

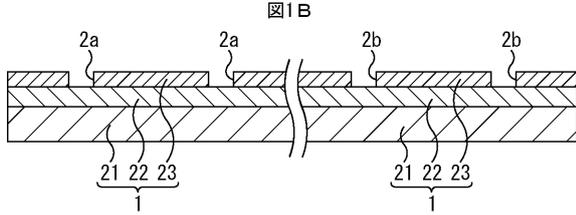
【0096】

また、本発明によれば、半導体装置の製造過程において、活性領域の表面近傍への局所的な歪みの量を容易且つ精緻に調節し、そのトランジスタ構造に応じた高い移動度を得ることが可能となる。

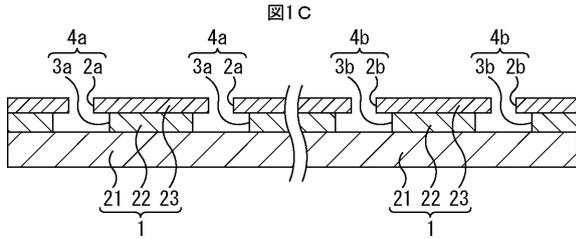
【図1A】



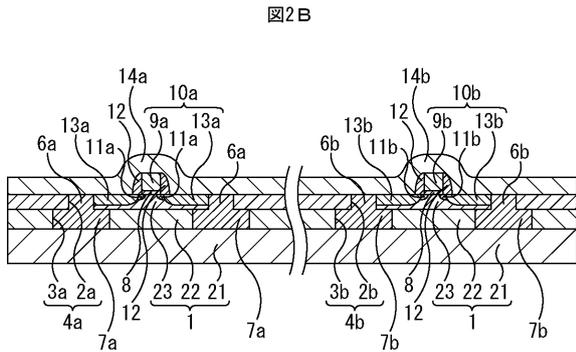
【図1B】



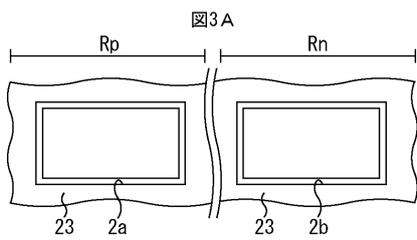
【図1C】



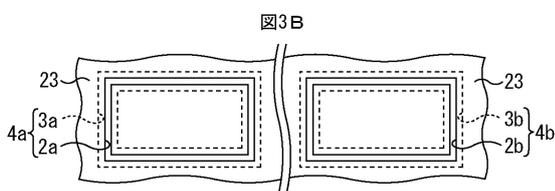
【図2B】



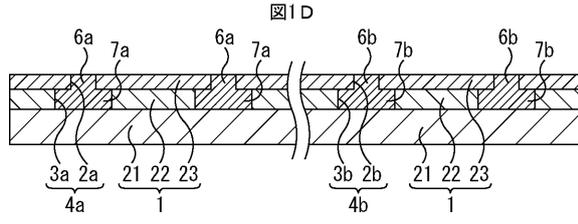
【図3A】



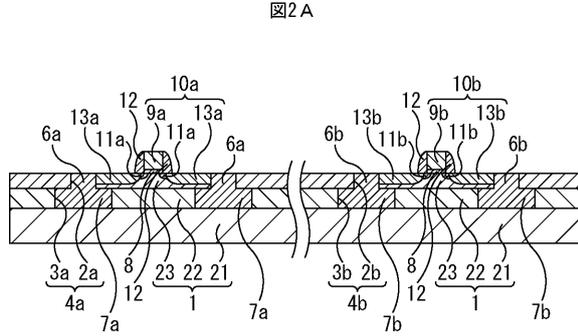
【図3B】



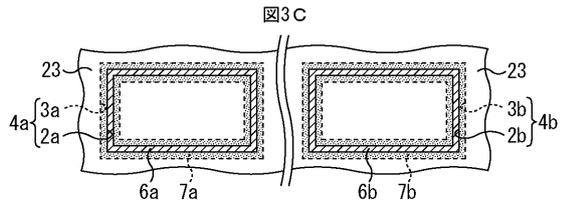
【図1D】



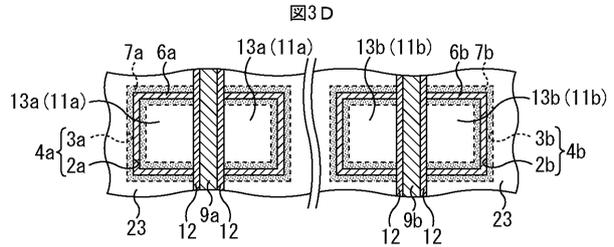
【図2A】



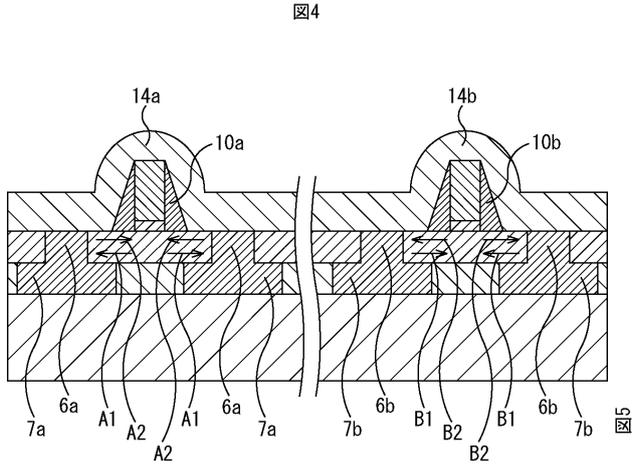
【図3C】



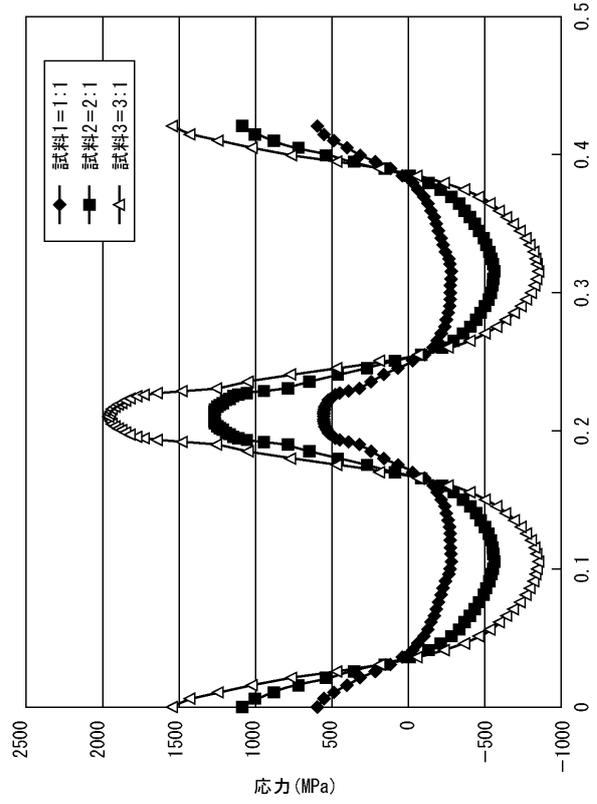
【図3D】



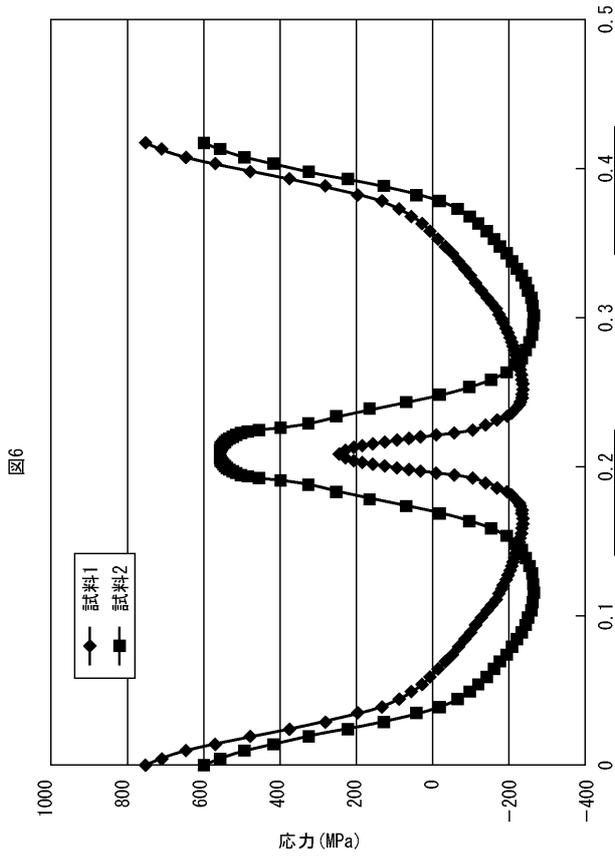
【 図 4 】



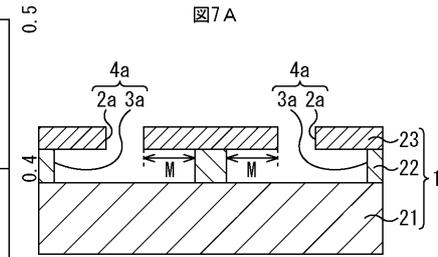
【 図 5 】



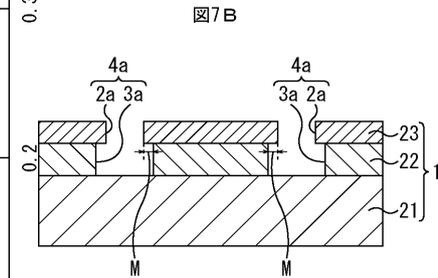
【 図 6 】



【 図 7 A 】

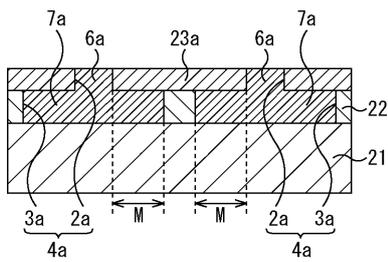


【 図 7 B 】



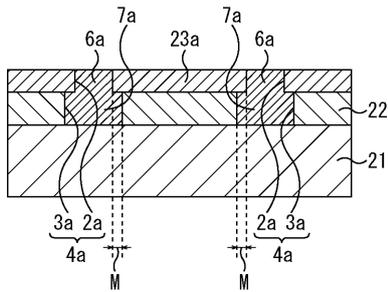
【 図 8 A 】

図8A



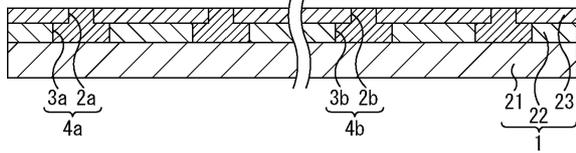
【 図 8 B 】

図8B



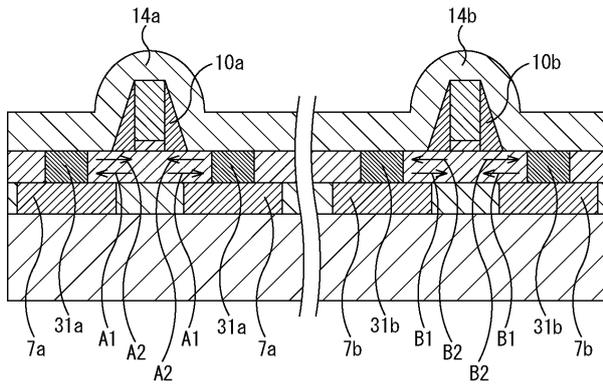
【 図 9 A 】

図9A



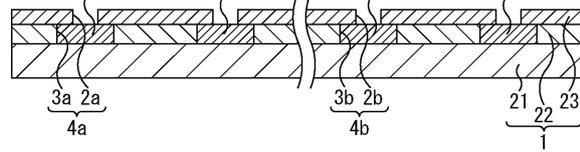
【 図 1 0 】

図10



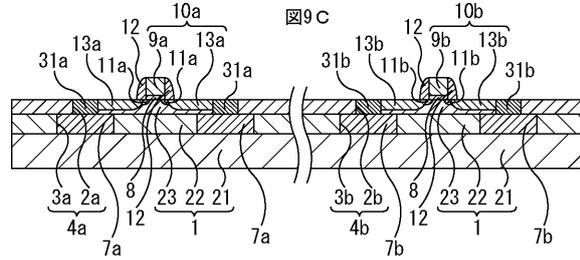
【 図 9 B 】

図9B



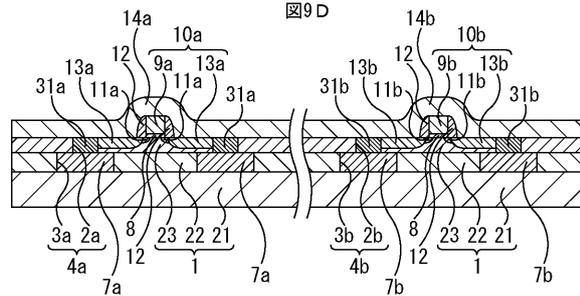
【 図 9 C 】

図9C



【 図 9 D 】

図9D



---

フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L 27/08</i>	<i>(2006.01)</i>	H 0 1 L 21/76		D
		H 0 1 L 21/76		L
		H 0 1 L 27/08	3 3 1 E	
		H 0 1 L 27/08	3 3 1 A	
		H 0 1 L 21/76		Z

(56) 参考文献 特開 2 0 0 3 - 0 8 6 7 0 8 ( J P , A )  
特開 2 0 0 4 - 1 9 3 5 9 6 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)

H01L 21/8238  
H01L 21/76  
H01L 21/762  
H01L 27/08  
H01L 27/092  
H01L 29/786