



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0000855
(43) 공개일자 2014년01월06일

(51) 국제특허분류(Int. Cl.)
G01R 31/28 (2006.01)

(21) 출원번호 10-2012-0068367

(22) 출원일자 2012년06월26일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

송기재

경기도 파주시 책향기로 403 (동패동, 숲속길마을 월드메르디앙센트럴파크아파트) 706-806

유중운

서울특별시 은평구 갈현로45나길 6 (갈현1동) 5동 2반

(뒷면에 계속)

(74) 대리인

박영우

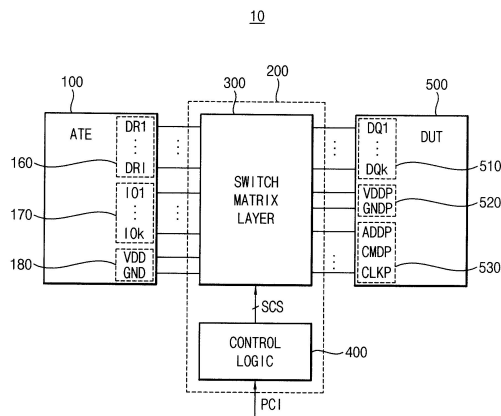
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 테스트 인터페이스 보드 및 테스트 시스템

(57) 요약

테스트 인터페이스 보드는 적어도 하나의 스위치 매트릭스 레이어 및 제어 로직을 포함한다. 상기 적어도 하나의 스위치 매트릭스 레이어는 복수의 연결 노드들을 서로 연결하는 복수의 스위칭 소자들을 구비하여 테스트 대상 장치를 테스트하기 위한 테스트 동작 신호들을 제공하는 자동 테스트 장치의 복수의 채널들을, 스위칭 제어 신호에 응답하여 상기 테스트 대상 장치의 복수의 핀들 중 상응하는 속성의 핀들에 연결한다. 상기 제어 로직은 상기 테스트 대상 장치의 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성한다.

대표도 - 도1



(72) 발명자

한상경

충청남도 아산시 배방읍 배방로173번길 6-7 (복수리) 엘림빌 403호

김길백

서울특별시 성북구 오패산로 90 삼성래미안아파트 110동 1801호

특허청구의 범위

청구항 1

복수의 연결 노드들을 서로 연결하는 복수의 스위칭 소자들을 구비하여 테스트 대상 장치를 테스트하기 위한 테스트 동작 신호들을 제공하는 자동 테스트 장치의 복수의 채널들을, 스위칭 제어 신호에 응답하여 상기 테스트 대상 장치의 복수의 핀들 중 상응하는 속성의 핀들에 연결하는 적어도 하나의 스위치 매트릭스 레이어; 및

상기 테스트 대상 장치의 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성하는 제어 로직을 포함하는 테스트 인터페이스 보드.

청구항 2

제1항에 있어서,

상기 복수의 연결 노드들은 각각 제1 방향의 복수의 제1 경로들 및 상기 제1 방향과 수직인 제2 방향의 복수의 제2 경로들 각각이 교차하는 지점이고,

상기 복수의 스위칭 소자들은,

상기 스위칭 제어 신호에 응답하여 상기 연결 노드들 중 인접하는 두 개의 연결 노드들을 제1 방향으로 선택적으로 연결하는 복수의 로우 스위칭 소자들; 및

상기 스위칭 제어 신호에 응답하여 상기 인접하는 두 개의 연결 노드들을 상기 제1 방향과 직각인 제2 방향으로 선택적으로 연결하는 복수의 칼럼 스위칭 소자들을 포함하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 3

제1항에 있어서,

상기 적어도 하나의 스위치 매트릭스 레이어는 다층 구조의 제1 스위치 매트릭스 레이어 및 제2 스위치 매트릭스 레이어를 포함하고,

상기 테스트 인터페이스 보드는 상기 제1 스위치 매트릭스 레이어의 제1 연결 노드들 및 상기 제2 스위치 매트릭스 레이어의 제2 연결 노드들 중 대응하는 연결 노드들을 상기 스위칭 제어 신호들에 응답하여 선택적으로 연결하는 복수의 층간 스위칭 소자들을 더 포함하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 4

제3항에 있어서,

상기 복수의 층간 스위칭 소자들은 상기 복수의 채널들과 상기 상응하는 복수의 핀들 사이의 신호 경로들이 하나의 스위치 매트릭스 레이어에서 서로 중첩되는 경우에 연결되어 중첩되지 않는 테스트 신호 경로를 제공하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 5

제1항에 있어서,

상기 복수의 스위칭 소자들 각각은 상기 스위칭 제어 신호들을 게이트에 인가받아 턴-온/오프되는 복수의 트랜지스터들을 포함하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 6

제1항에 있어서,

상기 복수의 스위칭 소자들 각각은 상기 스위칭 제어 신호들을 인가받아 연결/분리되는 복수의 2단자 스위치들을 포함하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 7

제1항에 있어서, 상기 적어도 하나의 스위치 매트릭스 레이어는

상기 테스트 동작 신호들 중 제어 신호와 테스트 패턴 신호를 제1 스위칭 제어 신호들에 응답하여 스위칭하는 복수의 제1 스위칭 소자들을 구비하는 제1 스위칭부; 및

제2 스위칭 신호들에 응답하여 상기 시그널 스위칭부의 출력, 전원전압 및 접지 전압 중 하나를 스위칭하여 상기 복수의 핀들에 제공하는 복수의 제2 스위칭 소자들을 구비하는 제2 스위칭부를 포함하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 8

제1항에 있어서, 상기 제어 로직은

상기 핀 구성 정보를 저장하는 레지스터; 및

상기 레지스터에 저장된 상기 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성하는 스위칭 신호 생성기를 포함하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 9

제1항에 있어서, 상기 적어도 하나의 스위치 매트릭스 레이어는 상기 테스트 대상 장치가 변경되어도 상기 스위칭 제어 신호에 응답하여 상기 보복수의 채널들을 상기 변경된 테스트 대상 장치의 상응하는 핀들에 연결하는 재구성 가능한 테스트 신호 경로를 제공하는 것을 특징으로 하는 테스트 인터페이스 보드.

청구항 10

테스트 동작 신호들을 제공하는 자동 테스트 장치;

상기 테스트 동작 신호들을 수신하고, 상기 테스트 동작 신호들 중 테스트 패턴 신호에 응답하여 테스트 결과 신호를 출력하는 테스트 대상 장치; 및

상기 테스트 동작 신호들을 상기 테스트 대상 장치에 제공하는 테스트 인터페이스 보드를 포함하고, 상기 테스트 인터페이스 보드는,

복수의 연결 노드들을 서로 연결하는 복수의 스위칭 소자들을 구비하여 상기 테스트 동작 신호들을 제공하는 자동 테스트 장치의 복수의 채널들을, 스위칭 제어 신호에 응답하여 상기 테스트 대상 장치의 복수의 핀들 중 상응하는 속성의 핀들에 연결하는 적어도 하나의 스위치 매트릭스 레이어; 및

상기 테스트 대상 장치의 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성하는 제어 로직을 포함하는 테스트 시스템.

명세서

기술분야

[0001] 본 발명은 테스트 분야에 관한 것으로, 보다 상세하게는 테스트 인터페이스 보드 및 이를 포함하는 테스트 시스템에 관한 것이다.

배경기술

[0002] 테스트 인터페이스 보드는 자동 테스트 장치(automatic test equipment, ATE)로부터 테스트 신호를 수신하고, 테스트 대상 장치(device under test, DUT)에 상기 테스트 신호를 송신한다. 예를 들어, 프로브 카드(probe card)는 자동 테스트 장치로부터 수신된 테스트 신호를 인쇄 회로 기판(printed circuit board, PCB) 상의 트레이스(trace)를 통하여 테스트 대상 장치에 송신한다.

[0003] 하지만, 테스트 대상 장치가 달라지는 경우, 테스트 인터페이스 보드의 구성도 달라져야하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 테스트 대상 장치의 핀 속성에 무관하게 테스트를 수행할 수 있는 테스트 인터페이스 보드를 제공하는데 있다.

[0005] 본 발명의 다른 목적은 상기 테스트 인터페이스 보드를 포함하는 테스트 시스템을 제공하는데 있다.

과제의 해결 수단

[0006] 상기한 본 발명의 일 목적을 달성하기 위한 테스트 인터페이스 보드는 적어도 하나의 스위치 매트릭스 레이어 및 제어 로직을 포함한다. 상기 적어도 하나의 스위치 매트릭스 레이어는 복수의 연결 노드들을 서로 연결하는 복수의 스위칭 소자들을 구비하여 테스트 대상 장치를 테스트하기 위한 테스트 동작 신호들을 제공하는 자동 테스트 장치의 복수의 채널들을, 스위칭 제어 신호에 응답하여 상기 테스트 대상 장치의 복수의 핀들 중 상응하는 속성의 핀들에 연결한다. 상기 제어 로직은 상기 테스트 대상 장치의 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성한다.

[0007] 실시예에 있어서, 상기 복수의 연결 노드들은 각각 제1 방향의 복수의 제1 경로들 및 상기 제1 방향과 수직인 제2 방향의 복수의 제2 경로들 각각이 교차하는 지점일 수 있다.

[0008] 상기 복수의 스위칭 소자들은 상기 스위칭 제어 신호에 응답하여 상기 연결 노드들 중 인접하는 두 개의 연결 노드들을 제1 방향으로 선택적으로 연결하는 복수의 로우 스위칭 소자들; 및 상기 스위칭 제어 신호에 응답하여 상기 인접하는 두 개의 연결 노드들을 상기 제1 방향과 직각인 제2 방향으로 선택적으로 연결하는 복수의 칼럼 스위칭 소자들을 포함할 수 있다.

[0009] 실시예에 있어서, 상기 적어도 하나의 스위치 매트릭스 레이어는 다층 구조의 제1 스위치 매트릭스 레이어 및 제2 스위치 매트릭스 레이어를 포함하고, 상기 테스트 인터페이스 보드는 상기 제1 스위치 매트릭스 레이어의 제1 연결 노드들 및 상기 제2 스위치 매트릭스 레이어의 제2 연결 노드들 중 대응하는 연결 노드들을 상기 스위칭 제어 신호들에 응답하여 선택적으로 연결하는 복수의 층간 스위칭 소자들을 더 포함할 수 있다.

[0010] 상기 복수의 층간 스위칭 소자들은 상기 복수의 채널들과 상기 상응하는 복수의 핀들 사이의 테스트 신호 경로들이 하나의 스위치 매트릭스 레이어에서 서로 중첩되는 경우에 연결되어 중첩되지 않는 테스트 신호 경로를 제공할 수 있다.

[0011] 상기 복수의 층간 스위칭 소자들은 상기 스위칭 제어 신호들을 게이트에 인가받아 턴/온 오프되는 복수의 트랜지스터들을 포함할 수 있다.

[0012] 상기 복수의 층간 스위칭 소자들은 상기 복수의 스위치들 각각은 상기 스위칭 제어 신호들을 인가받아 연결/분리되는 복수의 2단자 스위치들을 포함할 수 있다.

[0013] 실시예에 있어서, 상기 복수의 스위칭 소자들 각각은 상기 스위칭 제어 신호들을 게이트에 인가받아 턴-온/오프되는 복수의 트랜지스터들을 포함할 수 있다.

[0014] 실시예에 있어서, 상기 복수의 스위칭 소자들 각각은 상기 스위칭 제어 신호들을 인가받아 연결/분리되는 복수의 2단자 스위치들을 포함할 수 있다.

[0015] 실시예에 있어서, 상기 적어도 하나의 스위치 매트릭스 레이어는 상기 테스트 동작 신호들 중 제어 신호와 테스트 패턴 신호를 제1 스위칭 제어 신호들에 응답하여 스위칭하는 복수의 제1 스위칭 소자들을 구비하는 제1 스위칭부; 및 제2 스위칭 신호들에 응답하여 상기 제1 스위칭부의 출력, 전원전압 및 접지 전압 중 하나를 스위칭하여 상기 복수의 핀들에 제공하는 복수의 제2 스위칭 소자들을 구비하는 제2 스위칭부를 포함할 수 있다.

[0016] 실시예에 있어서, 상기 제어 로직은 상기 핀 구성 정보를 저장하는 레지스터; 및 상기 레지스터에 저장된 상기 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성하는 스위칭 신호 생성기를 포함할 수 있다.

[0017] 상기 레지스터는 상기 핀 구성 정보를 저장하는 모드 셋 레지스터일 수 있다.

[0018] 실시예에 있어서, 상기 적어도 하나의 스위치 매트릭스 레이어는 상기 테스트 대상 장치가 변경되어도 상기 스위칭 제어 신호에 응답하여 상기 보복수의 채널들을 상기 변경된 테스트 대상 장치의 상응하는 핀들에 연결하는 재구성 가능한 테스트 신호 경로를 제공할 수 있다.

[0019] 상기한 본 발명의 일 목적을 달성하기 위한 테스트 시스템은 자동 테스트 장치, 테스트 대상 장치 및 테스트 인터페이스 보드를 포함한다. 상기 자동 테스트 장치는 테스트 동작 신호들을 제공한다. 상기 테스트 대상 장치는 상기 테스트 동작 신호들을 수신하고, 상기 테스트 동작 신호들 중 테스트 패턴 신호에 응답하여 테스트 결과

신호를 출력한다. 상기 테스트 인터페이스 보드는 상기 테스트 동작 신호들을 상기 테스트 대상 장치에 제공한다. 상기 테스트 인터페이스 보드는 적어도 하나의 스위치 매트릭스 레이어 및 제어 로직을 포함한다. 상기 적어도 하나의 스위치 매트릭스 레이어는 복수의 연결 노드들을 서로 연결하는 복수의 스위칭 소자들을 구비하여 상기 테스트 대상 장치를 테스트하기 위한 상기 테스트 동작 신호들을 제공하는 상기 자동 테스트 장치의 복수의 채널들을, 스위칭 제어 신호에 응답하여 상기 테스트 대상 장치의 복수의 핀들 중 상응하는 속성의 핀들에 연결한다. 상기 제어 로직은 상기 테스트 대상 장치의 핀 구성 정보에 기초하여 상기 스위칭 제어 신호들을 생성한다.

발명의 효과

[0020] 상기와 같은 본 발명의 실시예들에 따르면 테스트 대상 장치가 변경되어 테스트 대상 장치의 핀 속성이 달라져도 테스트 인터페이스 보드가 재구성 가능한 테스트 신호 경로를 테스트 대상 장치에 제공할 수 있어 테스트 비용이 절감될 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 테스트 인터페이스 보드를 포함하는 테스트 시스템을 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 도 1의 자동 테스트 장치의 구성을 나타내는 블록도이다.
- 도 3은 본 발명의 일 실시예에 따라 도 2의 드라이브 채널의 구성의 일예를 나타낸다.
- 도 4는 본 발명의 일 실시예에 따라 도 2의 입출력 채널의 구성의 일예를 나타낸다.
- 도 5는 본 발명의 일 실시예에 따른 도 1의 적어도 하나의 스위치 매트릭스 레이어의 구성을 나타내는 블록도이다.
- 도 6은 본 발명의 일 실시예에 따른 도 5의 테스트 인터페이스 보드의 일 예를 나타낸다.
- 도 7 및 도 8은 본 발명의 일 실시예에 따른 도 6의 스위칭 소자의 예들을 나타낸다.
- 도 9는 본 발명의 일 실시예에 따른 도 1의 테스트 인터페이스 보드의 연결 관계를 나타낸다.
- 도 10은 본 발명의 다른 실시예에 따른 도 1의 테스트 인터페이스 보드의 연결 관계를 나타낸다.
- 도 11은 본 발명의 일 실시예에 따른 도 9의 적어도 하나의 스위치 매트릭스 레이어를 나타낸다.
- 도 12는 본 발명의 일 실시예에 따른 테스트 신호 경로들이 증첩되는 부분을 나타낸다.
- 도 13 및 도 14는 본 발명의 일 실시예에 따른 도 12의 층간 연결 스위칭 소자의 예들을 나타낸다.
- 도 15는 본 발명의 다른 실시예에 따른 도 1의 테스트 인터페이스 보드의 구성을 나타내는 블록도이다.
- 도 16은 도 15의 제2 스위칭부에서 하나의 노드와 스위칭 소자들의 연결관계를 나타낸다.
- 도 17은 본 발명의 일 실시예에 따른 도 1의 제어 로직의 구성을 나타내는 블록도이다.
- 도 18은 본 발명의 일 실시예에 따른 테스트 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0024] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

- [0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0026] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 테스트 인터페이스 보드를 포함하는 테스트 시스템을 나타내는 블록도이다.
- [0030] 도 1을 참조하면, 테스트 시스템(10)은 자동 테스트 장치(100), 테스트 대상 장치(500) 및 테스트 인터페이스 보드(200)를 포함한다.
- [0031] 자동 테스트 장치(100)는 테스트 대상 장치(500)를 테스트하기 위한 테스트 동작 신호를 생성한다. 테스트 인터페이스 보드(200)는 자동 테스트 장치(100)로부터 테스트 동작 신호를 수신하고, 테스트 대상 장치(500)로 테스트 동작 신호를 송신한다. 테스트 대상 장치(500)는 테스트 동작 신호를 수신하고, 테스트 동작 신호에 기초하여 구동한다.
- [0032] 예를 들어, 로직(logic) 또는 메모리(memory)용 반도체 장치의 제조 공정(fabrication process)이 완료되면, 제조된 상기 로직 또는 메모리용 반도체 장치의 양/불량(pass/fail)을 판정하기 위하여 상기 로직 또는 메모리용 반도체 장치의 전기적 특성(electrical parameter)이 측정된다. 상기 로직 또는 메모리용 반도체 장치와 같은 테스트 대상 장치(500)의 양/불량 판정을 위하여 자동 테스트 장치(100)는 테스트 동작 신호를 생성할 수 있다. 테스트 인터페이스 보드(200)는 자동 테스트 장치(100)로부터 테스트 동작 신호를 수신하고, 상기 로직 또는 메모리용 반도체 장치의 복수의 핀들에 테스트 동작 신호를 인가할 수 있다. 테스트 대상 장치(500), 즉 상기 로직 또는 메모리용 반도체 장치는 상기 핀들을 통하여 수신된 테스트 동작 신호에 응답하여 소정의 동작들을 수행한다. 실시예에 따라, 테스트 대상 장치(500)는 상기 소정의 동작들의 결과 신호들인 테스트 결과 신호를 생성할 수 있다. 테스트 인터페이스 보드(200)는 테스트 대상 장치(500)로부터 상기 테스트 결과 신호를 수신하고, 자동 테스트 장치(100)로 상기 테스트 결과 신호를 송신할 수 있다. 자동 테스트 장치(100)는 상기 테스트 결과 신호를 수신하고, 상기 테스트 결과 신호에 기초하여 테스트 대상 장치(500)의 양/불량(pass/fail)을 검수(inspection)할 수 있다.
- [0033] 테스트 대상 장치(500)의 종류가 변경되면, 자동 테스트 장치(100)로부터의 테스트 동작 신호들을 수신하는 핀들의 속성이 달라질 수 있다. 즉, 테스트 대상 장치(500)가 제1 핀 구성을 가지는 제1 메모리 디바이스에서 제2 핀 구성을 가지는 제2 메모리 디바이스로 변경될 수 있다. 본 발명의 실시예에 따른 테스트 인터페이스 보드(200)는 테스트 대상 장치(500)의 종류가 변경되어도 재구성가능한(reconfigurable) 테스트 신호 경로를 제공하여 테스트 대상 장치(500)의 상응하는 핀들에 자동 테스트 장치(100)의 상응하는 채널을 연결할 수 있다.
- [0034] 자동 테스트 장치(100)는 테스트 동작 신호들을 생성하는 드라이브 채널들(160), 입출력 채널들(170) 및 전원 채널들(180)을 포함할 수 있다. 드라이브 채널들(160)에서는 커맨드 신호, 어드레스 신호 및 클럭 신호를 제공한다. 입출력 채널들(170)에서는 테스트 패턴 신호를 제공한다. 전원 채널들(180)에서는 전원 전압(VDD) 및 접지 전압(GND)를 제공한다.

- [0035] 테스트 대상 장치(500)는 데이터 입출력 핀들(DQ1~DQk, 510) 전원 들(VDDP, GNPD; 520) 및 제어핀들(ADDP, CMDP, CLKP; 530)을 포함한다.
- [0036] 테스트 인터페이스 보드(200)는 적어도 하나의 스위치 매트릭스 레이어(300) 및 제어 로직(400)을 포함할 수 있다.
- [0037] 제어 로직(400)의 테스트 대상 장치(500)의 핀 구성 정보(PCI)에 기초하여 복수의 스위칭 제어 신호들(SCS)을 생성한다. 적어도 하나의 스위치 매트릭스 레이어(300)는 스위칭 제어 신호들(SCS)에 응답하여 스위칭되는 복수의 스위치들을 포함하여 재구성가능한 테스트 신호 경로를 제공하여 자동 테스트 장치(100)의 채널들(160, 170, 180)을 테스트 대상 장치(500)의 상응하는 속성을 갖는 핀들(510, 520, 530)에 연결할 수 있다. 예를 들어, 스위치 매트릭스 레이어(300)는 자동 테스트 장치(100)의 드라이브 채널(100)을 테스트 대상 장치(500)의 제어핀들(530)에 연결하고 입출력 채널(170)을 데이터 입출력 핀들(510)에 연결하고 전원 채널(180)을 전원핀들(520)에 연결할 수 있다.
- [0038] 도 2는 본 발명의 일 실시예에 따른 도 1의 자동 테스트 장치의 구성을 나타내는 블록도이다.
- [0039] 도 2를 참조하면, 자동 테스트 장치(100)는 내부에 설치된 하드웨어 구성 요소를 제어하기 위한 프로세서(110)와 내부의 하드웨어 구성요소로는 프로그램어블 전원(programmable power supply, 112), 직류 파라미터 측정 유닛(DC parameter measurement unit, 114), 알고리즘 패턴 발생기(Algorithmic Pattern Generator, 116), 타이밍 발생기(Timing Generator, 118), 파형정형기(Wave Sharp Formatter, 120) 및 드라이브 채널(160), 입출력 채널(170) 및 전원 채널(180)이 핀 일렉트로닉스(150)등이 있다. 따라서, 자동 테스트 장치(100)는 프로세서(110)에서 작동되는 테스트 프로그램에 의해 하드웨어적 구성요소들이 서로 신호를 주고받으며 핀 일렉트로닉스(150)와 테스트 인터페이스 보드(200)를 연결된 검사 대상 장치(500)에 대한 전기적 기능을 검사하게 된다.
- [0040] 상기 테스트 프로그램(test program)은, 크게 직류검사(DC test), 교류 검사(AC Test) 및 기능 검사(Function test)로 이루어진다. 여기서 상기 기능검사는 반도체 메모리 소자, 예컨대 디램(DRAM)의 실제 동작 상황에 맞추어 그 기능을 확인하는 것이다. 즉, 자동 테스트 장치(100)의 알고리즘 패턴 발생기(116)로부터 테스트 대상 장치(300), 예컨대 디램(DRAM)에 입력 패턴을 쓰고(Write operation), 그것을 디램의 출력 패턴을 통해 읽어들이어(Read operation), 예상 패턴(expected pattern)과 비교회로(Comparator)를 통해 비교(Compare operation)하는 것이다.
- [0041] 도 3은 본 발명의 일 실시예에 따라 도 2의 드라이브 채널의 구성의 일예를 나타낸다.
- [0042] 도 3을 참조하면, 드라이브 채널(160)은 복수의 드라이버들(161, 162, 163)을 포함할 수 있다. 드라이버(161)는 어드레스 신호(ADD)를 제공하고, 드라이버(162)는 커맨드 신호(CMD) 신호를 제공하고, 드라이버(163)는 클럭 신호(CLK)를 제공할 수 있다. 드라이브 채널(160)은 어드레스 신호(ADD), 커맨드 신호(CMD) 및 클럭 신호(CLK)를 테스트 대상 장치(500)의 상응하는 핀들(530)에 제공하기 위한 단방향 채널일 수 있다.
- [0043] 도 4는 본 발명의 일 실시예에 따라 도 2의 입출력 채널의 구성의 일예를 나타낸다.
- [0044] 도 4를 참조하면, 입출력 채널(170)은 드라이버(171) 및 비교기(172)를 포함할 수 있다. 드라이버(171)는 알고리즘 패턴 발생기(116)와 파형정형기(120)로부터 제공되는 테스트 패턴 신호(TPS)를 테스트 인터페이스 보드(200)를 거쳐 테스트 대상 장치(500)의 데이터 입출력 핀들(510)에 제공한다. 비교기(172)는 테스트 대상 장치(500)로부터 테스트 결과 신호(TRS)를 수신하고 테스트 결과 신호(TRS)를 테스트 패턴 신호(TPS)와 비교하고 그 비교결과에 따른 논리 레벨을 갖는 테스트 판정 신호(TDS)를 출력한다. 예를 들어, 테스트 결과 신호(TRS)와 테스트 패턴 신호(TPS)가 동일한 경우, 비교기(172)는 제1 로직 레벨(하이 레벨)의 테스트 판정 신호(TDS)를 출력할 수 있다. 예를 들어, 테스트 결과 신호(TRS)와 테스트 패턴 신호(TPS)가 동일하지 않은 경우, 비교기(172)는 제2 로직 레벨(로우 레벨)의 테스트 판정 신호(TDS)를 출력할 수 있다. 따라서 자동 테스트 장치(100)는 테스트 판정 신호(TDS)의 논리 레벨에 따라 테스트 대상 장치(500)의 양/불량을 판정할 수 있다. 따라서 입출력 채널(170)은 테스트 패턴 신호(TPS)를 테스트 대상 장치(500)에 제공하고, 테스트 대상 장치(500)로부터 테스트 결과 신호(TRS)를 수신하기 위한 쌍방향 채널일 수 있다.
- [0045] 실시예에 따라서 입출력 채널(170)에 포함된 비교기(172)는 테스트 인터페이스 보드(200)에 포함될 수 있다. 이 경우에 비교기(172)는 추가적인 드라이버로 구성되어 테스트 인터페이스 보드(200)에 포함된 비교기로부터 수신되는 테스트 판정 신호(TDS)를 출력할 수 있다.
- [0046] 도 5는 본 발명의 일 실시예에 따른 도 1의 적어도 하나의 스위치 매트릭스 레이어의 구성을 나타내는 블록도이

다.

- [0047] 도 5를 참조하면, 적어도 하나의 스위치 매트릭스 레이어(300a)는 스위칭 제어 신호들(SCS)에 응답하여 복수의 연결 노드들(N11~N1p, ..., Nq1~Nqp)을 선택적으로 연결하여 재구성가능한 테스트 신호 경로를 제공하는 복수의 스위칭 소자들(SE1, SE2)을 포함한다. 복수의 스위칭 소자들(SE1, SE2)은 복수의 연결 노드들(N11~N1p, ..., Nq1~Nqp) 중 인접하는 두 개의 연결 노드들을 제1 방향(D1)으로 선택적으로 연결하는 로우 스위칭 소자들(SE1) 및 인접하는 두 개의 연결 노드들을 제1 방향(D1)과는 직각인 제2 방향(D2)으로 선택적으로 연결하는 칼럼 스위칭 소자들(SE2)을 포함할 수 있다. 상기 복수의 연결 노드들(N11~N1p, ..., Nq1~Nqp)은 제1 방향(D1)의 복수의 경로들 및 제2 방향(D2)의 복수의 경로들 각각이 서로 교차하는 지점일 수 있다. 복수의 스위칭 소자들(SE1, SE2) 테스트 대상 장치(500)의 핀 구성 정보(PCI)에 따라 생성되는 스위칭 제어 신호들(SCS)에 응답하여 스위칭되어 복수의 연결 노드들(N11~N1p, ..., Nq1~Nqp) 중 서로 인접하는 두 개의 연결 노드들을 선택적으로 연결하여 자동 테스트 장치(100)의 채널들(160, 170, 180)과 테스트 대상 장치(500)의 핀들(510, 520, 530) 사이에서 재구성 가능한 테스트 신호 경로를 제공할 수 있다. 따라서 테스트 인터페이스 보드(200)에 연결되는 테스트 대상 장치(500)의 종류가 변경되어 테스트 인터페이스 보드(200)에 연결되는 테스트 대상 장치(500)의 핀들의 속성이 변해도, 테스트 인터페이스 보드(200)를 그대로 사용하여 자동 테스트 장치(100)의 채널들(160, 170, 180)을 테스트 대상 장치(500)의 상응하는 속성의 핀들에 연결할 수 있다.
- [0048] 도 6은 본 발명의 일 실시예에 따른 도 5의 테스트 인터페이스 보드의 일 예를 나타낸다.
- [0049] 도 6에서는 하나의 노드(N_{ij})와 스위칭 소자들(SE1, SE2)의 연결 관계를 나타낸다.
- [0050] 도 6을 참조하면, 노드(N_{ij})는 인접하는 노드들 각각과 스위칭 소자들(311, 312, 313, 314)로 연결된다. 스위칭 소자(311)는 스위칭 제어 신호(SCS11)에 응답하여 스위칭되어 노드(N_{i,j})와 인접하는 노드(N_{i-1,j})를 선택적으로 연결한다. 스위칭 소자(312)는 스위칭 제어 신호(SCS12)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i,j+1})를 선택적으로 연결한다. 스위칭 소자(313)는 스위칭 제어 신호(SCS13)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i+1,j})를 선택적으로 연결한다. 스위칭 소자(314)는 스위칭 제어 신호(SCS14)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i,j-1})를 선택적으로 연결한다.
- [0051] 도 7 및 도 8은 본 발명의 일 실시예에 따른 도 6의 스위칭 소자의 예를 나타낸다.
- [0052] 도 7을 참조하면, 도 6의 스위칭 소자들(311, 312, 313, 314) 각각은 스위칭 제어 신호들(SCS11, SCS12, SCS13, SCS14)을 각각 게이트에 인가받는 엔모스 트랜지스터들(311a, 312a, 313a, 314a)을 포함할 수 있다. 엔모스 트랜지스터(311a)는 스위칭 제어 신호(SCS11)에 응답하여 스위칭되어 노드(N_{i,j})와 인접하는 노드(N_{i-1,j})를 선택적으로 연결한다. 엔모스 트랜지스터(312a)는 스위칭 제어 신호(SCS12)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i,j+1})를 선택적으로 연결한다. 엔모스 트랜지스터(313a)는 스위칭 제어 신호(SCS13)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i+1,j})를 선택적으로 연결한다. 엔모스 트랜지스터(314a)는 스위칭 제어 신호(SCS14)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i,j-1})를 선택적으로 연결한다.
- [0053] 도 8을 참조하면, 도 6의 스위칭 소자들(311, 312, 313, 314) 각각은 스위칭 제어 신호들(SCS11, SCS12, SCS13, SCS14)에 응답하여 스위칭되는 2단자 스위치들(311b, 312b, 313b, 314b)을 포함할 수 있다. 2단자 스위치(311b)는 스위칭 제어 신호(SCS11)에 응답하여 스위칭되어 노드(N_{i,j})와 인접하는 노드(N_{i-1,j})를 선택적으로 연결한다. 2단자 스위치(312b)는 스위칭 제어 신호(SCS12)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i,j+1})를 선택적으로 연결한다. 2단자 스위치(313b)는 스위칭 제어 신호(SCS13)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i+1,j})를 선택적으로 연결한다. 2단자 스위치(314b)는 스위칭 제어 신호(SCS14)에 응답하여 스위칭되어 노드(N_{ij})와 인접하는 노드(N_{i,j-1})를 선택적으로 연결한다.
- [0054] 도 9는 본 발명의 일 실시예에 따른 도 1의 테스트 인터페이스 보드의 연결 관계를 나타낸다.
- [0055] 도 9에서는 설명의 편의를 위하여 도 5의 스위칭 소자들(SE1, SE2)은 도시하지 않는다.
- [0056] 도 9를 참조하면, 자동 테스트 장치(100)의 드라이브 채널(160)의 드라이버(DR1)는 연결 노드(N11)로부터 연결 노드(N6p)까지의 테스트 신호 경로(321)를 통하여 테스트 대상 장치(500)의 어드레스 핀(ADDP)에 어드레스 신호(ADD)를 전달한다. 테스트 신호 경로(321) 상의 스위칭 소자들(SE1, SE2)은 위칭 제어 신호(SCS)에 응답하여 인접하는 노드들을 서로 연결한다. 자동 테스트 장치(100)의 입출력 채널(170)의 입출력 채널(IO1)은 연결 노드(N41)로부터 연결 노드(N1p)까지의 테스트 신호 경로(322)를 통하여 테스트 대상 장치(500)의 데이터 입출력 핀(DQ1)에 테스트 패턴 신호(TPS)를 전달하고, 데이터 입출력 핀(DQ1)으로부터의 테스트 결과 신호(TRS)를 수신할 수 있다. 테스트 신호 경로(322) 상의 스위칭 소자들(SE1, SE2)은 위칭 제어 신호(SCS)에 응답하여 인접하는 노

드들을 서로 연결한다. 자동 테스트 장치(100)의 전원 채널(180)의 전원전압(VDD)을 연결 노드(N71)로부터 연결 노드(N4p)까지의 테스트 신호 경로(323)를 통하여 테스트 대상 장치(500)의 전원 전압 핀(VDDP)에 제공한다. 테스트 신호 경로(323) 상의 스위칭 소자들(SE1, SE2)은 위칭 제어 신호(SCS)에 응답하여 인접하는 노드들을 서로 연결한다.

- [0057] 도 9에서 참조번호(331)에서는 테스트 신호 경로들(321, 322)이 서로 겹치게 되고 참조번호(332)에서는 테스트 신호 경로들(321, 323)이 서로 겹치게 된다. 참조번호들(331, 332)에 대하여는 도 11 내지 도 13을 참조하여 후술한다.
- [0058] 도 10은 본 발명의 다른 실시예에 따른 도 1의 테스트 인터페이스 보드의 연결 관계를 나타낸다.
- [0059] 도 10에서도 설명의 편의를 위하여 도 5의 스위칭 소자들(SE1, SE2)은 도시하지 않는다. 도 10에서는 도 9에서 테스트 인터페이스 보드(200a)에 연결되는 테스트 대상 장치가 변경되어 테스트 대상 장치의 핀 속성이 달라지는 경우를 설명한다. 즉 도 10에서는 전원 핀들(540), 제어핀들(550) 및 데이터 입출력 핀들(560)의 위치가 도 9의 전원핀들(530), 제어핀들(520) 및 데이터 입출력 핀들(510)의 위치와 다르다.
- [0060] 도 10 참조하면, 자동 테스트 장치(100)의 드라이브 채널(160)의 드라이버(DR1)는 연결 노드(N11)로부터 연결 노드(N3p)까지의 테스트 신호 경로(326)를 통하여 테스트 대상 장치(500)의 어드레스 핀(ADDP)에 어드레스 신호(ADD)를 전달한다. 테스트 신호 경로(326) 상의 스위칭 소자들(SE1, SE2)은 위칭 제어 신호(SCS)에 응답하여 인접하는 노드들을 서로 연결한다. 자동 테스트 장치(100)의 입출력 채널(170)의 입출력 채널(IO1)은 연결 노드(N41)로부터 연결 노드(N6p)까지의 테스트 신호 경로(327)를 통하여 테스트 대상 장치(500)의 데이터 입출력 핀(DQ1)에 테스트 패턴 신호(TPS)를 전달하고, 데이터 입출력 핀(DQ1)으로부터의 테스트 결과 신호(TRS)를 수신할 수 있다. 테스트 신호 경로(327) 상의 스위칭 소자들(SE1, SE2)은 위칭 제어 신호(SCS)에 응답하여 인접하는 노드들을 서로 연결한다. 자동 테스트 장치(100)의 전원 채널(180)의 전원전압(VDD)은 연결 노드(N71)로부터 연결 노드(N1p)까지의 테스트 신호 경로(328)를 통하여 테스트 대상 장치(500)의 전원전압 핀(VDDP)에 제공한다. 테스트 신호 경로(328) 상의 스위칭 소자들(SE1, SE2)은 위칭 제어 신호(SCS)에 응답하여 인접하는 노드들을 서로 연결한다.
- [0061] 도 10에서 참조번호(333)에서는 테스트 신호 경로들(326, 328)이 서로 겹치게 되고 참조번호(334)에서는 테스트 신호 경로들(327, 328)이 서로 겹치게 된다. 참조번호들(333, 334)에 대하여는 도 11 내지 도 13을 참조하여 후술한다.
- [0062] 종래에는 이렇게 테스트 대상 장치(500)의 핀들의 속성이 변경되는 경우에는 테스트 인터페이스 보드의 구성을 변경하여 테스트를 진행하였다. 즉 테스트 인터페이스 보드를 변경되는 테스트 대상 장치의 핀들의 속성에 맞도록 다시 제작하였다.
- [0063] 이와 같이 도 9 및 도 10을 참조하면, 본 발명의 실시예에 따른 테스트 인터페이스 보드(200)는 테스트되는 테스트 대상 장치(500)의 종류가 변경되어 자동 테스트 장치(100)의 채널들(160, 170, 180)에 연결되는 핀들의 속성이 변경되어도 스위칭 제어 신호(SCS)에 응답하여 스위칭 되는 복수의 스위칭 소자들(SE1, SE2)이 재구성가능한 테스트 신호 경로를 제공할 수 있다.
- [0064] 도 11은 본 발명의 일 실시예에 따른 도 9의 적어도 하나의 스위치 매트릭스 레이어를 나타낸다.
- [0065] 도 11을 참조하면, 적어도 하나의 스위치 매트릭스 레이어는 다층 구조의 제1 레이어(311a) 및 제2 레이어(312a)를 포함할 수 있다. 제1 레이어(311a) 및 제2 레이어(312a)는 각각 도 5의 스위치 매트릭스 레이어(300a)의 구조를 채용할 수 있다. 즉 제1 레이어(311a)는 도 5의 스위치 매트릭스 레이어(300a)와 같이 스위칭 제어 신호들(SCS)에 응답하여 복수의 제1 연결 노드들을 선택적으로 연결하여 재구성가능한 테스트 신호 경로를 제공하는 복수의 스위칭 소자들을 포함할 수 있다. 또한 제2 레이어(312a)는 도 5의 스위치 매트릭스 레이어(300a)와 같이 스위칭 제어 신호들(SCS)에 응답하여 복수의 제2 연결 노드들을 선택적으로 연결하여 재구성가능한 테스트 신호 경로를 제공하는 복수의 스위칭 소자들을 포함할 수 있다.
- [0066] 제1 레이어(311a)의 제1 연결노드들과 제2 레이어(312a)의 제2 연결 노드들 중 상응하는 연결 노드들은 각각 도 12와 같이 층간 스위칭 소자들을 통하여 연결될 수 있다.
- [0067] 도 11에서 참조 번호(331)는 도 9에서 테스트 신호 경로들(321, 322)이 중첩되는 부분을 나타낸다.
- [0068] 도 12는 본 발명의 일 실시예에 따른 테스트 신호 경로들이 중첩되는 부분을 나타낸다.

- [0069] 도 12를 참조하면, 테스트 신호 경로들이 중첩되는 부분(331)에서는 층간 스위칭 소자들(3311, 3312)을 이용하여 테스트 신호 경로들이 중첩되는 것을 방지할 수 있다. 층간 스위칭 소자(3311)는 스위칭 제어 신호(SCS15)에 응답하여 제1 레이어(311a)의 연결 노드(N41)와 제2 레이어(312a)의 상응하는 연결 노드(N241)를 서로 연결할 수 있다. 또한 층간 스위칭 소자(3312)는 스위칭 제어 신호(SCS16)에 응답하여 제1 레이어(311a)의 연결 노드(N43)와 제2 레이어(312a)의 상응하는 연결 노드(N243)를 서로 연결할 수 있다. 즉 테스트 신호 경로들이 서로 중첩되는 부분(331)에서 테스트 신호 경로(321)는 제1 레이어(311a)를 이용할 수 있고, 테스트 신호 경로(322)는 제2 레이어(312a)를 이용할 수 있다. 층간 스위칭 소자들(3311, 3312) 각각도 도 7과 같이 게이트에 스위칭 제어 신호를 인가받아 턴/온 오프되는 엔모스 트랜지스터나 도 8과 같이 스위칭 제어 신호에 응답하여 선택적으로 연결되는 2단자 스위치로 구현될 수 있다.
- [0070] 도 13 및 도 14는 본 발명의 일 실시예에 따른 도 12의 층간 스위칭 소자의 예들을 나타낸다.
- [0071] 도 13을 참조하면, 도 12의 층간 스위칭 소자(3311)는 게이트에 스위칭 제어 신호(SCS15)를 인가받아 선택적으로 턴-온되어 제1 레이어(311a)의 연결노드(N41)와 제2 레이어(312a)의 연결노드(N241)를 연결하는 엔모스 트랜지스터(3311a)를 포함할 수 있다.
- [0072] 도 14를 참조하면, 도 12의 층간 스위칭 소자(331)는 게이트에 스위칭 제어 신호(SCS15)를 인가받아 선택적으로 연결되어 제1 레이어(311a)의 연결노드(N41)와 제2 레이어(312a)의 연결노드(N241)를 연결하는 2단자 스위치(3311b)를 포함할 수 있다.
- [0073] 도 15는 본 발명의 다른 실시예에 따른 도 1의 테스트 인터페이스 보드의 구성을 나타내는 블록도이다.
- [0074] 도 15를 참조하면, 테스트 인터페이스 보드(200b)는 스위치 매트릭스레이어(300b)는 제어 로직(400b)을 포함하여 구성될 수 있다.
- [0075] 스위치 매트릭스 레이어(300b)는 제1 스위칭부(301b) 및 제2 스위칭부(302b)를 포함한다. 제1 스위칭부(301b)는 도5의 스위치 매트릭스 레이어(300a)와 유사하게 구성되어 자동 테스트 장치(100)의 드라이브 채널(160) 및 입출력 채널(170)과 연결되어 제어 신호 및 테스트 패턴 신호들에 대한 재구성 가능한 테스트 경로를 제공한다. 제1 스위칭부(301b)는 제어 신호 및 테스트 패턴 신호들에 대한 재구성 가능한 테스트 경로를 제공하여 제어 신호 및 테스트 패턴 신호들을 신호들(SIG1~SIGr)로서 제2 스위칭부(302b)에 제공한다. 제1 스위칭부(301b)는 도 11과 같이 복수의 레이어들로 구성되어 재구성가능한 테스트 신호 경로를 제공할 수도 있다.
- [0076] 제2 스위칭부(302b)는 연결 노드들(NS1~NSr) 각각과 신호들(SIG1~SIGr) 각각을 제1 방향(D1)으로 선택적으로 연결하는 복수의 스위칭 소자들(SE3) 및 연결 노드들(NS1~NSr) 각각을 전원 전압(VDD) 또는 접지 전압(GND)과 제2 방향(D2)으로 연결하는 복수의 스위칭 소자들(SE4)을 포함한다. 스위칭 소자들(SE3, SE4)은 제어 로직(400b)에서 제공되는 복수의 스위칭 제어 신호들(SCS2)에 응답하여 테스트 대상 장치(570)의 핀들(570)에 제어 신호 및 테스트 패턴 신호들을 포함하는 신호들(SIG1~SIGr), 전원 전압(VDD) 및 접지 전압(GND) 중 하나를 선택적으로 연결한다. 따라서 테스트 대상 장치(500)의 핀들(570)의 속성이 제어 신호 및 테스트 패턴 신호들을 포함하는 신호들(SIG1~SIGr)에서 전원 전압(VDD) 또는 접지 전압(GND)으로 변경되거나 전원 전압(VDD) 또는 접지 전압에서 제어 신호 및 테스트 패턴 신호들을 포함하는 신호들(SIG1~SIGr)로 변경되어도 제1 스위칭부(301b)와 제2 스위칭부(302b)의 스위칭 동작에 의하여 테스트 인터페이스 보드(200b)를 변경하지 않고도 테스트 대상 장치(500)의 상응하는 속성의 핀들(570)에 연결할 수 있다. 제어 로직(400b)은 핀 구성 정보(PCI)에 기초하여 제1 스위칭 제어 신호들(SCS1)은 제1 스위칭부(301b)에 제공하고 제2 스위칭 제어 신호들(SCS2)은 제2 스위칭부(302b)에 제공할 수 있다.
- [0077] 도 16은 도 15의 제2 스위칭부에서 하나의 노드와 스위칭 소자들의 연결관계를 나타낸다.
- [0078] 도 16을 참조하면, 하나의 노드(Nst)에 스위칭 소자들(371, 372, 373)이 연결된다. 스위칭 소자(371)는 스위칭 제어 신호(SCS21)에 응답하여 전원전압(VDD)을 노드(Nst)에 선택적으로 연결하고, 스위칭 소자(372)는 스위칭 제어 신호(SCS22)에 응답하여 접지 전압(GND)을 노드(Nst)에 선택적으로 연결하고, 스위칭 소자(373)은 스위칭 제어 신호(SCS23)에 응답하여 신호(SIG)를 노드(Nst)에 선택적으로 연결할 수 있다. 여기서 t는 1이상 r 이하인 정수이다.
- [0079] 도 17은 본 발명의 일 실시예에 따른 도 1의 제어 로직의 구성을 나타내는 블록도이다.
- [0080] 도 17을 참조하면, 제어 로직(400)은 레지스터(410) 및 스위칭 신호 생성기(420)를 포함하여 구성될 수 있다.
- [0081] 레지스터(410)는 테스트 대상 장치(500)의 핀들의 속성을 나타내는 핀 구성 정보(PCI)를 저장한다. 이러한 핀

구성 정보(PCI)는 테스트 대상 장치(500)가 바뀔 때마다 레지스터(410)에 제공되어 저장될 수 있다. 스위칭 신호 생성기(420)는 레지스터(410)에 저장된 핀 구성 정보(PCI)에 기초하여 자동 테스트 장치(400)의 채널들(160, 170, 180)을 테스트 대상 장치(500)의 상응하는 속성의 핀들에 연결하기 위한 재구성 가능한 테스트 신호 경로를 제공하기 위한 스위칭 제어 신호들(SCS) 적어도 하나의 스위칭 매트릭스 레이어(300)에 제공한다. 스위칭 매트릭스 레이어(300)의 연결 스위치들은 이 스위칭 제어 신호들(SCS)에 응답하여 복수의 연결 노드들을 선택적으로 연결하여 재구성 가능한 테스트 신호 경로를 제공할 수 있다.

[0082] 레지스터(410)는 모드 셋 레지스터(Mode Set Register)로 구성되어 핀 구성 정보(PCI) 정보에 따라 미리 설정된 스위칭 제어 신호들(SCS)을 생성하기 위한 정보를 스위칭 신호 생성기(420)에 제공할 수 있다.

[0083] 도 18은 본 발명의 일 실시예에 따른 테스트 시스템을 나타내는 블록도이다.

[0084] 도 18을 참조하면, 테스트 시스템(700)은 테스트 메인 프레임(710), 테스트 헤더(720), 프로브 카드(730), 반도체 칩들이 형성된 웨이퍼(740) 및 기판 지지대(750)를 포함한다.

[0085] 테스트 메인 프레임(710)은 테스트 동작 신호를 생성하고, 반도체 칩들이 형성된 웨이퍼(740)에서 생성된 테스트 결과 신호를 수신할 수 있다. 테스트 헤더(720)는 테스트 헤더(720)에 프로브 카드(730)가 장착되거나, 기판 지지대(750)에 웨이퍼(740)가 장착되는 것을 용이하게 하도록 상하로 이동할 수 있다. 실시예에 따라, 테스트 헤더(720)는 고정되고, 기판 지지대(750)가 상하로 이동하거나, 테스트 헤더(720) 및 기판 지지대(750)가 모두 상하로 이동할 수 있다. 테스트 메인 프레임(710), 테스트 헤더(720) 및 기판 지지대(750)는 자동 테스트 장치(automatic test equipment, ATE)를 구성할 수 있다.

[0086] 프로브 카드(730)는 테스트 인터페이스 보드(760), 테스트 헤더(720)와 테스트 인터페이스 보드(760)를 연결하기 위한 커넥터(770), 및 테스트 인터페이스 보드(760)와 상기 반도체 칩들의 패드들을 연결하기 위한 프로브 니들(780)을 포함할 수 있다. 테스트 인터페이스 보드(760)는 커넥터(770)로부터 수신된 테스트 동작 신호를 재구성 가능한 테스트 신호 경로를 통하여 프로브 니들(780)로 송신한다. 또한, 테스트 인터페이스 보드(760)는 프로브 니들(780)로부터 수신된 테스트 결과 신호를 재구성 가능한 테스트 신호 경로를 통하여 커넥터(770)로 송신한다. 이에 따라, 테스트 동작 신호 및 테스트 결과 신호를 웨이퍼(740)의 패드의 속성이 변경되어도 테스트 인터페이스 보드(760)를 변경하지 않아도 되므로 테스트 시스템(700)의 전체적인 테스트 비용이 절감될 수 있다.

[0087] 상술한 바와 같이, 본 발명의 일 실시예에 따른 테스트 인터페이스 보드 및 테스트 시스템에서는 테스트 대상 장치가 변경되어 테스트 대상 장치의 핀 속성이 달라져도 테스트 인터페이스 보드가 재구성 가능한 테스트 신호 경로를 테스트 대상 장치에 제공할 수 있어 테스트 비용이 절감될 수 있다.

산업상 이용가능성

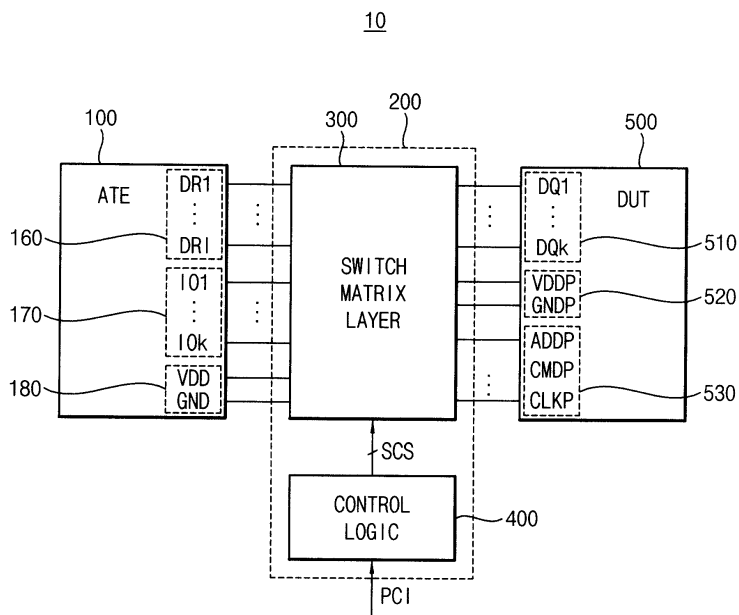
[0088] 본 발명은 발명은 테스트 대상 장치에 테스트 신호를 인가하는 임의의 테스트 시스템에 유용하게 이용될 수 있다.

[0089] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

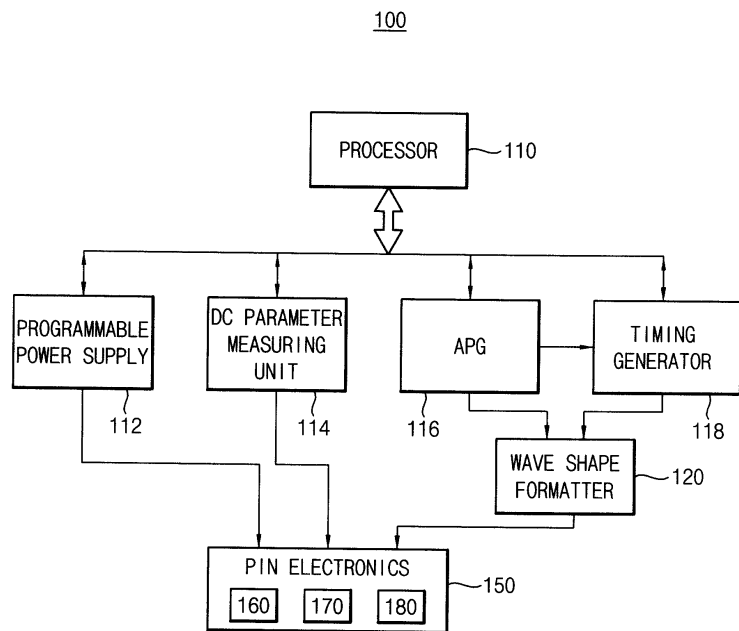
[0090] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

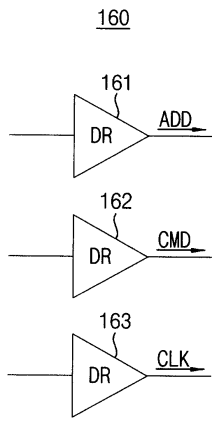
도면1



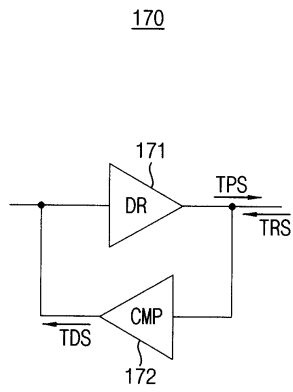
도면2



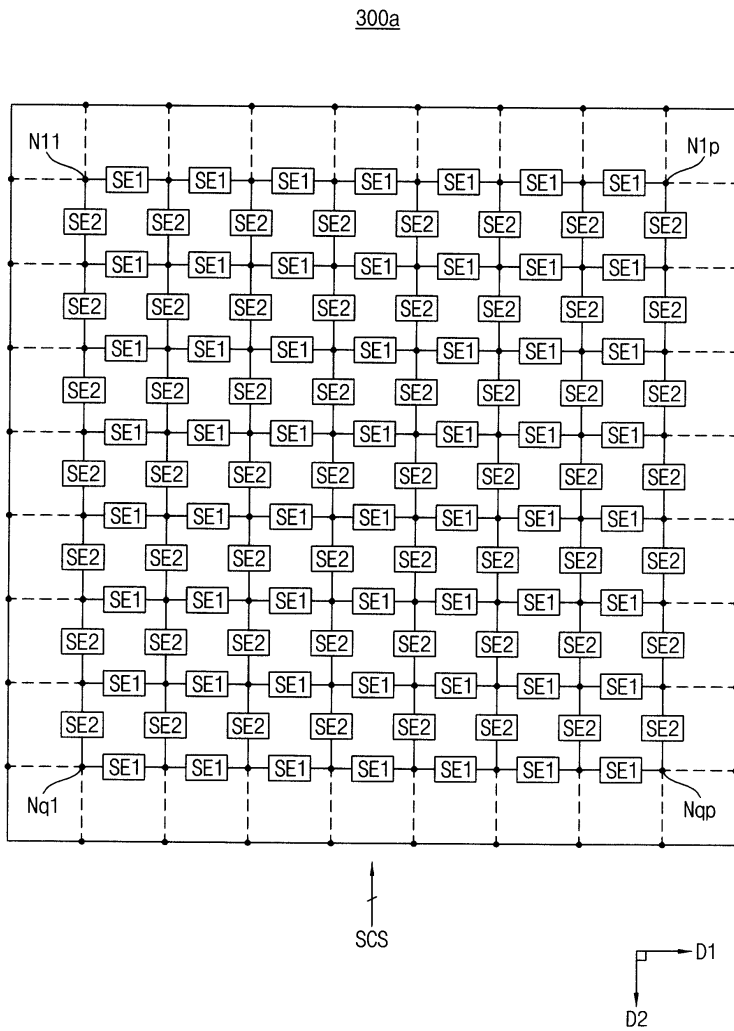
도면3



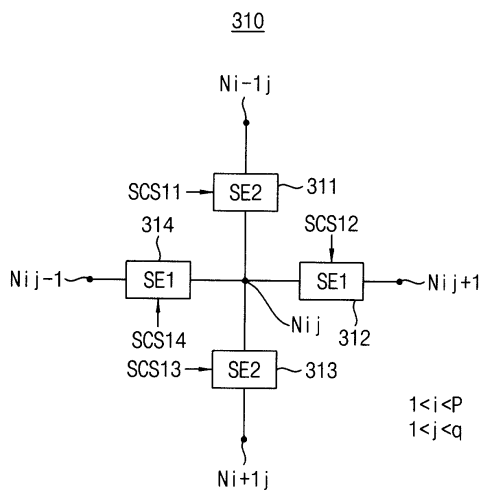
도면4



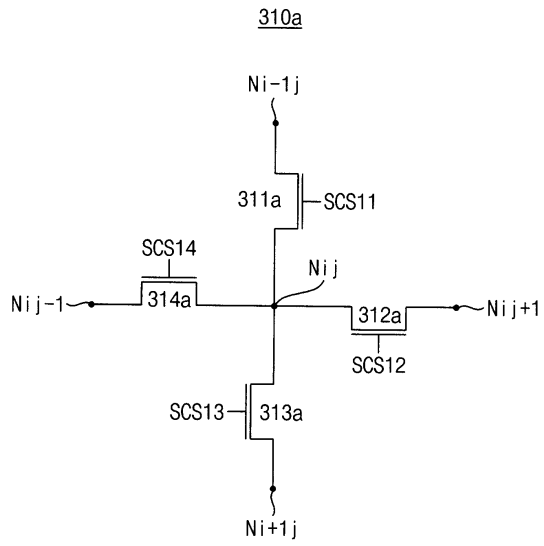
도면5



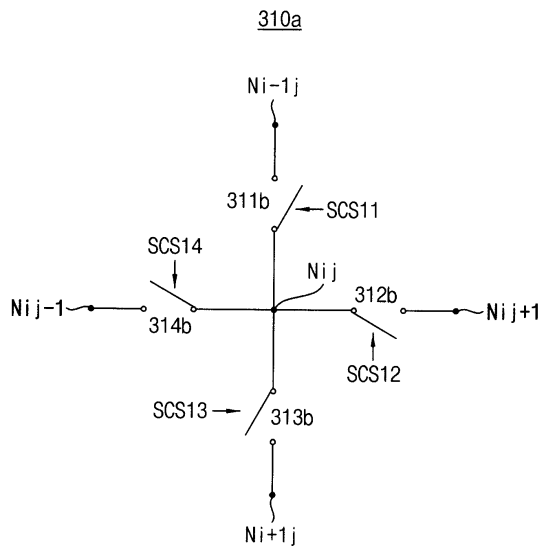
도면6



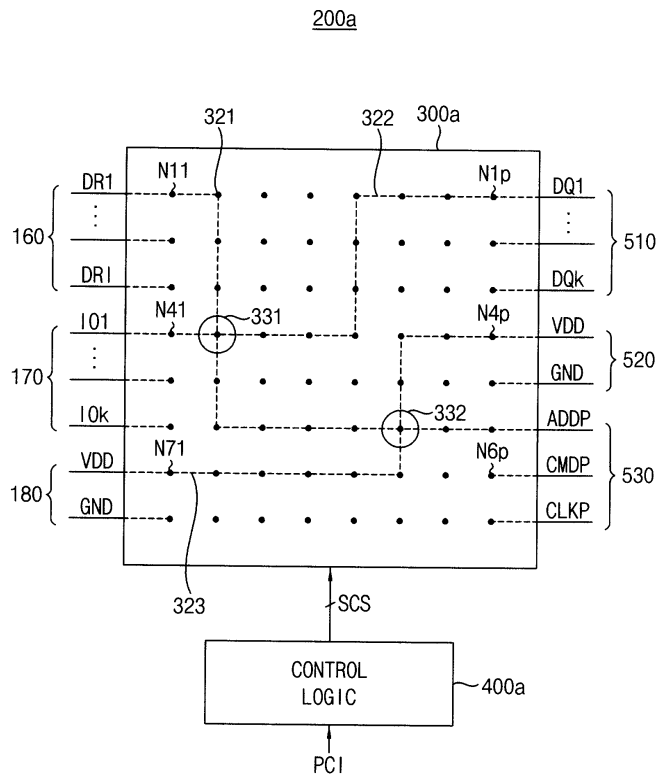
도면7



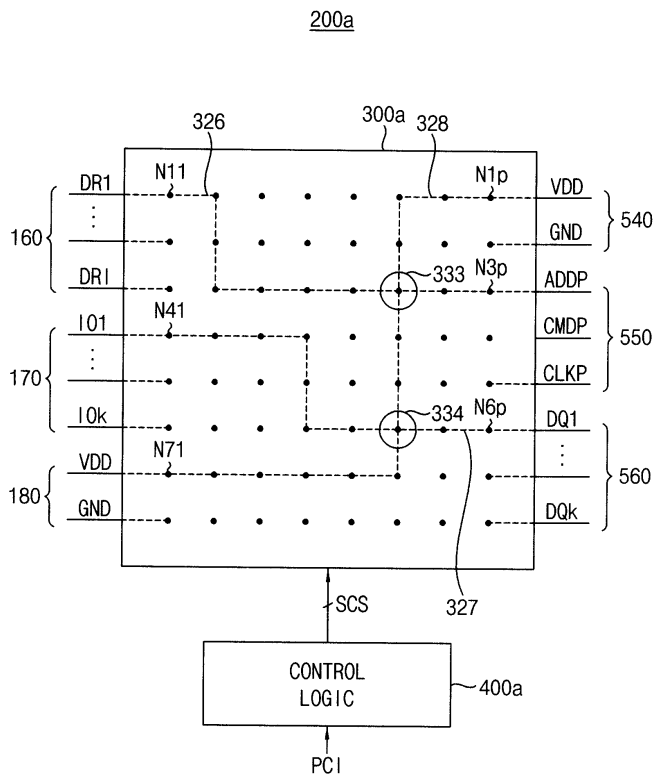
도면8



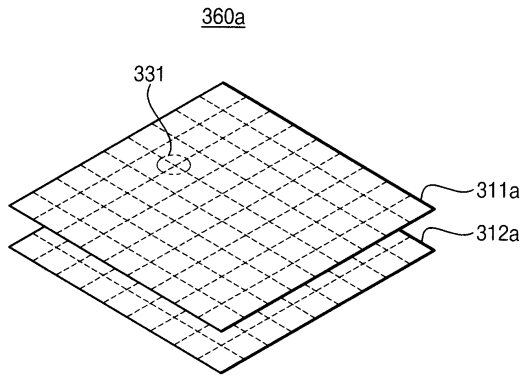
도면9



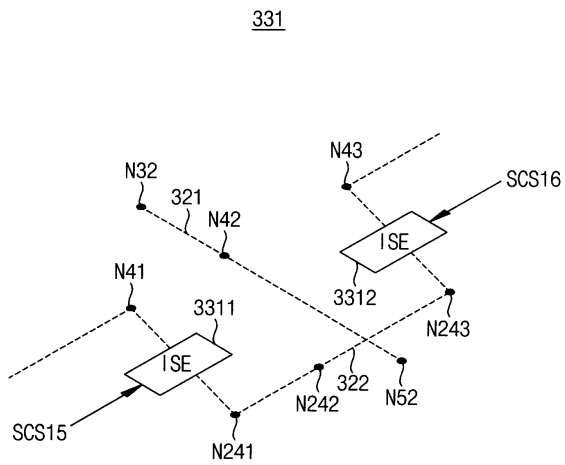
도면10



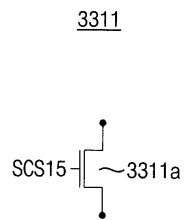
도면11



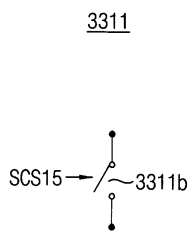
도면12



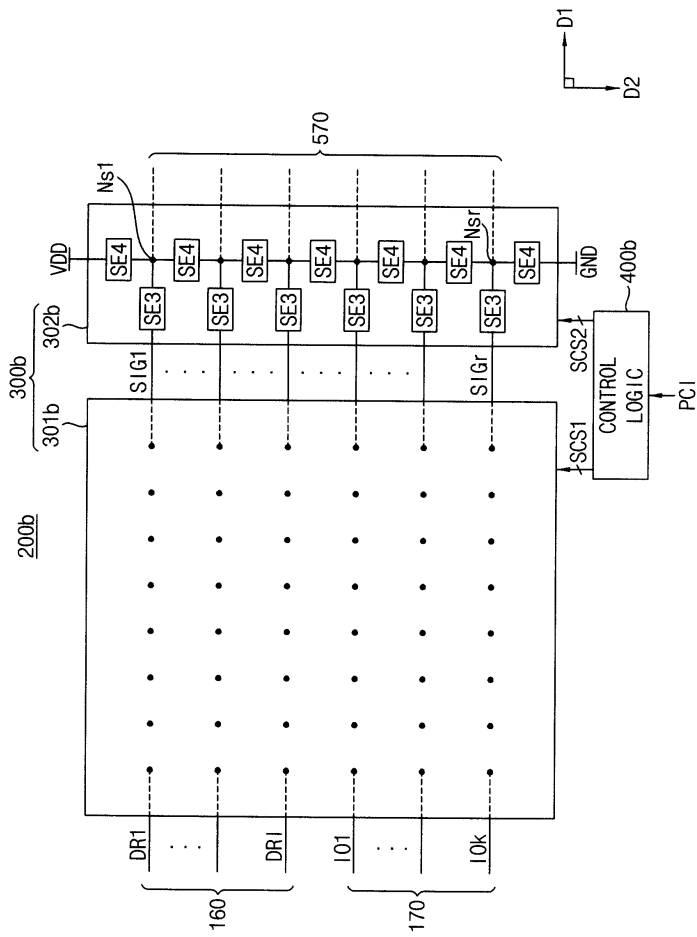
도면13



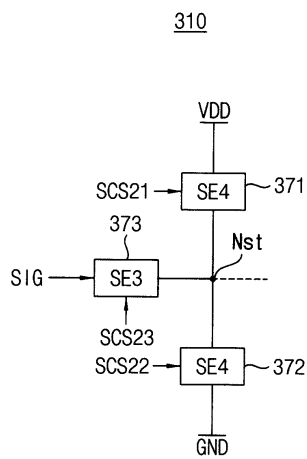
도면14



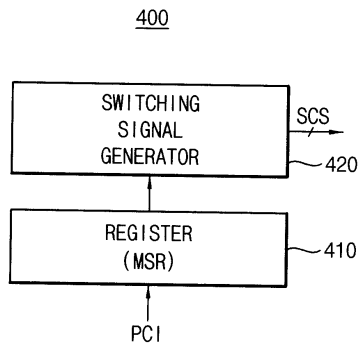
도면15



도면16



도면17



도면18

