



(12)实用新型专利

(10)授权公告号 CN 205452278 U

(45)授权公告日 2016.08.10

(21)申请号 201620224134.6

(22)申请日 2016.03.22

(73)专利权人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市大兴区大兴区经济技术开发区(亦庄)文昌大道18号

专利权人 中芯国际集成电路制造(上海)有限公司

(72)发明人 周华阳 宋永梁

(74)专利代理机构 上海光华专利事务所 31219
代理人 余明伟

(51)Int. Cl.

H01L 23/544(2006.01)

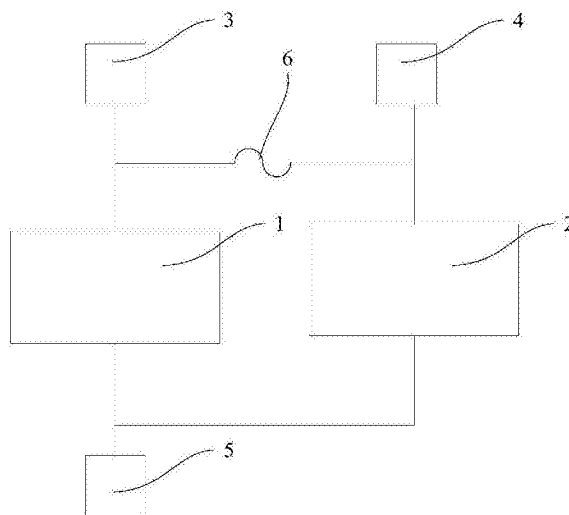
权利要求书2页 说明书6页 附图2页

(54)实用新型名称

半导体测试结构

(57)摘要

本实用新型提供一种半导体测试结构,包括:第一测试结构、第二测试结构、第一测试焊垫、第二测试焊垫、第三测试焊垫及保险丝。本实用新型通过将适于同时测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性的第一测试结构与适于测试栅间氧化层的完整性的第二测试结构设计在一起,不需要使用失效分析即可以同时测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性进行测试,可以精确地找出失效点是位于栅间氧化层还是位于连接通孔与多晶硅栅极之间的层间介质层中,节省了测试时间和测试成本,提高了测试的效率。



1. 一种半导体测试结构,其特征在于,所述半导体测试结构包括:第一测试结构、第二测试结构、第一测试焊垫、第二测试焊垫、第三测试焊垫及保险丝;

所述第一测试结构一端与所述第一测试焊垫相连接,另一端与所述第三测试焊垫相连接,适于测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性;

所述第二测试结构一端与所述第二测试焊垫相连接,另一端与所述第三测试焊垫相连接,适于测试栅间氧化层的完整性;

所述保险丝一端与所述第一测试结构及所述第一测试焊垫相连接,另一端与所述第二测试结构及所述第二测试焊垫相连接。

2. 根据权利要求1所述的半导体测试结构,其特征在于:

所述第一测试结构包括第一多晶硅栅极、第一连接通孔及第一金属线层;所述第一连接通孔位于所述第一多晶硅栅极两侧有源区的上方,所述第一金属线层位于所述第一连接通孔的上方;所述第一连接通孔内填充有金属以形成金属插塞,所述第一连接通孔一端与所述有源区相连接,另一端与所述第一金属线层相连接;所述第一连接通孔与所述第一多晶硅栅极之间的间距为最小设计规则,所述最小设计规则为工艺设计所允许的最小尺寸;

所述第二测试结构包括第二多晶硅栅极、第二连接通孔及第二金属线层;所述第二连接通孔位于所述第二多晶硅栅极两侧有源区的上方,所述第二金属线层位于所述第二连接通孔的上方;所述第二连接通孔内填充有金属以形成金属插塞,所述第二连接通孔一端与所述有源区相连接,另一端与所述第二金属线层相连接;所述第二连接通孔与所述第二多晶硅栅极之间的间距大于两倍的最小设计规则。

3. 根据权利要求2所述的半导体测试结构,其特征在于:

所述第一多晶硅栅极的数量为多个,多个所述第一多晶硅栅极平行间隔排布;位于所述第一多晶硅栅极每一侧的所述第一连接通孔均沿所述第一多晶硅栅极长度的方向呈单行多列排布;

所述第二多晶硅栅极的数量为多个,多个所述第二多晶硅栅极平行间隔排布;位于所述第二多晶硅栅极每一侧的所述第二连接通孔均沿所述第二多晶硅栅极长度的方向呈单行多列排布。

4. 根据权利要求3所述的半导体测试结构,其特征在于:位于所述第一多晶硅栅极每一侧的相邻所述第一连接通孔之间的间距大于或等于最小设计规则;位于所述第二多晶硅栅极每一侧的相邻所述第二连接通孔之间的间距大于位于所述第一多晶硅栅极每一侧的相邻所述第一连接通孔之间的间距。

5. 根据权利要求3所述的半导体测试结构,其特征在于:

所述第一测试结构还包括第三多晶硅栅极及第三金属线层;所述第三多晶硅栅极位于所述第一多晶硅栅极远离所述第三金属线层的一端,并与所述第一多晶硅栅极垂直连接;

所述第三金属线层位于所述第一金属线层远离所述第三多晶硅栅极的一端,并与所述第一金属线层垂直连接;所述第一测试结构通过所述第三多晶硅栅极与所述第一测试焊垫相连接,通过所述第三金属线层与所述第三测试焊垫相连接;

所述第二测试结构还包括第四多晶硅栅极及第四金属线层;所述第四多晶硅栅极位于所述第二多晶硅栅极远离所述第四金属线层的一端,并与所述第二多晶硅栅极垂直连接;

所述第四金属线层位于所述第二金属线层远离所述第四多晶硅栅极的一端,并与所述

第二金属线层垂直连接;所述第二测试结构通过所述第四多晶硅栅极与所述第二测试焊垫相连接,通过所述第四金属线层与所述第三测试焊垫相连接。

6. 根据权利要求5所述的半导体测试结构,其特征在于:

所述第一测试结构还包括第三连接通孔及第五金属连线层,所述第三连接通孔位于所述第三多晶硅层的上方,所述第五金属线层位于所述第三连接通孔的上方;所述第三连接通孔内填充有金属以形成金属插塞,所述第三连接通孔一端与所述第三多晶硅层相连接,另一端与所述第五金属线层相连接;所述第三多晶硅层通过所述第三连接通孔及所述第五金属连线层与所述第一测试焊垫相连接;

所述第二测试结构还包括第四连接通孔及第六金属连线层,所述第四连接通孔位于所述第四多晶硅层的上方,所述第六金属线层位于所述第四连接通孔的上方;所述第四连接通孔内填充有金属以形成金属插塞,所述第四连接通孔一端与所述第四多晶硅层相连接,另一端与所述第六金属线层相连接;所述第四多晶硅层通过所述第四连接通孔及所述第六金属连线层与所述第二测试焊垫相连接。

7. 根据权利要求1所述的半导体测试结构,其特征在于:所述保险丝的材料为金属或多晶硅。

8. 根据权利要求1所述的半导体测试结构,其特征在于:所述保险丝的形状为“工”字型。

半导体测试结构

技术领域

[0001] 本实用新型属于半导体制备技术领域,特别是涉及一种半导体测试结构。

背景技术

[0002] 随着半导体工艺的发展,在半导体工艺中,栅间氧化层(Gate Oxide)的完整性是确保整个工艺正常进行的一个重要条件。因此,在半导体工艺中,栅间氧化层的完整性的测试就变得非常重要。

[0003] 现有的栅间氧化层完整性(Gate Oxide Integrity,GOI)测试结构可以测试栅极多晶硅层刻蚀工艺中是否对栅间氧化层造成破坏,若栅间氧化层完整性存在问题,一般会采用失效分析(Failure Analysis,FA)方法寻找失效点,而后根据分析结果对相应工艺进行调整。

[0004] 然而,随着半导体工艺的发展,半导体结构的尺寸变得越来越小,在这种情况下,在使用失效分析方法就很难准确地找出栅间氧化层的失效点。同时失效分析使用的测试机台比较昂贵,这无形中增加了测试的难度和成本。

实用新型内容

[0005] 鉴于以上所述现有技术的缺点,本实用新型的目的在于提供一种半导体测试结构,用于解决现有技术中使用失效分析方法对栅间氧化层完整性进行分析时导致的很难精确地找到栅间氧化层中的失效点,且测试成本昂贵的问题。

[0006] 为实现上述目的及其他相关目的,本实用新型提供一种半导体测试结构,所述半导体测试结构包括:

[0007] 第一测试结构、第二测试结构、第一测试焊垫、第二测试焊垫、第三测试焊垫及保险丝;

[0008] 所述第一测试结构一端与所述第一测试焊垫相连接,另一端与所述第三测试焊垫相连接,适于测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性;

[0009] 所述第二测试结构一端与所述第二测试焊垫相连接,另一端与所述第三测试焊垫相连接,适于测试栅间氧化层的完整性;

[0010] 所述保险丝一端与所述第一测试结构及所述第一测试焊垫相连接,另一端与所述第二测试结构及所述第二测试焊垫相连接。

[0011] 作为本实用新型的半导体测试结构的一种优选方案,所述第一测试结构包括第一多晶硅栅极、第一连接通孔及第一金属线层;所述第一连接通孔位于所述第一多晶硅栅极两侧有源区的上方,所述第一金属线层位于所述第一连接通孔的上方;所述第一连接通孔内填充有金属以形成金属插塞,所述第一连接通孔一端与所述有源区相连接,另一端与所述第一金属线层相连接;所述第一连接通孔与所述第一多晶硅栅极之间的间距为最小设计规则,所述最小设计规则为工艺设计所允许的最小尺寸;

[0012] 所述第二测试结构包括第二多晶硅栅极、第二连接通孔及第二金属线层；所述第二连接通孔位于所述第二多晶硅栅极两侧有源区的上方，所述第二金属线层位于所述第二连接通孔的上方；所述第二连接通孔内填充有金属以形成金属插塞，所述第二连接通孔一端与所述有源区相连接，另一端与所述第二金属线层相连接；所述第二连接通孔与所述第二多晶硅栅极之间的间距大于两倍的最小设计规则。

[0013] 作为本实用新型的半导体测试结构的一种优选方案，所述第一多晶硅栅极的数量为多个，多个所述第一多晶硅栅极平行间隔排布；位于所述第一多晶硅栅极每一侧的所述第一连接通孔均沿所述第一多晶硅栅极长度的方向呈单行多列排布；

[0014] 所述第二多晶硅栅极的数量为多个，多个所述第二多晶硅栅极平行间隔排布；位于所述第二多晶硅栅极每一侧的第二连接通孔均沿所述第二多晶硅栅极长度的方向呈单行多列排布。

[0015] 作为本实用新型的半导体测试结构的一种优选方案，位于所述第一多晶硅栅极每一侧的相邻所述第一连接通孔之间的间距大于或等于最小设计规则；位于所述第二多晶硅栅极每一侧的相邻所述第二连接通孔之间的间距大于位于所述第一多晶硅栅极每一侧的相邻所述第一连接通孔之间的间距。

[0016] 作为本实用新型的半导体测试结构的一种优选方案，所述第一测试结构还包括第三多晶硅栅极及第三金属线层；所述第三多晶硅栅极位于所述第一多晶硅栅极远离所述第三金属线层的一端，并与所述第一多晶硅栅极垂直连接；所述第三金属线层位于所述第一金属线层远离所述第三多晶硅栅极的一端，并与所述第一金属线层垂直连接；所述第一测试结构通过所述第三多晶硅栅极与所述第一测试焊垫相连接，通过所述第三金属线层与所述第三测试焊垫相连接；

[0017] 所述第二测试结构还包括第四多晶硅栅极及第四金属线层；所述第四多晶硅栅极位于所述第二多晶硅栅极远离所述第四金属线层的一端，并与所述第二多晶硅栅极垂直连接；所述第四金属线层位于所述第二金属线层远离所述第四多晶硅栅极的一端，并与所述第二金属线层垂直连接；所述第二测试结构通过所述第四多晶硅栅极与所述第二测试焊垫相连接，通过所述第四金属线层与所述第三测试焊垫相连接。

[0018] 作为本实用新型的半导体测试结构的一种优选方案，所述第一测试结构还包括第三连接通孔及第五金属连线层，所述第三连接通孔位于所述第三多晶硅层的上方，所述第五金属线层位于所述第三连接通孔的上方；所述第三连接通孔内填充有金属以形成金属插塞，所述第三连接通孔一端与所述第三多晶硅层相连接，另一端与所述第五金属线层相连接；所述第三多晶硅层通过所述第三连接通孔及所述第五金属连线层与所述第一测试焊垫相连接；

[0019] 所述第二测试结构还包括第四连接通孔及第六金属连线层，所述第四连接通孔位于所述第四多晶硅层的上方，所述第六金属线层位于所述第四连接通孔的上方；所述第四连接通孔内填充有金属以形成金属插塞，所述第四连接通孔一端与所述第四多晶硅层相连接，另一端与所述第六金属线层相连接；所述第四多晶硅层通过所述第四连接通孔及所述第六金属连线层与所述第二测试焊垫相连接。

[0020] 作为本实用新型的半导体测试结构的一种优选方案，所述保险丝的材料为金属或多晶硅。

[0021] 作为本实用新型的半导体测试结构的一种优选方案,所述保险丝的形状为“工”字型。

[0022] 如上所述,本实用新型的半导体测试结构具有如下有益效果:通过将适于同时测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性的第一测试结构与适于测试栅间氧化层的完整性的第二测试结构设计在一起,不需要使用失效分析即可以同时测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性进行测试,可以精确地找出失效点是位于栅间氧化层还是位于连接通孔与多晶硅栅极之间的层间介质层中,节省了测试时间和测试成本,提高了测试的效率。

附图说明

[0023] 图1显示为本实用新型的半导体测试结构的示意图。

[0024] 图2显示为本实用新型的半导体测试结构中第一测试结构的俯视结构示意图。

[0025] 图3显示为本实用新型的半导体测试结构中第二测试结构的俯视结构示意图。

[0026] 图4显示为本实用新型的半导体测试结构中保险丝的结构示意图。

[0027] 元件标号说明

[0028] 1 第一测试结构

[0029] 11 第一多晶硅栅极

[0030] 12 第一连接通孔

[0031] 13 第一金属线层

[0032] 14 第三多晶硅栅极

[0033] 15 第三金属线层

[0034] 16 第三连接通孔

[0035] 2 第二测试结构

[0036] 21 第二多晶硅栅极

[0037] 22 第二连接通孔

[0038] 23 第二金属线层

[0039] 24 第四多晶硅栅极

[0040] 25 第四金属线层

[0041] 26 第四连接通孔

[0042] 3 第一测试焊垫

[0043] 4 第二测试焊垫

[0044] 5 第三测试焊垫

[0045] 6 保险丝

[0046] 7 有源区

具体实施方式

[0047] 以下通过特定的具体实例说明本实用新型的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本实用新型的其他优点与功效。本实用新型还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应

用,在没有背离本实用新型的精神下进行各种修饰或改变。

[0048] 请参阅图1至图4。需要说明的是,本实施例中所提供的图示仅以示意方式说明本实用新型的基本构想,虽图示中仅显示与本实用新型中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0049] 请参阅图1,本实用新型提供一种半导体测试结构,所述半导体测试结构包括:第一测试结构1、第二测试结构2、第一测试焊垫3、第二测试焊垫4、第三测试焊垫5及保险丝6;所述第一测试结构1一端与所述第一测试焊垫3相连接,另一端与所述第三测试焊垫5相连接,适于测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性;所述第二测试结构2一端与所述第二测试焊垫4相连接,另一端与所述第三测试焊垫5相连接,适于测试栅间氧化层的完整性;所述保险丝6一端与所述第一测试结构1及所述第一测试焊垫3相连接,另一端与所述第二测试结构2及所述第二测试焊垫4相连接。

[0050] 作为示例,请参阅图2至图3,所述第一测试结构1包括第一多晶硅栅极11、第一连接通孔12及第一金属线层13;所述第一连接通孔12位于所述第一多晶硅栅极11两侧有源区7的上方,所述第一金属线层13位于所述第一连接通孔12的上方;所述第一连接通孔12内填充有金属以形成金属插塞,所述第一连接通孔12一端与所述有源区7相连接,另一端与所述第一金属线层13相连接;所述第一连接通孔12与所述第一多晶硅栅极11之间的间距为最小设计规则,所述最小设计规则为工艺设计所允许的最小尺寸;所述第二测试结构2包括第二多晶硅栅极21、第二连接通孔22及第二金属线层23;所述第二连接通孔22位于所述第二多晶硅栅极21两侧有源区7的上方,所述第二金属线层23位于所述第二连接通孔22的上方;所述第二连接通孔22内填充有金属以形成金属插塞,所述第二连接通孔22一端与所述有源区7相连接,另一端与所述第二金属线层23相连接;所述第二连接通孔22与所述第二多晶硅栅极21之间的间距大于两倍的最小设计规则。

[0051] 作为示例,所述第一多晶硅栅极11的数量为多个,多个所述第一多晶硅栅极11平行间隔排布;位于所述第一多晶硅栅极11每一侧的所述第一连接通孔12均沿所述第一多晶硅栅极11长度的方向呈单行多列排布;所述第二多晶硅栅极21的数量为多个,多个所述第二多晶硅栅极21平行间隔排布;位于所述第二多晶硅栅极21每一侧的所述第二连接通孔22均沿所述第二多晶硅栅极21长度的方向呈单行多列排布。

[0052] 作为示例,位于所述第一多晶硅栅极11每一侧的相邻所述第一连接通孔12之间的间距大于或等于最小设计规则;位于所述第二多晶硅栅极21每一侧的相邻所述第二连接通孔22之间的间距大于位于所述第一多晶硅栅极11每一侧的相邻所述第一连接通孔12之间的间距;优选地,本实施例中,位于所述第二多晶硅栅极21每一侧的相邻所述第二连接通孔22之间的间距大于两倍的最小设计规则。

[0053] 作为示例,所述第一测试结构1还包括第三多晶硅栅极14及第三金属线层15;所述第三多晶硅栅极14位于所述第一多晶硅栅极11远离所述第三金属线层15的一端,并与所述第一多晶硅栅极14垂直连接;所述第三金属线层15位于所述第一金属线层13远离所述第三多晶硅栅极14的一端,并与所述第一金属线层13垂直连接;所述第一测试结构1通过所述第三多晶硅栅极14与所述第一测试焊垫3相连接,通过所述第三金属线层15与所述第三测试焊垫5相连接;即所述第一多晶硅栅极11与所述第三多晶硅栅极14及所述第一金属线层13

与所述第三金属线层15均形成梳齿结构；其中，所述第一多晶硅栅极11与所述第三多晶硅栅极14形成的梳齿结构中，所述第三多晶硅栅极14为梳齿根部，所述第一多晶硅栅极11为梳齿齿部；所述第一金属线层13与所述第三金属线层15形成的梳齿结构中，所述第三金属线层15为梳齿根部，所述第一金属线层13为梳齿齿部；所述第一多晶硅栅极11与所述第三多晶硅栅极14形成的梳齿结构与所述第一金属线层13与所述第三金属线层15形成的梳齿结构相对分布。所述第二测试结构2还包括第四多晶硅栅极24及第四金属线层25；所述第四多晶硅栅极24位于所述第二多晶硅栅极21远离所述第四金属线层25的一端，并与所述第二多晶硅栅极21垂直连接；所述第四金属线层25位于所述第二金属线层23远离所述第四多晶硅栅极24的一端，并与所述第二金属线层23垂直连接；所述第二测试结构2通过所述第四多晶硅栅极24与所述第二测试焊垫4相连接，通过所述第四金属线层24与所述第三测试焊垫5相连接；即所述第二多晶硅栅极21与所述第四多晶硅栅极24及所述第二金属线层23与所述第四金属线层25均形成梳齿结构；其中，所述第二多晶硅栅极21与所述第四多晶硅栅极24形成的梳齿结构中，所述第四多晶硅栅极24为梳齿根部，所述第二多晶硅栅极为梳齿齿部；所述第二金属线层23与所述第四金属线层25形成的梳齿结构中，所述第四金属线层25为梳齿根部，所述第二金属线层23为梳齿齿部；所述第二多晶硅栅极21与所述第四多晶硅栅极24形成的梳齿结构与所述第二金属线层23与所述第四金属线层25形成的梳齿结构相对分布。

[0054] 作为示例，所述第一测试结构1还包括第三连接通孔16及第五金属连线层（未示出），所述第三连接通孔16位于所述第三多晶硅层14的上方，所述第五金属线层位于所述第三连接通孔16的上方；所述第三连接通孔16内填充有金属以形成金属插塞，所述第三连接通孔16一端与所述第三多晶硅层14相连接，另一端与所述第五金属线层相连接；所述第三多晶硅层14通过所述第三连接通孔16及所述第五金属连线层与所述第一测试焊垫3相连接；所述第二测试结构2还包括第四连接通孔26及第六金属连线层（未示出），所述第四连接通孔26位于所述第四多晶硅层24的上方，所述第六金属线层位于所述第四连接通孔26的上方；所述第四连接通孔26内填充有金属以形成金属插塞，所述第四连接通孔26一端与所述第四多晶硅层24相连接，另一端与所述第六金属线层相连接；所述第四多晶硅层24通过所述第四连接通孔26及所述第六金属连线层与所述第二测试焊垫4相连接。

[0055] 作为示例，请参阅图4，所述保险丝6的形状可以为“工”字型。

[0056] 作为示例，所述保险丝6的材料可以为但不仅限于金属或多晶硅。

[0057] 本实用新型的半导体测试结构的测试原理为：在所述第一测试焊垫3及所述第三测试焊垫5上施加电压，分别量测所述第一测试焊垫3与所述第三测试焊垫5之间的电流以及所述第二测试焊垫4与所述第三测试焊垫5之间的电流；若所述第一测试焊垫3与所述第三测试焊垫5之间的电流及所述第二测试焊垫4与所述第三测试焊垫5之间的电流均异常，则判定所述第一测试结构1中存在异常，若所述第一测试焊垫3与所述第三测试焊垫5之间的电流正常，而所述第二测试焊垫4与所述第三测试焊垫5之间的电流异常，则判定所述第二测试结构2中存在异常；若所述第二测试结构2中存在异常，所述保险丝6即会融化。依据所述第一测试结构1及所示第二测试结构2的失效情况即可判定出具体的失效点。

[0058] 综上所述，本实用新型提供一种半导体测试结构，所述半导体测试结构包括：第一测试结构、第二测试结构、第一测试焊垫、第二测试焊垫、第三测试焊垫及保险丝；所述第一

测试结构一端与所述第一测试焊垫相连接,另一端与所述第三测试焊垫相连接,适于测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性;所述第二测试结构一端与所述第二测试焊垫相连接,另一端与所述第三测试焊垫相连接,适于测试栅间氧化层的完整性;所述保险丝一端与所述第一测试结构及所述第一测试焊垫相连接,另一端与所述第二测试结构及所述第二测试焊垫相连接。通过将适于同时测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性的第一测试结构与适于测试栅间氧化层的完整性的第二测试结构设计在一起,不需要使用失效分析即可以同时测试栅间氧化层的完整性及连接通孔与多晶硅栅极之间的层间介质层的完整性进行测试,可以精确地找出失效点是位于栅间氧化层还是位于连接通孔与多晶硅栅极之间的层间介质层中,节省了测试时间和测试成本,提高了测试的效率。

[0059] 上述实施例仅例示性说明本实用新型的原理及其功效,而非用于限制本实用新型。任何熟悉此技术的人士皆可在不违背本实用新型的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本实用新型所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本实用新型的权利要求所涵盖。

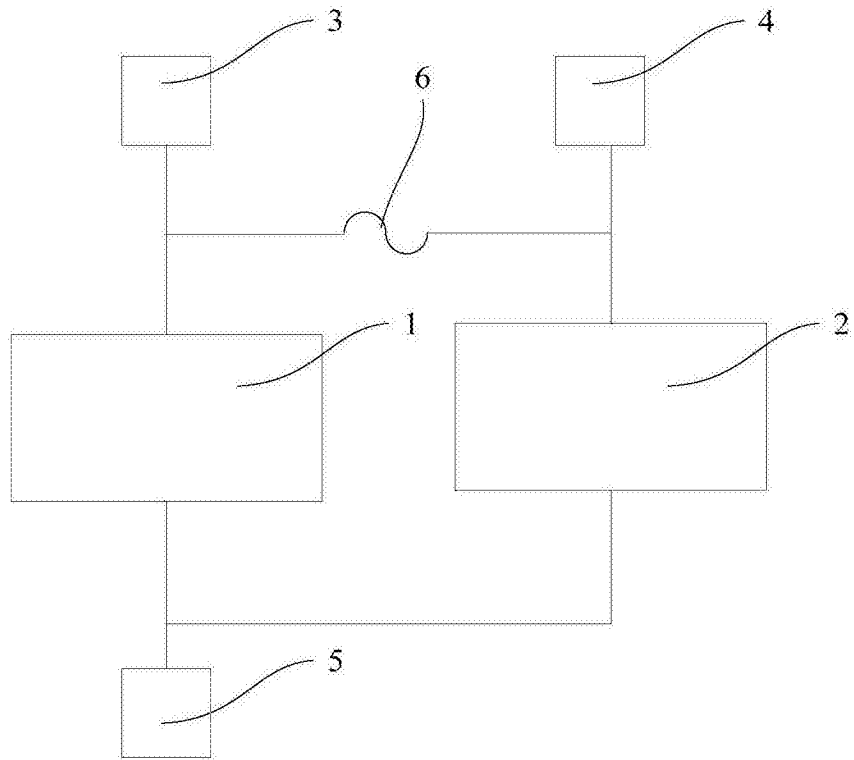


图1

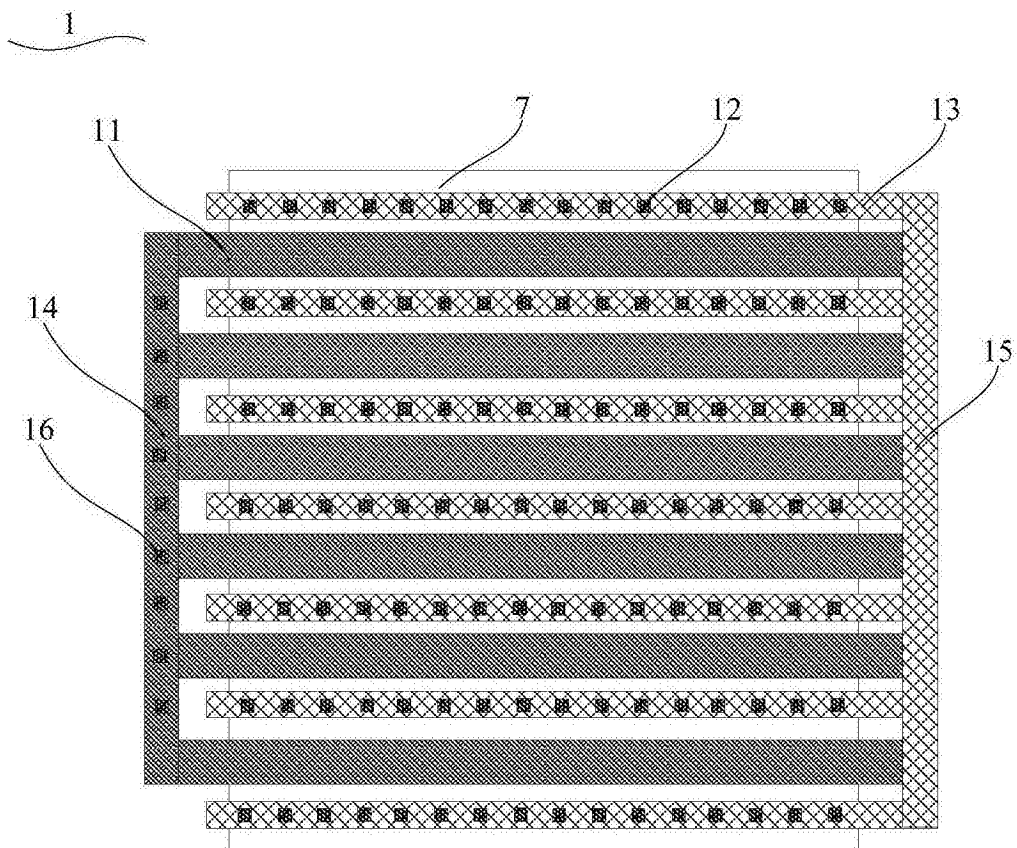


图2

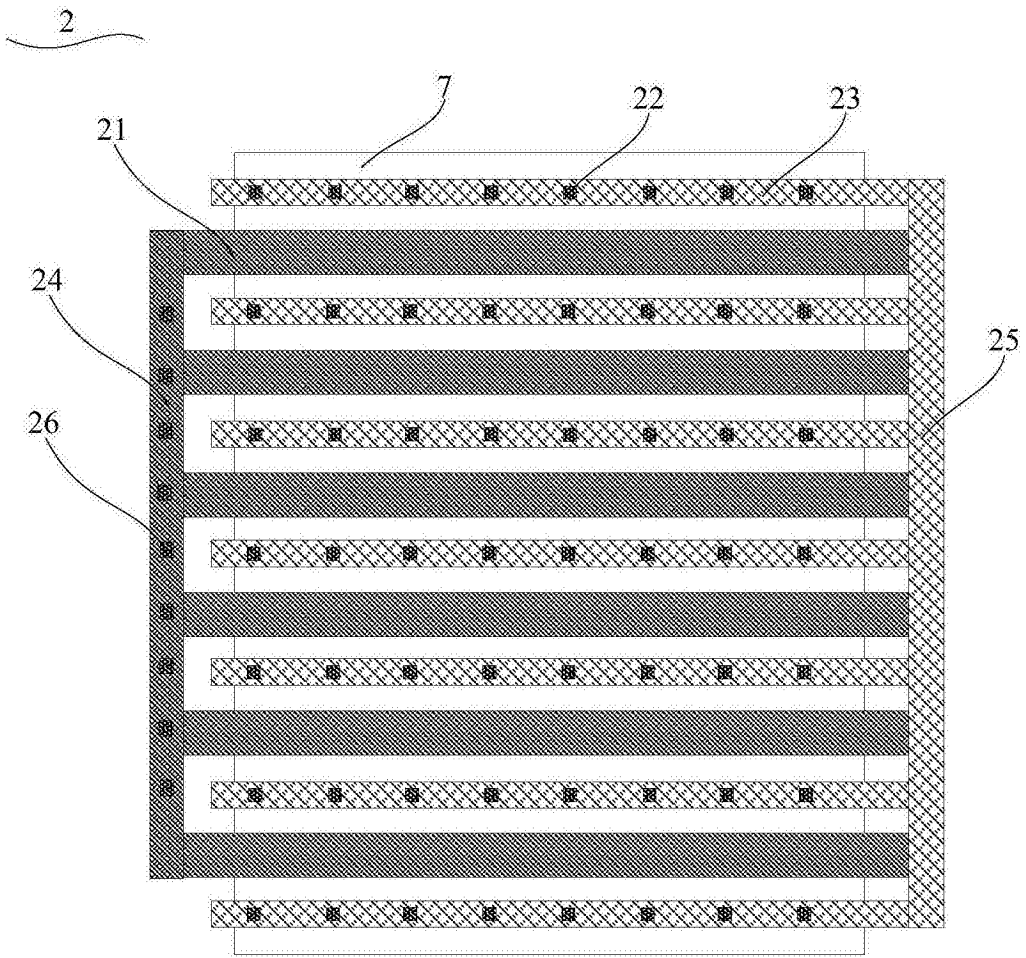


图3

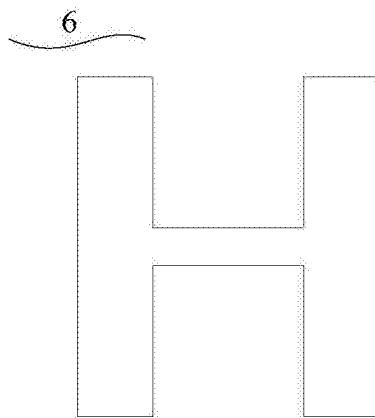


图4