



(12) 发明专利

(10) 授权公告号 CN 111696984 B

(45) 授权公告日 2023.06.23

(21) 申请号 202010516053.4

H01L 29/06 (2006.01)

(22) 申请日 2020.06.09

H01L 21/8249 (2006.01)

G03F 1/80 (2012.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 111696984 A

(56) 对比文件

(43) 申请公布日 2020.09.22

CN 104465407 A, 2015.03.25

CN 105226101 A, 2016.01.06

(73) 专利权人 杰华特微电子股份有限公司

US 2005253191 A1, 2005.11.17

地址 310030 浙江省杭州市西湖区三墩镇

US 2010032755 A1, 2010.02.11

振华路298号西港发展中心西4幢9楼

US 2019103400 A1, 2019.04.04

901-23室

WO 2012157480 A1, 2012.11.22

(72) 发明人 韩广涛

审查员 刘立平

(74) 专利代理机构 北京成创同维知识产权代理

有限公司 11449

专利代理师 马陆娟

(51) Int. Cl.

H01L 27/07 (2006.01)

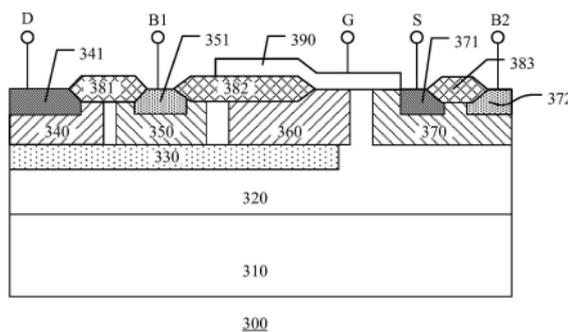
权利要求书2页 说明书7页 附图3页

(54) 发明名称

半导体器件及其制作方法

(57) 摘要

公开了一种半导体器件及其制作方法,其在衬底上制作深阱区,在深阱区上表面采用两块光刻版制作出具有两类导电类型的第一阱区、第二阱区、第三阱区和第四阱区,在深阱区中制作有连接第一阱区和第三阱区并包围第二阱区的埋层,第一阱区和第四阱区及其中的掺杂区构成源漏,形成DEMOS器件,第一阱区、埋层、第三阱区为第二导电类型掺杂,与被其分隔的第一导电类型掺杂的第二阱区和深阱区构成寄生JFET器件,寄生JFET器件可提升DEMOS器件的耐压,实现DEMOS器件的更高耐压的扩展,其中,制作第一阱区至第四阱区的步骤仅采用两块光刻版,与传统BCD工艺相比无额外光刻版的使用,在不增加成本的情况下实现DEMOS器件的更高耐压的扩展。



1. 一种半导体器件,其特征在于,包括:

衬底;

深阱区,位于所述衬底上,为第一导电类型掺杂;

依次线性设置在所述深阱区上表面的第一阱区、第二阱区、第三阱区和第四阱区,所述第一阱区和所述第三阱区为第二导电类型掺杂,所述第二阱区和所述第四阱区为第一导电类型掺杂;

埋层,位于所述深阱区中,为第二导电类型掺杂,所述埋层与所述第一阱区和所述第三阱区连接,并与所述第一阱区和所述第三阱区包围所述第二阱区;

第一掺杂区,位于所述第一阱区中,为第二导电类型掺杂;

第二掺杂区,位于所述第二阱区中,为第一导电类型掺杂;

第三掺杂区,位于所述第四阱区中,为第二导电类型掺杂;

第四掺杂区,位于所述第四阱区中,为第一导电类型掺杂,所述第四掺杂区较所述第三掺杂区远离所述第一掺杂区;

栅极结构,覆盖在所述第三阱区和所述第四阱区上,

其中,所述第一掺杂区、所述第二掺杂区、所述第三掺杂区和所述第四掺杂区均电引出。

2. 根据权利要求1所述的半导体器件,其特征在于,所述第一阱区为漂移区。

3. 根据权利要求1所述的半导体器件,其特征在于,所述第三阱区为漂移区。

4. 根据权利要求1所述的半导体器件,其特征在于,所述深阱区为N型掺杂,所述衬底为P型衬底。

5. 根据权利要求1所述的半导体器件,其特征在于,所述深阱区为P型掺杂,所述衬底为N型衬底。

6. 一种半导体器件的制作方法,其特征在于,包括:

在衬底上制作深阱区,所述深阱区为第一导电类型掺杂;

在所述深阱区中制作埋层,所述埋层为第二导电类型掺杂;

在所述深阱区上表面制作依次线性分布的第一阱区、第二阱区、第三阱区和第四阱区,所述第一阱区和所述第三阱区为第二导电类型掺杂,与所述第二阱区和所述第四阱区为第一导电类型掺杂;

在所述第四阱区上表面制作第三掺杂区和第四掺杂区,所述第三掺杂区较所述第四掺杂区靠近所述第二阱区,所述第三掺杂区为第二导电类型掺杂,所述第四掺杂区为第一导电类型掺杂;

在所述第二阱区上表面制作第二掺杂区,所述第二掺杂区为第一导电类型掺杂;

在所述第一阱区的上表面制作第一掺杂区,所述第一掺杂区的为第二导电类型掺杂;

在所述第三阱区和所述第四阱区上制作栅极结构;

其中,在制作所述第一阱区、所述第二阱区、所述第三阱区和所述第四阱区的步骤中,对掺杂类型相同的阱区采用同一块光刻版为掩膜进行制作。

7. 根据权利要求6所述的半导体器件的制作方法,其特征在于,还包括:

在制作完所述第一阱区后,采用漂移区光刻版为掩膜向所述第一阱区中注入相应掺杂杂质,以将所述第一阱区制作为漂移区。

8. 根据权利要求6所述的半导体器件的制作方法,其特征在于,还包括:

在制作完所述第三阱区后,采用漂移区光刻版为掩膜向所述第三阱区中注入相应掺杂杂质,以将所述第三阱区制作为漂移区。

9. 根据权利要求6所述的半导体器件的制作方法,其特征在于,

在制作完所述第一阱区和所述第三阱区后,采用一块漂移区光刻版为掩膜,同时向所述第一阱区和所述第三阱区注入相应掺杂杂质,以将所述第一阱区和所述第三阱区制作为漂移区。

10. 根据权利要求6所述的半导体器件的制作方法,其特征在于,

所述第一导电类型掺杂为N型掺杂或P型掺杂,所述第二导电类型掺杂与所述第一导电类型掺杂的掺杂相反。

半导体器件及其制作方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种半导体器件及其制作方法。

背景技术

[0002] BCD (Bipolar-CMOS-DMOS) 技术是一种能够将Bipolar (双极)、CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 和DMOS (double-diffused MOSFET, 双扩散金属氧化物半导体场效应管) 器件同时集成在单芯片上的集成工艺技术。

[0003] 在传统高压BCD工艺中,提供不同电压规则的门(Metal Oxide Semiconductor, 金属氧化物半导体) 器件,包括低压CMOS器件、DEMOS (drain-extended MOS, 中压MOS) 器件和高压LDMOS (Lateral double diffusion MOS, 横向双扩散金属氧化物半导体场效应管), 其中,可以在低压CMOS中扩展一定的耐压性,以实现DEMOS的扩展设计。

[0004] 随着技术的发展,需求更高耐压的DEMOS,按照传统的BCD工艺进行扩展需求增加光刻版,而光刻版对应着生产成本,从而传统BCD工艺的更高耐压的DEMOS的扩展增加了工艺成本,进而增加了单颗芯片的成本。

发明内容

[0005] 鉴于上述问题,本发明的目的在于提供一种半导体器件及其制作方法,从而控制光刻版数量成本的情况下,实现DEMOS的更高耐压的扩展。

[0006] 根据本发明的一方面,提供一种半导体器件,其特征在于,包括:

[0007] 衬底;

[0008] 深阱区,位于所述衬底上,为第一导电类型掺杂;

[0009] 依次线性设置在所述深阱区上表面的第一阱区、第二阱区、第三阱区和第四阱区,所述第一阱区和所述第三阱区为第二导电类型掺杂,所述第二阱区和所述第四阱区为第一导电类型掺杂;

[0010] 埋层,位于所述深阱区中,为第二导电类型掺杂,所述埋层与所述第一阱区和所述第三阱区连接,并与所述第一阱区和所述第三阱区包围所述第二阱区;

[0011] 第一掺杂区,位于所述第一阱区中,为第一导电类型掺杂;

[0012] 第二掺杂区,位于所述第二阱区中,为第二导电类型掺杂;

[0013] 第三掺杂区,位于所述第四阱区中,为第一导电类型掺杂;

[0014] 第四掺杂区,位于所述第四阱区中,为第二导电类型掺杂,所述第四掺杂区较所述第三掺杂区远离所述第一掺杂区;

[0015] 栅极结构,覆盖在所述第三阱区和所述第四阱区上,

[0016] 其中,所述第一掺杂区、所述第二掺杂区、所述第三掺杂区和所述第四掺杂区均电引出。

[0017] 可选地,所述第一阱区为漂移区。

- [0018] 可选地,所述第三阱区为漂移区。
- [0019] 可选地,所述深阱区为N型掺杂,所述衬底为P型衬底。
- [0020] 可选地,所述深阱区为P型掺杂,所述衬底为N型衬底。
- [0021] 根据本发明的另一方面,提供一种半导体器件的制作方法,其特征在于,包括:
- [0022] 在衬底上制作深阱区,所述深阱区为第一导电类型掺杂;
- [0023] 在所述深阱区中制作埋层,所述埋层为第二导电类型掺杂;
- [0024] 在所述深阱区上表面制作依次线性分布的第一阱区、第二阱区、第三阱区和第四阱区,所述第一阱区和所述第三阱区为第二导电类型掺杂,与所述第二阱区和所述第四阱区为第一导电类型掺杂;
- [0025] 在所述第四阱区上表面制作第三掺杂区和第四掺杂区,所述第三掺杂区较所述第四掺杂区靠近所述第二阱区,所述第三掺杂区为第二导电类型掺杂,所述第四掺杂区为第一导电类型掺杂;
- [0026] 在所述第二阱区上表面制作第二掺杂区,所述第二掺杂区为第二导电类型掺杂;
- [0027] 在所述第一阱区的上表面制作第一掺杂区,所述第一掺杂区的为第一导电类型掺杂;
- [0028] 在所述第三阱区和所述第四阱区上制作栅极结构;
- [0029] 其中,在制作所述第一阱区、所述第二阱区、所述第三阱区和所述第四阱区的步骤中,对掺杂类型相同的阱区采用同一块光刻版为掩膜进行制作。
- [0030] 可选地,还包括:
- [0031] 在制作完所述第一阱区后,采用漂移区光刻版为掩膜向所述第一阱区中注入相应掺杂杂质,以将所述第一阱区制作为漂移区。
- [0032] 可选地,还包括:
- [0033] 在制作完所述第三阱区后,采用漂移区光刻版为掩膜向所述第三阱区中注入相应掺杂杂质,以将所述第三阱区制作为漂移区。
- [0034] 可选地,在制作完所述第一阱区和所述第三阱区后,采用一块漂移区光刻版为掩膜,同时向所述第一阱区和所述第三阱区注入相应掺杂杂质,以将所述第一阱区和所述第三阱区制作为漂移区。
- [0035] 可选地,所述第一导电类型掺杂为N型掺杂或P型掺杂,所述第二导电类型掺杂与所述第一导电类型掺杂的掺杂相反。
- [0036] 本发明提供的半导体器件在深阱区上表面包括第一阱区、第二阱区、第三阱区和第四阱区四个低压阱区;第一阱区和第三阱区连接埋层,三者掺杂类型相同;第二阱区与埋层掺杂类型相反,位于第一阱区和第三阱区之间,与深阱区一同构成JFET晶体管;第四阱区位于第一阱区、第二阱区和第三阱区之外,与第一掺杂区、第三掺杂区和第四掺杂区以及栅极结构在深阱区中构成DEMOS器件,JFET器件寄生在该DEMOS器件中,可以提升该DEMOS器件的耐压值,实现DEMOS器件的更高耐压扩展。
- [0037] 将第一阱区和第三阱区中的至少一个制作为漂移区,可进一步增加器件的耐压,且相比于制作漂移区以增加器件耐压的现有技术无额外光刻版的成本增加。
- [0038] 其中,第一阱区、第四阱区和埋层以及其中的掺杂区构成基本DEMOS器件,增设的第二阱区和第三阱区与第一阱区和第四阱区均为低压阱区,在其制作过程中,相同掺杂类

型的阱区可以在DEMOS器件的制作工艺中使用同一块光刻版,可以在无额外光刻版的消耗的情况下实现DEMOS器件的更高耐压扩展。

[0039] 本发明的半导体器件的制作方法在深阱区上表面采用两块光刻板分别制作出第二导电类型的第一阱区和第三阱区与第一导电类型的第二阱区和第四阱区,其中第一阱区和第四阱区在原BCD工艺中也采用两块光刻版分别进行刻蚀,增加的第二阱区和第三阱区的导电类型与分别于第四阱区和第一阱区的导电类型相同,采用原数量的光刻版进行刻蚀即可扩展出第二阱区和第三阱区,后续的掺杂区的种类也无增加,即无光刻版数量的增加,即本发明的半导体器件的制作方法在不增加光刻版的数量情况下,拓展出了第二阱区和第三阱区,在DEMOS器件中拓展出了寄生JFET器件,提高了DEMOS器件的更高耐压拓展。

[0040] 再采用一块光刻版将第一阱区和第三阱区中的至少一个制作为漂移区,可以进一步增加器件的耐压。

[0041] 可以同时适用于N型和P型半导体器件,适用性广,深阱区和衬底的掺杂类型相反,可以保障深阱区的耐压,进而保障器件的耐压。

附图说明

[0042] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0043] 图1示出了根据现有技术的传统高压BCD工艺的流程;

[0044] 图2示出了根据现有技术的低压DEMOS器件的结构示意图;

[0045] 图3示出了根据现有技术的一种DEMOS器件的结构示意图;

[0046] 图4示出了根据本发明实施例的一种中压PMOS器件的结构示意图。

具体实施方式

[0047] 以下将参照附图更详细地描述本发明的各种实施例。在各个附图中,相同的元件采用相同或类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。

[0048] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。

[0049] 图1示出了根据现有技术的传统高压BCD工艺的流程。如图所示,传统高压BCD工艺依次包括:

[0050] 步骤S01:提供衬底。即制作厚度大小与最终需求的半导体器件相匹配的衬底,其中,该衬底可以是硅衬底,如果对应PMOS(positive Metal Oxide Semiconductor,P型金属氧化物半导体)器件,该衬底可以是P型硅衬底。

[0051] 步骤S02:制作深阱区。即在衬底上制作一层深阱区,该深阱区用于耐高压。

[0052] 步骤S03:制作有源区和局部硅氧化隔离。其中,局部硅氧化隔离形成隔离层,隔离层包括多个隔离区,隔离区之间的区域为有源区,有源区对应后续制作流程中的源漏阱区和源漏掺杂区等。

[0053] 步骤S04:制作埋层。根据降低表面电场理论(RESURF),在LDMOS器件的漂移区中注入与漂移区掺杂类型相反的杂质,该注入的杂质形成该埋层,可以配合衬底对漂移区的耗尽,降低表面电场,降低导通电压,提高器件的耐压,该技术一般可称为triple RESURF。具体地,对应N型LDMOS,其漂移区为N型漂移区,对应的埋层的掺杂杂质为P型掺杂杂质。

[0054] 步骤S05:制作N阱区和P阱区。以隔离层为掩膜或再采用其它掩膜在N阱区和P阱区对应的体区注入相应的掺杂杂质,获得N阱区和P阱区。对N阱区使用一块N光刻版,对P阱区使用一块P光刻版。

[0055] 步骤S06:制作漂移区。现有传统高压BCD工艺采用增加一块漂移区光刻版,该漂移区光刻版对应漂移区,用以形成低浓度的漂移区,可以增加器件的耐压。

[0056] 步骤S07:制作栅极结构。栅极结构位于源端掺杂区与漏端掺杂区之间,一般与源端掺杂区接触连接,栅极结构一般先生长栅氧化层,再在栅氧化层上淀积多晶硅层,形成常规的栅极结构。

[0057] 步骤S08:制作轻掺杂漏和源漏区。轻掺杂漏(Lightly Doped Drain,LDD),用于定义MOS器件的源漏扩展区,LDD杂质位于栅极结构下方紧贴沟道区边缘,可为源漏区提供杂质浓度梯度,提高源漏栅的欧姆接触效果。

[0058] 步骤S09:形成钴硅化物。在制作完源漏栅之后,需要进行源漏栅的电引出,一般可制作金属导电线,而钴硅化物形成在金属导电线与源漏栅的连接处,可以降低连接处的接触电阻,获得良好的欧姆接触。具体地,钴硅化物可以选择硅化钴(cobalt silicide)等金属硅化物。

[0059] 步骤S10:后道工序。进行后道工序流程,即建立若干层导电金属线,不同的金属线之间可以由柱状金属相连,其材质一般可选为铜,导电金属线之间的电隔离可由绝缘层实现,即柱状金属和金属线可以是制作在绝缘层中,绝缘层中设置相应的通孔放置该柱状金属和金属线。

[0060] 图2示出了根据现有技术的低压DEMOS器件的结构示意图。如图所示,该低压DEMOS器件100包括衬底110,衬底110上包括深阱区120,深阱区120上包括并排设置的第一阱区130和第二阱区140,第一阱区130中包括漏端掺杂区131,第二阱区140中包括第一源端掺杂区141和第二源端掺杂区142,第一阱区130和第二阱区140上设置有隔离层150,在第一阱区130、第二阱区140和隔离层150上设置有栅极结构160。漏端掺杂区131引出漏端D,第一源端掺杂区141引出源端S,第二源端掺杂区142引出体区引出端B,栅极结构160引出栅极G。其中,在本例的低压DEMOS器件100中,衬底110为P型硅衬底,深阱区120为高压N型深阱区,第一阱区130为P型阱区,第二阱区140为N型阱区,漏端掺杂区131为P型掺杂,第一源端掺杂区141为P型掺杂,第二源端掺杂区142为N型掺杂,隔离层150的材质一般为氧化硅。

[0061] 其中,在本例的低压DEMOS器件100中,隔离层150包括两个隔离区,分别对应位于第一阱区130和第二阱区140中,在第一阱区130中,漏端掺杂区131相比于相应的隔离区远离第二阱区140,隔离区的鸟嘴部分延伸至漏端掺杂区131中;在第二阱区140中,第一源端掺杂区141较第二源端掺杂区142靠近第一阱区130,且彼此被相应的隔离区间隔开,隔离区的鸟嘴部分延伸至第一源端掺杂区141和第二源端掺杂区142中,栅极结构160的一端与第一源端掺杂区141接触连接。

[0062] 图3示出了根据现有技术的一种DEMOS器件的结构示意图。如图所示,该DEMOS器件200包括衬底210,衬底210上包括深阱区220,深阱区220上包括并排设置的漂移区230和阱区240,漂移区230中包括漏端掺杂区231,阱区240中包括第一源端掺杂区241和第二源端掺杂区242,漂移区230和阱区240上设置有隔离层250,在漂移区230、阱区240和隔离层250上设置有栅极结构260。漏端掺杂区231引出漏端D,第一源端掺杂区241引出源端S,第二源端

掺杂区242引出体区引出端B,栅极结构260引出栅极G。其中,在本实施例的DEMOS器件200中,衬底210为P型硅衬底,深阱区220为高压N型深阱区,漂移区230为P型漂移区,阱区240为N型阱区,漏端掺杂区231为P型掺杂,第一源端掺杂区241为P型掺杂,第二源端掺杂区242为N型掺杂,隔离层250的材质一般为氧化硅。

[0063] 其中,在本例的低压DEMOS器件200中,隔离层250包括两个隔离区,分别对应位于漂移区230和阱区240中,在漂移区230中,漏端掺杂区231相比于相应的隔离区远离阱区240,隔离区的鸟嘴部分延伸至漏端掺杂区231中;在阱区240中,第一源端掺杂区241较第二源端掺杂区242靠近漂移区230,且彼此被相应的隔离区间隔开,隔离区的鸟嘴部分延伸至第一源端掺杂区241和第二源端掺杂区242中,栅极结构260的一端与第一源端掺杂区241接触连接。

[0064] 其中,本例的DEMOS器件200设置漂移区230,相比于低压DEMOS器件100相同位置的第一阱区130,漂移区230可以提高器件的耐压,可利用DEMOS器件实现HVMOS器件的设计,但该工艺属于BCD工艺,在一块芯片中,不仅具有该类型的DEMOS器件200,还同时集成有其他器件,因此在该漂移区230的制作中需要增设一块光刻版,以在制作漂移区230的过程中不影响芯片的其他体区。

[0065] 图4示出了根据本发明实施例的一种中压PMOS器件的结构示意图。如图所示,本发明实施例的PMOS器件300包括P型硅衬底310,在P型硅衬底310上设置有深阱区320,在该深阱区320的上表面依次线性设置有第一P阱区340、第一N阱区350、第二P阱区360和第二N阱区370,在第一P阱区340、第一N阱区350和第二P阱区360的下表面连接设置有P型埋层330,在第一P阱区340的上表面设置有漏端掺杂区341,在第一N阱区350的上表面设置有体区掺杂区351,在第二N阱区370的上表面设置有第一源端掺杂区371和第二源端掺杂区372,在深阱区320上设置有隔离层和栅极结构390,隔离层包括隔离区381、隔离区382和隔离区383。其中,漏端掺杂区341引出漏端D,体区掺杂区351引出第一体区引出端B1,第一源端掺杂区371引出源端S,第二源端掺杂区372引出第二体区引出端B2,第一源端掺杂区371较第二源端掺杂区372靠近栅极结构390且彼此间隔,第一源端掺杂区371与栅极结构390的一端接触连接。

[0066] 在本实施例的PMOS器件300中,深阱区320为高压N型深阱区,漏端掺杂区341为P型掺杂,体区掺杂区351为N型掺杂,第一源端掺杂区371为P型掺杂,第二源端掺杂区372为N型掺杂。

[0067] 在本实施例的PMOS器件300中,隔离层的隔离区381位置对应于第一P阱区340和第一N阱区350,两端分别是漏端掺杂区341和体区掺杂区351;隔离区382的位置对应于第一N阱区350和第二P阱区360,一端连接至体区掺杂区351,另一端位于第二P阱区360中;隔离区383位于第二N阱区370中,隔离第一源端掺杂区371和第二源端掺杂区372。即以隔离层的各隔离区和栅极结构为掩膜,以对准注入制作漏端掺杂区341、体区掺杂区351、第一源端掺杂区371和第二源端掺杂区372。

[0068] 栅极结构390覆盖在第一源端掺杂区371至第二P阱区360的区域上,并覆盖隔离区382,在本实施例中,在上表面上,栅极结构390向漏端D延伸,且完全覆盖第二P阱区360,但延伸未及第一N阱区350,以保障体区掺杂区351的引出。

[0069] P型埋层330将第一P阱区340和第二P阱区360连接,形成正向通路,第一N阱区350

插入在第一P阱区340和第二P阱区360之间,且为低压N阱区,第二N阱区370为低压阱区,深阱区320可作为高压N阱区,即低压N阱区、P型埋层和高压N阱区可组成具有JFET(Junction Field-Effect Transistor,结型场效应晶体管)性能的寄生MOS管,而第一P阱区340和P型埋层330与第二N阱区370和深阱区320为低压DEMOS器件,该PMOS器件300的最终耐压为寄生的JFET的夹断电压加上DEMOS的击穿电压,击穿电压提升,耐压提升。

[0070] 第一体区引出端B1为JFET的栅极,深阱区320引出JFET的另一个栅极,第一P阱区340、埋层330至第二P阱区360为JFET的沟道。

[0071] 第一P阱区340、第一N阱区350、第二P阱区360和第二N阱区370为普通阱区,掺杂类型相同的阱区的掺杂浓度相同,其制作过程中可以与芯片的掺杂类型相同的阱区共同采用一块光刻版进行制作,相比于传统的额外使用一份制作漂移区的光刻版,无光刻版的数量成本的增加,在不增加成本的情况下实现了PMOS器件的耐压的提升扩展。

[0072] 其中,还可以使用一块漂移区光刻版,在第一P阱区340制作完后,在第一P阱区340注入相应掺杂杂质,将第一P阱区340制作成漂移区,以增加PMOS器件本身的耐压,同时相比于图3所示的现有技术无额外光刻版的增加,且依靠寄生JFET,以与图3实施例相同的光刻版数量成本实现了更高耐压的扩展。将第一P阱区340制作为漂移区,可增加器件的耐压,同样,将第二P阱区360制作为漂移区也可以增加器件的耐压,且可以与第一P阱区340采用同一块对应漂移区图形化的漂移区光刻版进行漂移区注入。

[0073] 本发明的半导体器件的制作方法如图1所示的传统高压BCD工艺相比,区别在于本发明无步骤S06,同时在步骤S05中制作更多的N阱区和P阱区,在步骤S08中制作更多的阱区中的掺杂区。对应于本实施例的PMOS器件300,即额外制作第一N阱区350、第二P阱区360和体区掺杂区351,同时对应的隔离层的隔离区数量和位置进行适应性调整,其中,相应的光刻版的图形化图形适应性调整,但无额外的光刻版消耗。

[0074] 本实施例的以PMOS器件300为例,其主要发明点在于在传统的DEMOS器件中制作出寄生JFET器件,使器件的耐压值为原DEMOS的耐压值加上寄生JFET器件的夹断电压,提升了DEMOS器件的耐压,实现DEMOS器件的高耐压扩展,其中,制作出寄生JFET器件只需要制作出更多的低压N阱区和低压P阱区,无需制作漂移区,额外制作的低压N阱区和低压P阱区与原器件的低压阱区位于同一层次,即可以使用同一块光刻版,对掺杂类型相同的阱区同时注入制作,区别仅在于光刻版的图形化图形不同,即无光刻版的数量成本的增加,该技术特征也适用于NMOS(N-Metal-Oxide-Semiconductor,N型金属-氧化物-半导体)器件,仅需要将相应掺杂类型替换即可。

[0075] 本发明的半导体器件及其制作方法在普通DEMOS器件中利用埋层,同时制作出更多的低压N阱区和低压P阱区,在不增加光刻版数量的情况下,制作出寄生JFET器件,提升了器件的耐压,在不增加光刻版数量成本的情况下实现了中压DEMOS器件的高耐压扩展。

[0076] 同时,对于制作漂移区以提升器件耐压的技术方案,也可以进行寄生JFET的扩展,同样可以在不增加光刻版的数量成本下扩展器件的耐压,实现更高耐压的DEMOS器件的设计。

[0077] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属

技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

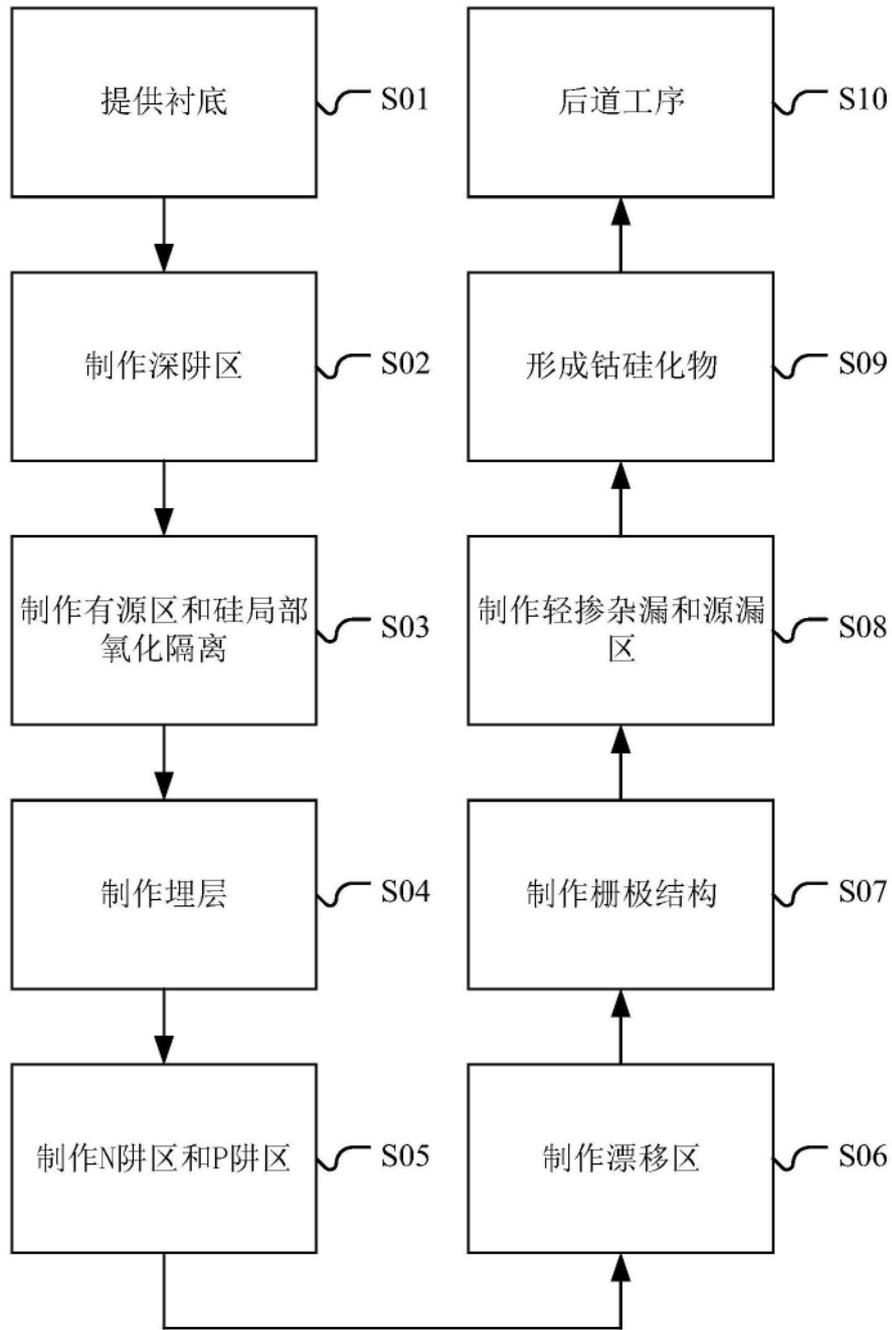
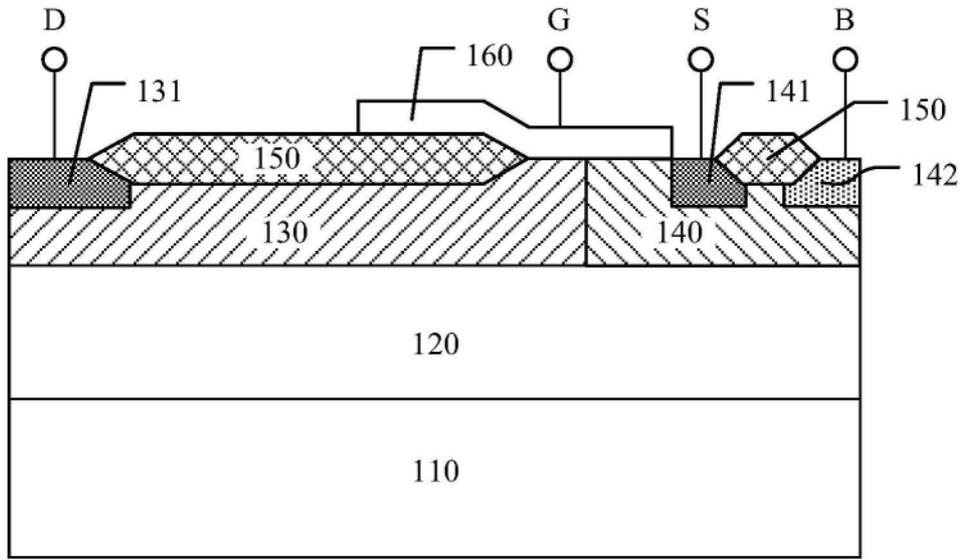
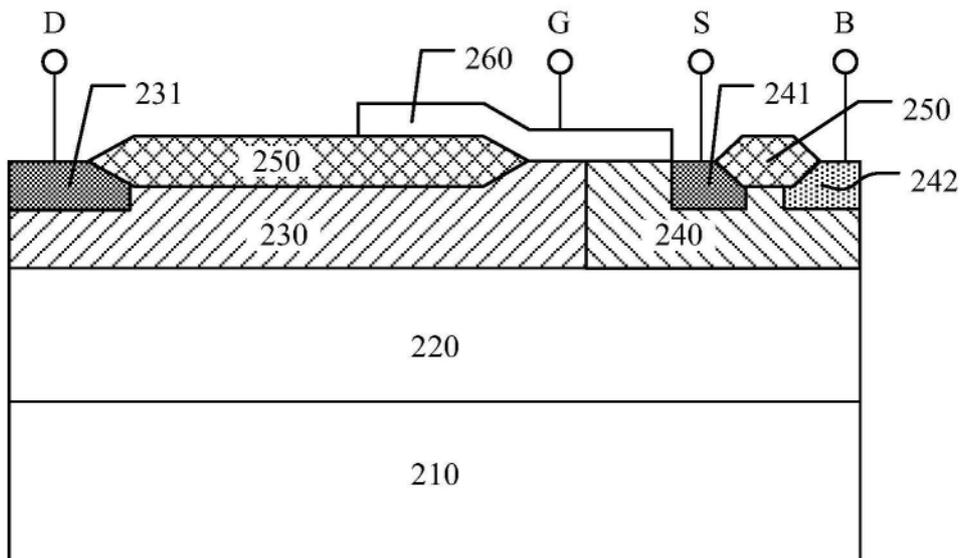


图1



100

图2



200

图3

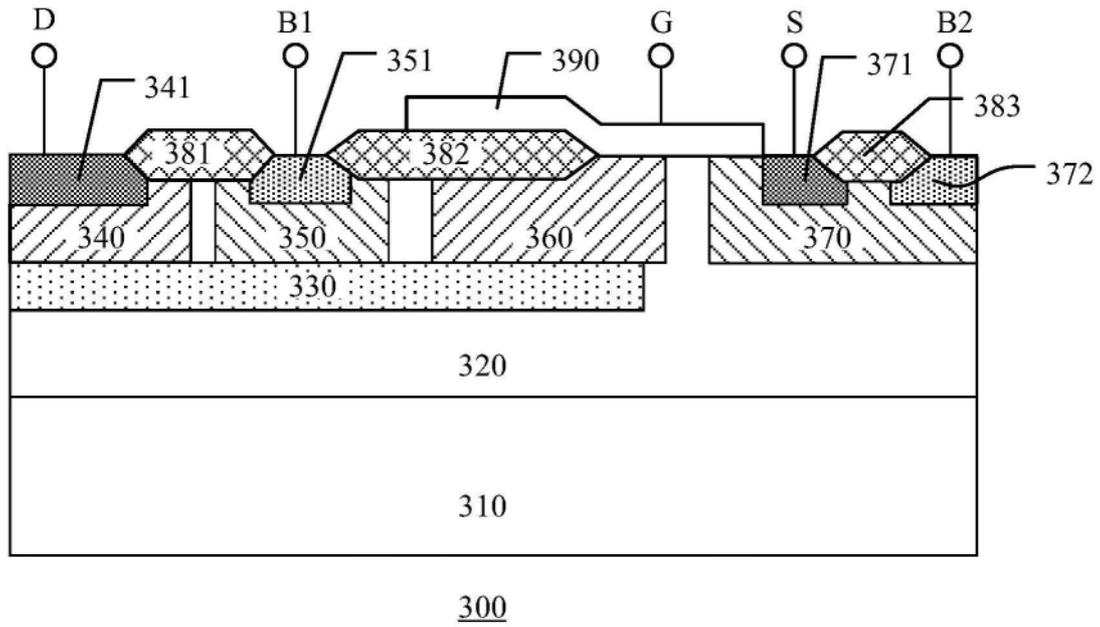


图4