



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/146 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월15일 10-0658168 2006년12월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0114629 2005년11월29일 2005년11월29일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	매그나칩 반도체 유한회사 충북 청주시 흥덕구 향정동 1
(72) 발명자	임부택 충북 청주시 흥덕구 개신동 1-16 우정아파트 130 최선 충북 청주시 흥덕구 개신동 635 개신주공2단지 211-601
(74) 대리인	권성택 변영철 김창달

심사관 : 조근상

전체 청구항 수 : 총 6 항

(54) 씨모스 이미지 센서의 제조 방법

(57) 요약

본 발명은 씨모스 이미지 센서의 픽셀 외 영역의 트렌치에 HLD(High Temperature Low Pressure Deposition) 산화막 및 선형 질화막(liner nitride)을 적용하여 픽셀 외 영역의 누설전류를 감소시키고(leakage 특성을 개선하고), 모트(moat) 특성도 개선하는 씨모스 이미지 센서의 제조 방법을 제공한다. 본 발명에 따른 씨모스 이미지 센서의 제조 방법은 픽셀 영역 및 픽셀 외 영역을 갖는 제1 도전형 반도체 기판 상에 패드 산화막을 형성한 후 패드 질화막을 형성하는 단계, 상기 픽셀 외 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계, 상기 픽셀 외 영역의 상기 트렌치가 형성될 부분의 상기 패드 질화막 및 패드 산화막을 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계, 상기 픽셀 영역 및 픽셀 외 영역의 상부에 HLD(High Temperature Low Pressure Deposition) 산화막을 형성한 후, 선형 질화막(liner nitride)을 형성하는 단계, 상기 픽셀 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계 및 상기 픽셀 영역의 상기 트렌치가 형성될 부분의 상기 선형 질화막, HLD 산화막, 패드 질화막 및 패드 산화막을 차례로 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

청구항 1.

픽셀 영역 및 픽셀 외 영역을 갖는 제1 도전형 반도체 기판 상에 패드 산화막을 형성한 후 패드 질화막을 형성하는 단계;

상기 픽셀 외 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계;

상기 픽셀 외 영역의 상기 트렌치가 형성될 부분의 상기 패드 질화막 및 패드 산화막을 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계;

상기 픽셀 영역 및 픽셀 외 영역의 상부에 HLD(High Temperature Low Pressure Deposition) 산화막을 형성한 후, 선형 질화막(liner nitride)을 형성하는 단계;

상기 픽셀 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계; 및

상기 픽셀 영역의 상기 트렌치가 형성될 부분의 상기 선형 질화막, HLD 산화막, 패드 질화막 및 패드 산화막을 차례로 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계를 포함하는 씨모스 이미지 센서의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 픽셀 영역 상에

NCST(N-channel stop) 포토레지스터를 형성하고, 이온을 주입한 후 상기 NCST 포토레지스터를 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 씨모스 이미지 센서의 제조 방법.

청구항 3.

제 2 항에 있어서,

상기 픽셀 영역 및 픽셀 외 영역 상에

HDP(High Density Plasma) 산화막 공정 후에 화학적 기계적 연마를 수행하고 상기 제1 도전형 기판이 드러날때까지 상기 패드 질화막을 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 씨모스 이미지 센서의 제조 방법.

청구항 4.

픽셀 영역 및 픽셀 외 영역을 갖는 제1 도전형 반도체 기판 상에 패드 산화막을 형성한 후 패드 질화막을 형성하는 단계;

상기 픽셀 영역 및 픽셀 외 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계;

상기 픽셀 영역 및 픽셀 외 영역의 상기 트렌치가 형성될 부분의 상기 패드 질화막 및 패드 산화막을 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계;

상기 픽셀 영역 및 픽셀 외 영역의 상부에 HLD 산화막을 형성한 후, 선형 질화막을 형성하는 단계;

상기 픽셀 외 영역 상에 포토레지스터를 형성하는 단계; 및

상기 픽셀 영역의 상기 선형 질화막 및 HLD 산화막을 식각하는 단계를 포함하는 씨모스 이미지 센서의 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 픽셀 영역에

NCST(N-channel stop) 포토레지스터를 형성하고, 이온을 주입한 후 상기 NCST 포토레지스터를 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 씨모스 이미지 센서의 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 픽셀 영역 및 픽셀 외 영역 상에

HDP(High Density Plasma) 산화막 공정 후에 화학적 기계적 연마를 수행하고 상기 제1 도전형 기판이 드러날때까지 상기 패드 질화막을 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 씨모스 이미지 센서의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 씨모스(Complementary Metal-Oxide-Silicon, CMOS) 이미지 센서(Image Sensor)의 제조 방법에 관한 것이다.

반도체 기술의 진보와 더불어 반도체 소자의 고속화 및 고집적화가 급속하게 진행되고 있고, 이에 수반해서 패턴의 미세화 및 패턴 치수의 고정밀화에 대한 요구가 점점 높아지고 있다. 이러한 요구는 소자 영역에 형성되는 패턴은 물론 상대적으로 넓은 영역을 차지하는 소자분리막에도 적용된다. 이것은 고집적 소자로 갈수록 소자 영역의 폭이 감소하고 있는데 반해, 상대적으로 소자 영역의 폭을 증가시키기 위해서는 소자분리 영역의 폭을 감소시켜야만 하기 때문이다.

기존의 소자분리막은 로코스(Local oxidation of silicon:LOCOS) 공정에 의해 형성되었는데, 상기 로코스 공정에 의한 소자분리막은, 그 가장자리 부분에서 새부리 형상의 버즈-빅(bird's-beak)이 발생하기 때문에 소자 분리막의 면적이 증가되고, 누설전류(leakage)를 발생시키는 단점이 있다.

따라서, 상기 로코스 공정에 의한 소자분리막의 형성방법을 대신해서 적은 폭을 가지면서 우수한 소자 분리 특성을 갖는 STI(Shallow Trench Isolation) 공정을 이용한 소자분리막의 형성방법이 제안되었고, 현재 대부분의 반도체 소자는 STI 공정을 적용해서 소자분리막을 형성하고 있다.

이러한 STI 공정을 적용한 소자분리막 형성방법에 대해 도 1a 내지 도 1f를 참조하여 설명하면 다음과 같다.

도 1a 내지 도 1f는 종래의 STI 공정을 이용한 소자분리막 형성방법을 설명하기 위한 공정별 단면도이다.

STI 공정을 이용한 소자분리막 형성방법은, 도 1a에 도시된 바와 같이, 실리콘 기판(11) 상에 패드 산화막(12)과 패드 질화막(13) 및 소자분리 영역을 한정하는 감광막 패턴(미도시)을 차례로 형성한다. 그 다음, 도 1b에 도시된 바와 같이, 상기 감광막 패턴(미도시)을 식각 마스크로 이용하여 상기 패드 질화막(13) 부분 및 그 아래의 패드 산화막(12) 부분을 식각한 후 이어 노출된 기판 부분을 식각하여 반도체 기판(11) 내에 트렌치(18)를 형성한다.

이어서, 도 1c에 도시된 바와 같이, 전체구조의 상부에 HDP(High Density Plasma) 산화막(17)을 증착하여 트렌치(18)를 매립한다.

이어서, 도 1d에 도시된 바와 같이, 상기 패드 질화막(13)이 노출될 때까지 상기 HDP 산화막(17)을 화학적 기계적 연마(chemical mechanical polishing; CMP)를 한다. 그 다음, 트렌치(18) 내부에 매립된 상기 HDP 산화막(17)에 대하여 상기 패드 질화막(13)을 연마 정지막으로 이용한 화학적 기계적 연마를 통하여 평탄화를 시킨다. 그런 다음 도 1e에 도시한 바와 같이, H_3PO_4 와 같은 식각액을 사용하여 남겨진 패드 질화막(13)을 제거하여 STI(17')를 형성한다. 이때, 상기 H_3PO_4 는 산화막과의 선택비가 우수한 특성을 보이기 때문에 소자 분리막인 HDP 산화막(17)과 패드 산화막(12)은 약간만이 제거되게 된다.

이어서, 후속 세정 공정 등을 거치면서 도 1f와 같이 에지부(A)가 침식되어 모트(moat) 현상을 유발하였고, 이러한 모트 현상에 의해서는 액티브의 코너에 전계가 집중되어 발생하는 험프(hump) 및 INWE(inverse narrow width effect)가 발생하여 소자의 비정상적인 동작을 유발시키는 소자의 트랜지스터의 전기적 특성을 열화시키는 문제점이 존재하게 된다.

STI 공정을 이용한 소자분리막 형성시 선형 질화막(liner nitride)을 트렌치 내부에 적용하면, 누설전류가 감소하게 되고, 질화막이 산화막 보다 식각량이 작기 때문에 모트 특성도 개선할 수 있다.

하지만, 선형 질화막을 적용하는 공정은 약 650 내지 750도의 높은 온도에서 진행되기 때문에, 공정 진행시 높은 온도에 의한 NCST(N-channel Stop) 임플란트 도핑 프로파일의 변형이 발생된다. 즉, 씨모스 이미지 센서에서의 선형 질화막의 적용은 NCST 도핑 프로파일에 변화를 가져오므로, 종래의 씨모스 이미지 센서의 제조 방법에서는 적용되지 않았다.

발명이 이루고자 하는 기술적 과제

본 발명은 위와 같은 종래기술에 있어서의 문제점을 해결하기 위하여, 특히, 픽셀 이외의 영역에 선형 질화막 및 HLD(High Temperature Low Pressure Deposition) 산화막을 적용하여 픽셀 외 영역에 있어서의 누설전류를 감소시키고(leakage 특성을 개선하고), 모트도 개선하는 씨모스 이미지 센서의 제조 방법을 제공하는 데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 바람직한 실시형태에 따르면 픽셀 영역 및 픽셀 외 영역을 갖는 제1 도전형 반도체 기판 상에 패드 산화막을 형성한 후 패드 질화막을 형성하는 단계, 상기 픽셀 외 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계, 상기 픽셀 외 영역의 상기 트렌치가 형성될 부분의 상기 패드 질화막 및 패드 산화막을 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계, 상기 픽셀 영역 및 픽셀 외 영역의 상부에 HLD(High Temperature Low Pressure Deposition) 산화막을 형성한 후, 선형 질화막(liner nitride)을 형성하는 단계, 상기 픽셀 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계 및 상기 픽셀 영역의 상기 트렌치가 형성될 부분의 상기 선형 질화막, HLD 산화막, 패드 질화막 및 패드 산화막을 차례로 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계를 포함하는 씨모스 이미지 센서의 제조 방법이 제공된다.

본 발명의 바람직한 또다른 실시형태에 따르면 픽셀 영역 및 픽셀 외 영역을 갖는 제1 도전형 반도체 기판 상에 패드 산화막을 형성한 후 패드 질화막을 형성하는 단계, 상기 픽셀 영역 및 픽셀 외 영역에 트렌치가 형성될 부분을 제외한 상기 기판 상에 포토레지스터를 형성하는 단계, 상기 픽셀 영역 및 픽셀 외 영역의 상기 트렌치가 형성될 부분의 상기 패드 질화막 및 패드 산화막을 식각한 후 노출된 상기 기판 부분을 식각하여 트렌치를 형성하는 단계, 상기 픽셀 영역 및 픽셀 외 영역의 상부에 HLD 산화막을 형성한 후, 선형 질화막을 형성하는 단계, 상기 픽셀 외 영역 상에 포토레지스터를 형성하는 단계 및 상기 픽셀 영역의 상기 선형 질화막 및 HLD 산화막을 식각하는 단계를 포함하는 씨모스 이미지 센서의 제조 방법이 제공된다.

또한, 본 발명의 씨모스 이미지 센서의 제조 방법에서는 상기 픽셀 영역에 NCST(N-channel Stop) 포토레지스터를 형성하고, 이온을 주입한 후 상기 NCST 포토레지스터를 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 한다.

또한, 본 발명의 씨모스 이미지 센서의 제조 방법에서는 상기 픽셀 영역 및 픽셀 외 영역 상에 HDP(High Density Plasma) 산화막을 증착한 후, 화학적 기계적 연마를 수행하고 상기 제1 도전형 기판이 드러날때까지 상기 패드 질화막 및 패드 산화막을 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 한다.

이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다.

도 2는 본 발명의 실시예에 따라 제조된 씨모스 이미지 센서를 나타낸 단면도이다.

도 2에 도시된 씨모스 이미지 센서는 픽셀 외 영역(21)의 트렌치 내부에만 HLD 산화막(15) 및 선형 질화막(16)이 형성된다. HLD 산화막(15) 및 선형 질화막(16)이 적용된 C 부분은 HLD 산화막 및 선형 질화막이 적용되지 않은 D에 비해 모트 특성이 개선된다. 질화막이 산화막에 비해 식각량이 작기 때문이다.

도 2에 도시된 바와 같은 씨모스 이미지 센서를 제조하기 위한 본 발명의 바람직한 실시예는 다음과 같다.

(실시예 1)

도 3 내지 도 8은 도 2에 도시된 씨모스 이미지 센서의 제조 방법의 일실시예를 도시한 공정 단면도이다.

먼저 도 3과 같이 픽셀 영역(22) 및 픽셀 외 영역(21)을 갖는 제1 도전형 반도체 기판(11) 상에 패드 산화막(12)을 형성하고, 패드 질화막(13)을 형성한다. 질화막과 기판은 열 팽창율이 다르기 때문에 바로 증착하기 보다는 완충작용을 하는 패드 산화막(12)을 먼저 형성하는 것이 바람직하다. 상기 패드 산화막(12)은 약 100Å 정도로 형성하고, 패드 질화막(13)은 약 1450 내지 1500Å 정도로 형성하는 것이 바람직하다.

다음 도 4와 같이 제1 도전형 반도체 기판(11)의 픽셀 외 영역(21)에 트렌치를 형성하기 위하여 식각될 부분을 제외한 상기 기판(11) 상에 포토레지스터(Photoresister;14)를 형성한 후, 도 5와 같이 상기 패드 질화막(13) 및 그 아래의 패드 산화막(12)을 식각한 후 이어 노출된 상기 기판(11) 부분을 식각하여 픽셀 외 영역(21)의 제1 도전형 반도체 기판(11) 내에 트렌치를 형성한다. 바람직하게, 트렌치의 깊이는 약 3500Å 정도로 형성한다.

이후 도 6처럼 상기 픽셀 외 영역(21) 및 픽셀 영역(22)의 상부에 HLD 산화막(15)을 증착하고, 선형 질화막(16)을 형성한다. 질화막과 기판은 열 팽창율이 다르기 때문에 바로 증착하기 보다는 완충작용을 하는 HLD 산화막(15)을 먼저 형성한다.

다음에 도 7과 같이 상기 픽셀 영역(22)에 트렌치를 형성하기 위하여 식각될 부분을 제외한 상기 기판(11) 상에 포토레지스터(14)를 형성한 후, 도 8과 같이 상기 선형 질화막(16), HLD 산화막(15), 패드 질화막(13) 및 패드 산화막(12)을 차례로 식각한 후 이어 노출된 상기 기판(11) 부분을 식각하여 픽셀 영역(22)의 제1 도전형 반도체 기판(11) 내에 트렌치를 형성한다.

이후, 상기 픽셀 영역에만 NCST(N-channel stop) 포토레지스터를 형성하고, 이온을 주입한 후 상기 NCST 포토레지스터를 제거한다(도시되지 않음).

다음에 전체 구조(상기 픽셀 영역 및 픽셀 외 영역)의 상부에 HDP 산화막을 증착하고 화학적 기계적 연마를 통하여 평탄화 한 후, 제1 도전형 반도체 기판이 드러날때까지 상기 패드 질화막(13)을 제거하고 씨모스 이미지 센서의 제조를 위한 후속 공정을 진행하면 도 2에 도시된 바와 같이 픽셀 외 영역의 트렌치 내부에만 선형 질화막(16)이 형성되고 모트 특성도 개선된 씨모스 이미지 센서를 얻을 수 있다.

(실시예 2)

도 9 내지 도 13은 도 2에 도시된 씨모스 이미지 센서의 제조 방법의 또다른 일실시예를 도시한 공정 단면도이다.

먼저 도 3과 같이 픽셀 영역(22) 및 픽셀 외 영역(21)을 갖는 제1 도전형 반도체 기판(11)에 패드 산화막(12)을 형성하고, 패드 질화막(13)을 형성한다. 질화막과 기판은 열 팽창율이 다르기 때문에 바로 증착하기 보다는 완충작용을 하는 패드 산화막(12)을 먼저 형성하는 것이 바람직하다. 상기 패드 산화막(12)은 약 100Å 정도로 형성하고, 패드 질화막(13)은 약 1450 내지 1500Å 정도로 형성하는 것이 바람직하다.

다음 도 9와 같이 상기 픽셀 외 영역(21) 및 픽셀 영역(22)에 트렌치를 형성하기 위하여 식각될 부분을 제외한 상기 기판(11) 상에 포토레지스터(14)를 형성한 후, 도 10과 같이 상기 패드 질화막(13) 및 그 아래의 패드 산화막(12)을 식각한 후 이어 노출된 상기 기판(11) 부분을 식각하여 상기 픽셀 외 영역(21) 및 픽셀 영역(22)의 제1 도전형 반도체 기판(11) 내에 트렌치를 형성한다.

이후 도 11처럼 상기 픽셀 외 영역(21) 및 픽셀 영역(22)의 상부에 HLD 산화막(15)을 증착하고, 선형 질화막(16)을 형성한다. 질화막과 기판은 열 팽창율이 다르기 때문에 바로 증착하기 보다는 완충작용을 하는 HLD 산화막(15)을 먼저 형성한다.

다음에 도 12와 같이 상기 픽셀 영역(22) 상부의 HLD 산화막(15)과 선형 질화막(16)을 제거하기 위하여 식각될 부분을 제외한 상기 기판(11)의 상기 픽셀 외 영역(21) 상에 포토레지스터(14)를 형성한 후, 도 13과 같이 상기 선형 질화막(16) 및 HLD 산화막(15)을 식각한다.

이후, 픽셀 영역에만 NCST(N-channel stop) 포토레지스터를 형성하고, 이온을 주입한 후 상기 NCST 포토레지스터를 제거한다(도시되지 않음).

다음에 전체 구조(상기 픽셀 영역 및 픽셀 외 영역)의 상부에 HDP 산화막을 증착하고 화학적 기계적 연마를 통하여 평탄화 한 후, 제1 도전형 반도체 기판이 드러날때까지 상기 패드 질화막(13) 및 패드 산화막(12)을 제거하고 씨모스 이미지 센서의 제조를 위한 후속 공정을 진행하면 도 2에 도시한 바와 같이 픽셀 외 영역의 트렌치 내부에만 선형 질화막(16)이 형성되고 모트 특성도 개선된 씨모스 이미지 센서를 얻을 수 있다.

이상에서 바람직한 실시예를 설명하였으나, 본 발명은 전술한 실시예 및 첨부한 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서의 여러 가지 치환, 변형 및 변경을 포함하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백한 기술적 사상 모두를 총괄하는 것으로 이해되어야 한다.

발명의 효과

상술한 바와 같이, 본 발명은 씨모스 이미지 센서의 제조 방법에 있어서, 특히 픽셀 이외의 영역의 트렌치에 HDP 산화막 및 선형 질화막을 적용하여 픽셀 외 영역의 누설전류를 감소시키고(leakage 특성을 개선하고), 모트 특성도 개선하는 효과를 제공한다.

도면의 간단한 설명

도 1a 내지 1f는 종래의 STI(Shallow Trench Isolation) 공정을 이용한 소자분리막 형성방법을 설명하기 위한 공정별 단면도,

도 2는 본 발명의 제1 실시예에 따라 제조된 씨모스 이미지 센서를 나타낸 단면도,

도 3은 내지 도 13은 도 2에 도시된 씨모스 이미지 센서의 제조 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

11 : 제1 도전형 반도체 기판

12 : 패드 산화막

13 : 패드 질화막

14 : 포토레지스터(Photoresister)

15 : HLD (High Temperature Low Pressure Deposition)

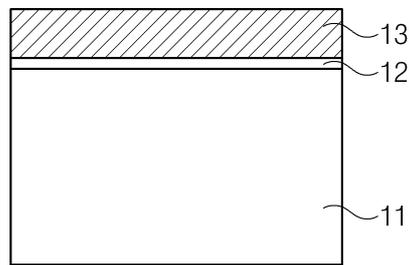
16 : 선형 질화막

17 : HDP(High Density Plasma) 산화막

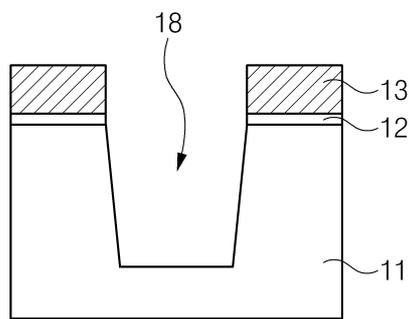
18 : 트렌치

도면

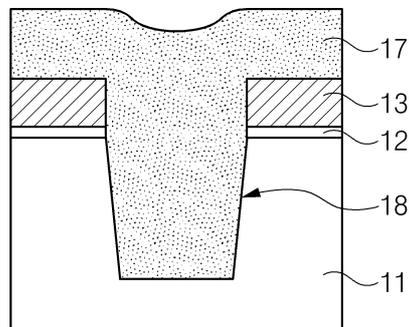
도면1a



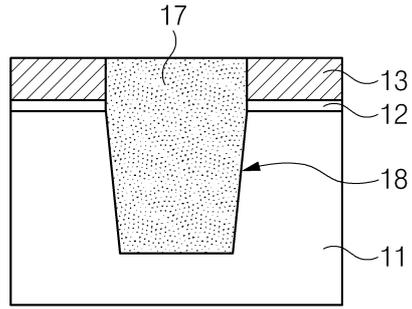
도면1b



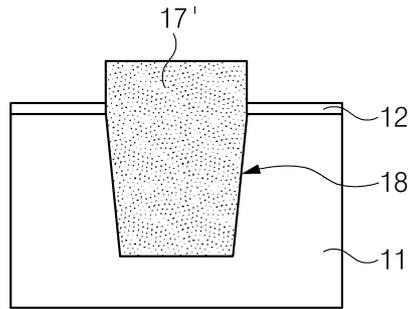
도면1c



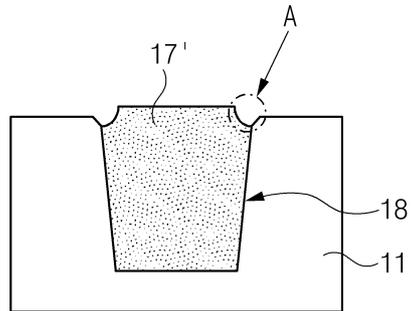
도면1d



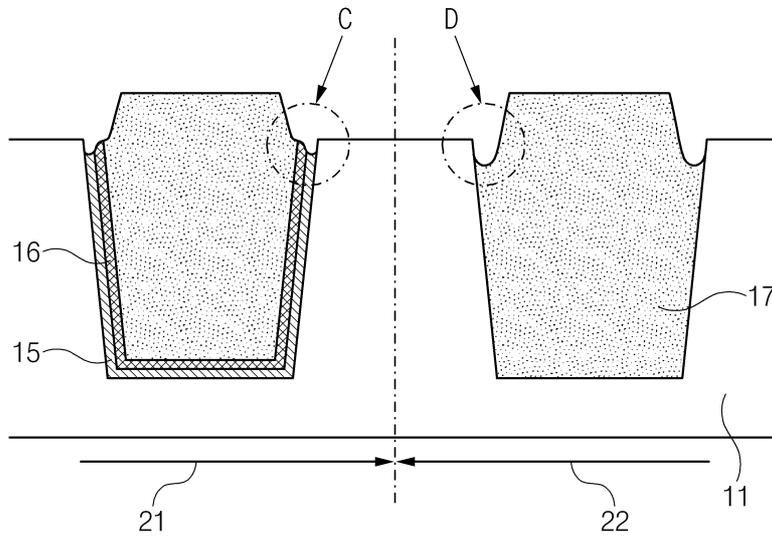
도면1e



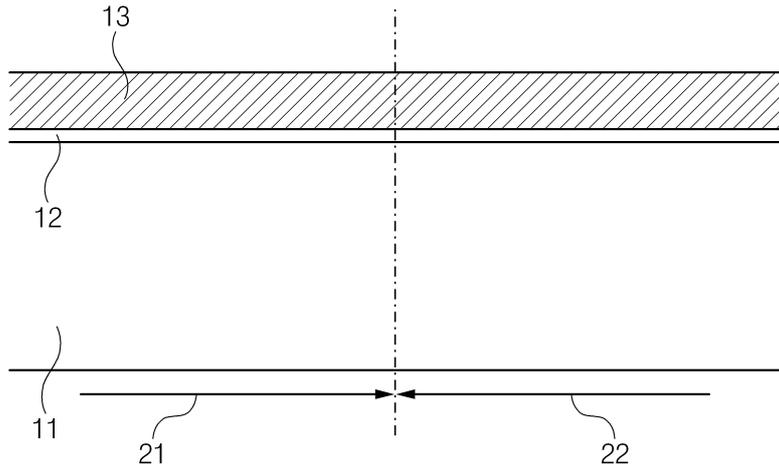
도면1f



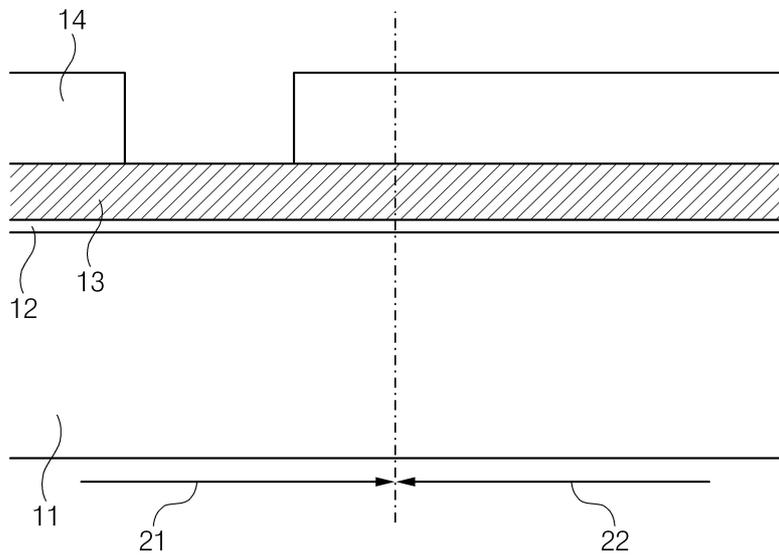
도면2



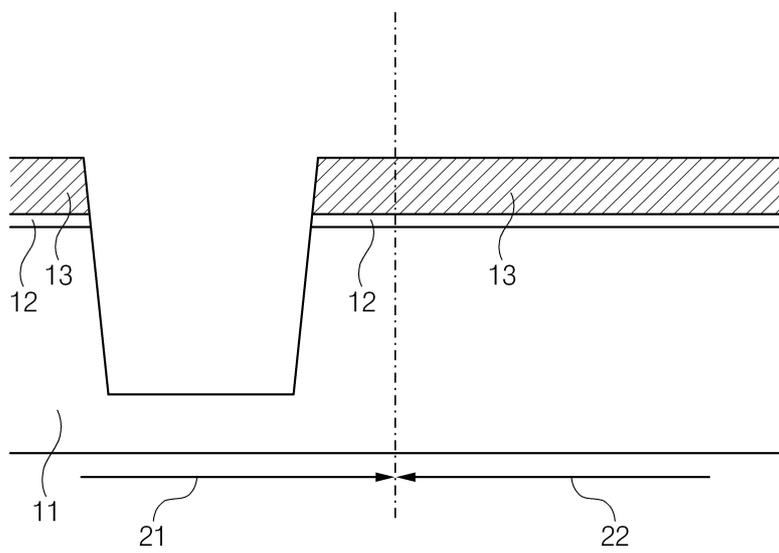
도면3



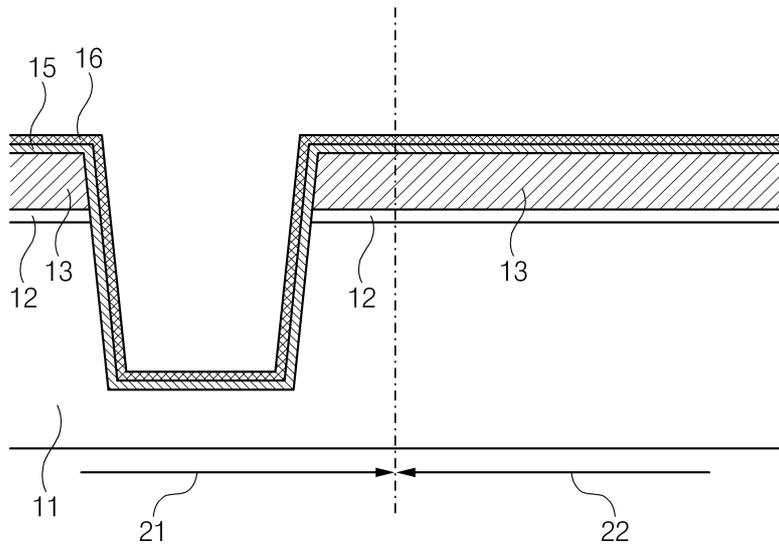
도면4



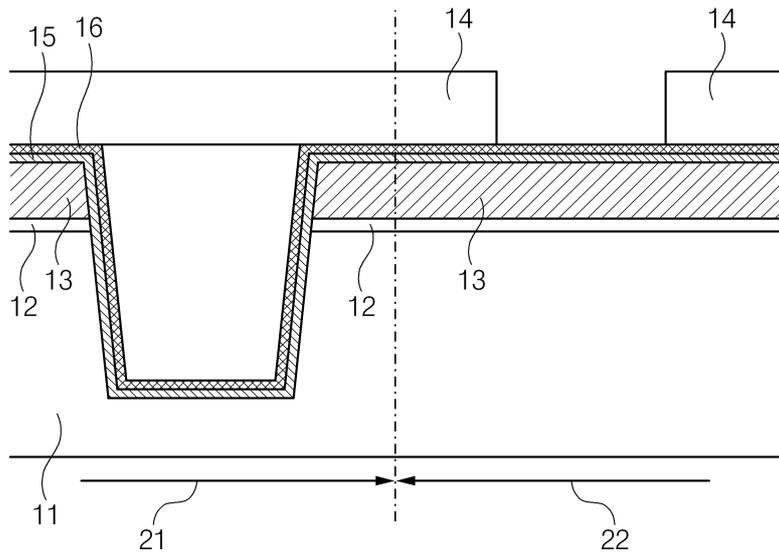
도면5



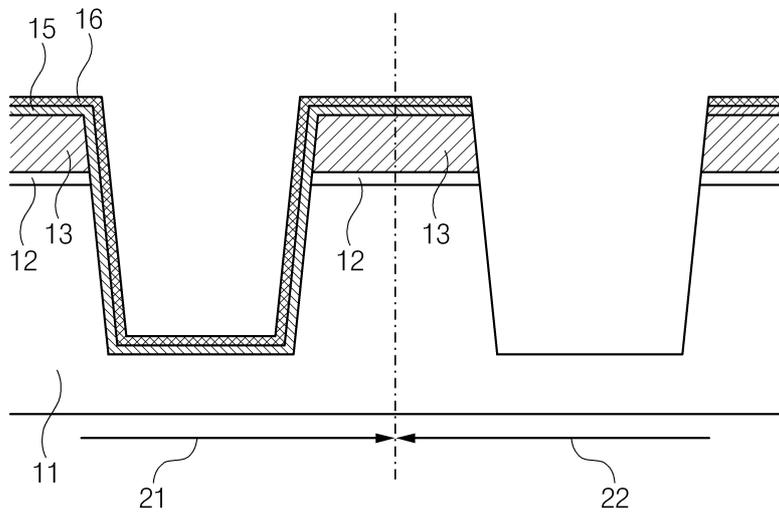
도면6



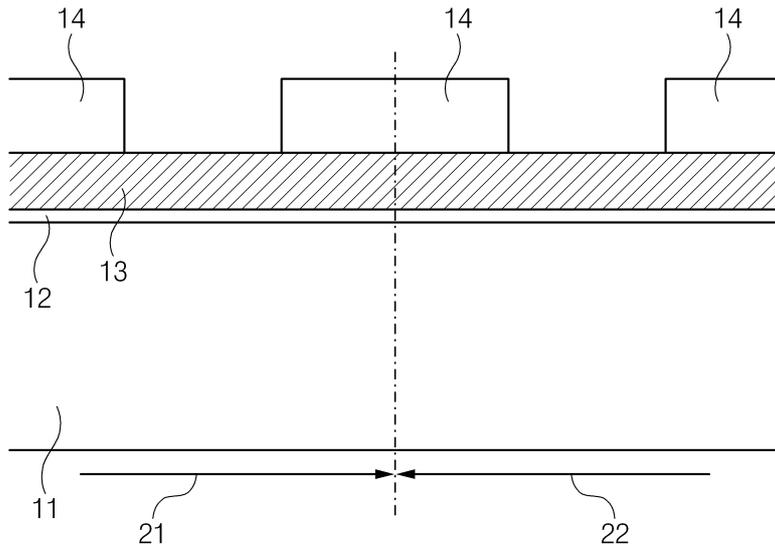
도면7



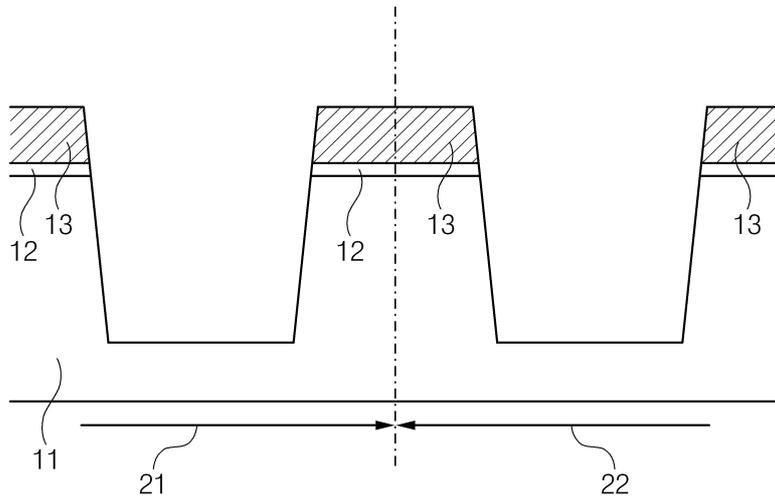
도면8



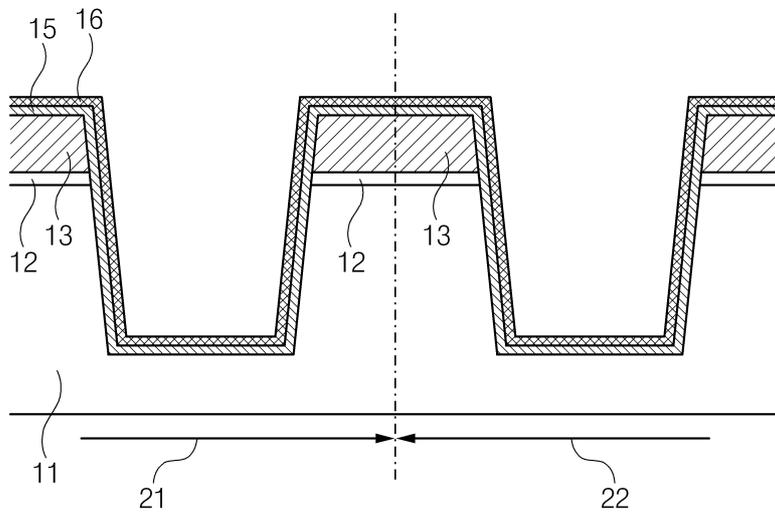
도면9



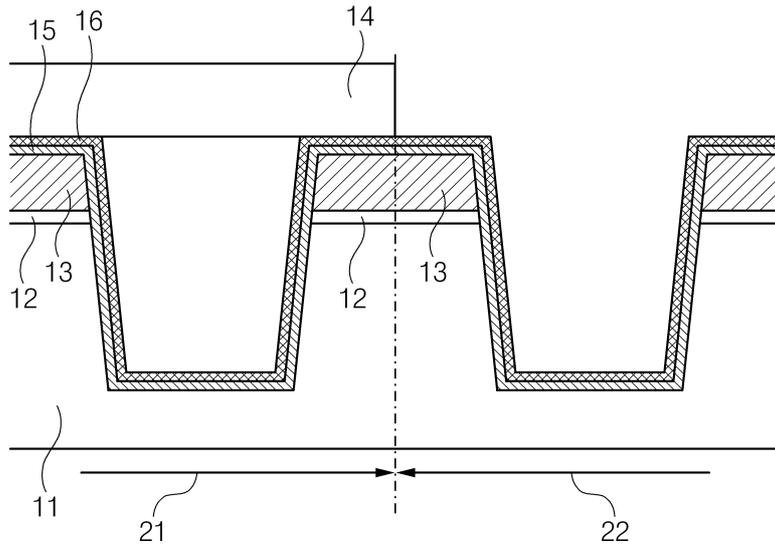
도면10



도면11



도면12



도면13

