

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 9/445 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710124519.0

[45] 授权公告日 2009年7月8日

[11] 授权公告号 CN 100511148C

[22] 申请日 2007.11.12

[21] 申请号 200710124519.0

[73] 专利权人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦法律部

[72] 发明人 韩冰

[56] 参考文献

CN100343807C 2007.10.17

US2005/0005192A1 2005.1.6

US2002/0095619A1 2002.7.18

CN1295903C 2007.1.17

审查员 赵婷

[74] 专利代理机构 深圳市永杰专利商标事务所
代理人 曹建军

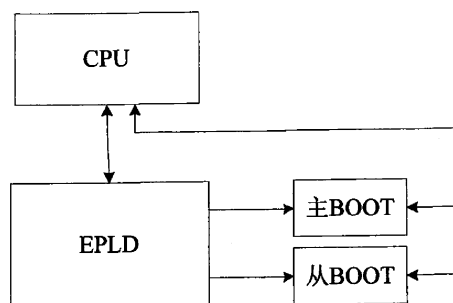
权利要求书3页 说明书9页 附图2页

[54] 发明名称

一种 CPU 系统的启动方法及系统

[57] 摘要

本发明公开了一种 CPU 系统的启动方法及系统，启动方法为：单板上电，启动一片 BOOT FLASH 并运行其中的版本软件来引导 CPU 系统启动，若启动或运行失败，则将单板复位，启动另一片 BOOTFLASH 并运行其中的版本软件来引导 CPU 系统启动。本发明采用软硬件配合的方式，通过使用两片 BOOT FLASH 芯片，对 CPU 系统启动过程中的关键点进行了保护，在 BOOT FLASH 启动失败或者版本软件运行失败时均可通过重新启动另一 BOOT FLASH 来引导 CPU 启动，而且可对两片 BOOT FLASH 芯片的软件进行升级，实现了更可靠的 CPU 系统启动和引导程序的升级。



1、一种 CPU 系统的启动方法，其特征在于，所述方法为：单板上电，启动一片 BOOT FLASH 并运行其中的版本软件来引导 CPU 系统启动，若启动或运行失败，则将单板复位，启动另一片 BOOT FLASH 并运行其中的版本软件来引导 CPU 系统启动；版本软件运行正常后，对此版本软件进行在线升级，将新版本写入正运行的 BOOT FLASH，并根据此新版本对另一 BOOT FLASH 进行规则校验，若不正确，则按规则升级此 BOOT FLASH 中的版本软件。

2、如权利要求 1 所述的 CPU 系统的启动方法，其特征在于，所述方法中版本软件正常运行前的步骤进一步包括以下步骤：

A、单板上电，读取片选信号；

B、根据所述片选信号，选择一片 BOOT FLASH 进行启动，若启动失败，则写入新的片选信号，将单板复位，根据新的片选信号启动 BOOT FLASH 并运行其中的版本软件；

C、运行已启动 BOOT FLASH 中的版本软件，若运行失败，则写入新的片选信号，将单板复位，根据新的片选信号启动 BOOT FLASH 并运行其中的版本软件。

3、如权利要求 2 所述的 CPU 系统的启动方法，其特征在于，所述方法中还包括：在启动 BOOT FLASH 的初始时刻，在 BOOT 握手寄存器中写入握手信息；在运行版本软件的初始时刻，在版本握手寄存器中写入握手信息；同时，所述方法中根据 BOOT 握手寄存器和版本握手寄存器中的握手信息来判断 BOOT FLASH 启动或者版本软

件运行是否失败。

4、如权利要求2所述的CPU系统的启动方法，其特征在于，所述方法还包括：在读写所述片选信号期间，不允许复位单板。

5、如权利要求3所述的CPU系统的启动方法，其特征在于，所述方法中，根据复位信号和主时钟来确定片选信号的读写时钟。

6、一种CPU系统的启动系统，包括CPU，其特征在于，还包括两片相同的BOOT FLASH芯片，EPLD芯片；

所述BOOT FLASH芯片与EPLD芯片和CPU分别相连，用于存放版本软件，以引导CPU启动；

所述EPLD芯片与CPU和两片BOOT FLASH芯片分别相连，用于选择一片BOOT FLASH进行启动并运行其中的版本软件；在BOOT FLASH启动或版本软件运行失败的情况下发起单板复位信号，选择另一BOOT FLASH进行启动并运行其中的版本软件；所述EPLD芯片还用于在当前运行的版本软件升级后将新版本写入正运行的BOOT FLASH，并根据此新版本对另一BOOT FLASH进行规则校验，若不正确，则按规则升级此BOOT FLASH中的版本软件。

7、如权利要求6所述的CPU系统的启动系统，其特征在于，所述启动系统还包括NVRAM芯片，与EPLD芯片互连，用于存放片选信号，以指示要启动的BOOT FLASH芯片；

同时，所述EPLD芯片根据此片选信号选择BOOT FLASH芯片，并在BOOT FLASH启动或版本软件运行失败时向NVRAM芯片写入

新的片选信号。

8、如权利要求7所述的CPU系统的启动系统，其特征在于，所述EPLD芯片包括NVRAM接口模块、双BOOT控制模块；

所述NVRAM接口模块与NVRAM芯片相连，用于读写NVRAM芯片中的片选信号；

所述双BOOT控制模块与NVRAM接口模块、两片BOOT FLASH芯片相连，用于根据片选信号启动BOOT FLASH芯片并运行其版本软件，在启动或运行失败时通过NVRAM接口模块向NVRAM芯片写入新的片选信号，发起单板复位信号；还用于根据控制两片BOOT FLASH芯片的版本软件升级。

9、如权利要求8所述的CPU系统的启动系统，其特征在于，所述EPLD芯片还包括寄存器实现模块、时钟发生模块、NVRAM保护模块；

所述寄存器实现模块与双BOOT控制模块相连，包括BOOT握手寄存器和版本握手寄存器，用于存放握手信息；同时，所述双BOOT控制模块还用于在BOOT FLASH启动和版本软件运行的初始时刻，分别向BOOT握手寄存器和版本握手寄存器中存放握手信息，根据此握手信息判断BOOT FLASH启动或者版本软件运行是否失败；

所述时钟发生模块与双BOOT控制模块和NVRAM接口模块相连，用于根据复位信号和主时钟确定对NVRAM芯片的读写操作时钟和各握手超时时间点；

所述NVRAM保护模块与NVRAM接口模块相连，用于设定读取NVRAM芯片中片选信号的时间。

一种 CPU 系统的启动方法及系统

技术领域

本发明涉及数字通信及计算机技术领域，尤其涉及一种 CPU 系统的启动方法及系统。

背景技术

随着数字通信技术和计算机技术的高速发展，相对与 MCU（单片微型计算机，Micro Controller Unit）来说，CPU 在嵌入式智能系统中的应用越来越普遍。一个典型的 CPU 最小系统由 CPU、RAM（随机存取存储器，random access memory）、BOOT FLASH（用于存放启动代码的闪存，flash used to store boot code）、外围通信接口、电源及电源管理和单板管理逻辑组成。CPU 主要负责提供数据处理和单板控制的 MIPS（以兆为单位，指每秒执行的指令数，用于表示 CPU 的处理能力，Million Instructions per second）；RAM 提供代码和数据的存储区；BOOT FLASH 中存放着启动 CPU 所必需的硬件配置字和系统引导程序；外围通信接口的类型根据实际应用确定，主要的接口有 RS232/RS485 接口，百兆/千兆以太网口等；电源部分为系统提供各等级电压，包括核电压和 IO 电压，在对电压上电时序有要求的时候，还要增加电源管理电路；单板管理逻辑主要负责控制 CPU 上电复位和译码，并提供单板控制寄存器。

其中，BOOT FLASH 在出厂前需要用专用烧录器把 BOOT 程序烧

录到 BOOT FLASH 芯片中，然后把芯片焊接到单板上或插到单板的 BOOT 插座中。在现有技术中，单板上只使用一片 BOOT 芯片，存在以下缺点：一旦这个 BOOT FLASH 芯片损坏或由于程序代码缺陷就会导致 CPU 无法正常启动，而且对单板的维护非常不便，尤其是当设备处于边远地区时，工程维护人员必须到现场才能解决，增加了设备维护成本。

发明内容

本发明所要解决的技术问题是提供一种 CPU 系统的启动方法及系统，提高 CPU 正常启动的可靠性。

为解决上述技术问题，本发明是通过以下技术方案实现的：

一种 CPU 系统的启动方法，所述方法为：单板上电，启动一片 BOOT FLASH 并运行其中的版本软件来引导 CPU 系统启动，若启动或运行失败，则将单板复位，启动另一片 BOOT FLASH 并运行其中的版本软件来引导 CPU 系统启动。

其中，所述方法还包括：版本软件运行正常后，对此版本软件进行在线升级，将新版本写入正运行的 BOOT FLASH，并根据此新版本对另一 BOOT FLASH 进行规则校验，若不正确，则按规则升级此 BOOT FLASH 中的版本软件。

其中，所述方法进一步包括以下步骤：

A、单板上电，读取片选信号；

B、根据所述片选信号，选择一片 BOOT FLASH 进行启动，若启动

失败,则写入新的片选信号,将单板复位,根据新的片选信号启动 BOOT FLASH 并运行其中的版本软件;

C、运行已启动 BOOT FLASH 中的版本软件,若运行失败,则写入新的片选信号,将单板复位,根据新的片选信号启动 BOOT FLASH 并运行其中的版本软件。

其中,所述方法中还包括:在启动 BOOT FLASH 的初始时刻,在 BOOT 握手寄存器中写入握手信息;在运行版本软件的初始时刻,在版本握手寄存器中写入握手信息;同时,所述方法中根据 BOOT 握手寄存器和版本握手寄存器中的握手信息来判断 BOOT FLASH 启动或者版本软件运行是否失败。

其中,所述方法还包括:在读写所述片选信号期间,不允许复位单板。

其中,所述方法中,根据复位信号和主时钟来确定片选信号的读写时钟。

一种 CPU 系统的启动系统,包括 CPU,还包括两片相同的 BOOT FLASH 芯片, EPLD (电可编程逻辑器件, electronic programmable logic device) 芯片;

所述 BOOT FLASH 芯片与 EPLD 芯片和 CPU 分别相连,用于存放版本软件,以引导 CPU 启动;

所述 EPLD 芯片与 CPU 和两片 BOOT FLASH 芯片分别相连,用于选择一片 BOOT FLASH 进行启动并运行其中的版本软件;在 BOOT

FLASH 启动或版本软件运行失败的情况下发起单板复位信号，选择另一 BOOT FLASH 进行启动并运行其中的版本软件。

其中，所述 EPLD 芯片还用于在当前运行的版本软件升级后将新版本写入正运行的 BOOT FLASH，并根据此新版本对另一 BOOT FLASH 进行规则校验，若不正确，则按规则升级此 BOOT FLASH 中的版本软件。

其中，所述启动系统还包括 NVRAM（非易失性可读写存储器，non-volatile random access memory）芯片，与 EPLD 芯片互连，用于存放片选信号，以指示要启动的 BOOT FLASH 芯片；

同时，所述 EPLD 芯片根据此片选信号选择 BOOT FLASH 芯片，并在 BOOT FLASH 启动或版本软件运行失败时向 NVRAM 芯片写入新的片选信号。

其中，所述 EPLD 芯片包括 NVRAM 接口模块、双 BOOT 控制模块；

所述 NVRAM 接口模块与 NVRAM 芯片相连，用于读写 NVRAM 芯片中的片选信号；

所述双 BOOT 控制模块与 NVRAM 接口模块、两片 BOOT FLASH 芯片相连，用于根据片选信号启动 BOOT FLASH 芯片并运行其版本软件，在启动或运行失败时通过 NVRAM 接口模块向 NVRAM 芯片写入新的片选信号，发起单板复位信号；还用于根据控制两片 BOOT FLASH 芯片的版本软件升级。

其中, 所述 EPLD 芯片还包括寄存器实现模块、时钟发生模块、NVRAM 保护模块;

所述寄存器实现模块与双 BOOT 控制模块相连, 包括 BOOT 握手寄存器和版本握手寄存器, 用于存放握手信息; 同时, 所述双 BOOT 控制模块还用于在 BOOT FLASH 启动和版本软件运行的初始时刻, 分别向 BOOT 握手寄存器和版本握手寄存器中存放握手信息, 根据此握手信息判断 BOOT FLASH 启动或者版本软件运行是否失败;

所述时钟发生模块与双 BOOT 控制模块和 NVRAM 接口模块相连, 用于根据复位信号和主时钟确定对 NVRAM 芯片的读写操作时钟和各握手超时时间点;

所述 NVRAM 保护模块与 NVRAM 接口模块相连, 用于设定读取 NVRAM 芯片中片选信号的时间。

本发明具有以下有益效果:

本发明采用软硬件配合的方式, 通过使用两片 BOOT FLASH 芯片, 对 CPU 系统启动过程中的关键点进行了保护, 在 BOOT FLASH 启动失败或者版本软件运行失败时均可通过重新启动另一 BOOT FLASH 来引导 CPU 启动, 而且可对两片 BOOT FLASH 芯片的软件进行升级, 实现了更可靠的 CPU 系统启动和引导程序的升级。

附图说明

图 1 为本发明启动系统的结构图;

图 2 为本发明实施例的系统结构图;

图3为本发明实施例的方法流程图。

具体实施方式

下面结合附图和具体实施例对本发明作进一步的描述：

本发明实现了一种CPU系统的启动系统，如附图1所示，该启动系统包括：CPU、BOOT FLASH芯片1和2、EPLD芯片。

其中，BOOT FLASH芯片1和2均与EPLD芯片和CPU分别相连，用于存放版本软件，以引导CPU启动；

EPLD芯片与CPU和两片BOOT FLASH芯片分别相连，用于选择一片BOOT FLASH进行启动并运行其中的版本软件；在BOOT FLASH启动或版本软件运行失败的情况下发起单板复位信号，选择另一BOOT FLASH进行启动并运行其中的版本软件。

请参阅图2，该图为上述系统的一个实施例，包括CPU、EPLD芯片、BOOT FLASH芯片1和2、NVRAM芯片；EPLD芯片中又包括寄存器实现模块、时钟发生模块、NVRAM保护模块、双BOOT控制模块、NVRAM接口模块。下面将对各组成部分的连接关系及功能进行详细描述：

CPU：提供地址、数据、控制总线。

BOOT FLASH芯片1和2：为两片相同的BOOT FLASH芯片，与EPLD芯片和CPU分别相连，用于存放CPU启动时所需的引导程序。出厂时，将两片BOOT内烧录好相同版本的引导程序；当做BOOT升级后，两片BOOT内存储的分别是新旧不同版本的引导程序，在新版本运行正常后，进行从旧版本到新版本的同步。

NVRAM芯片：与EPLD芯片互连，用于存放片选信号，以指示要启动的BOOT FLASH芯片。

NVRAM 接口模块: 与 NVRAM 芯片相连, 用逻辑代码实现与 NVRAM 芯片的读写接口。单板上电或复位时, 读取 NVRAM 中的特定地址字节, 即片选信号, 作为当前 BOOT 启动芯片选择的指示。

双 BOOT 控制模块: 与 NVRAM 接口模块、BOOT FLASH 芯片 1 和 2、CPU 相连, 用于根据片选信号启动 BOOT FLASH 芯片 1 或 2 并运行其中的版本软件, 在启动或运行失败时通过 NVRAM 接口模块将 NVRAM 芯片的选择位取反后写入, 作为新的片选信号, 之后发起单板复位信号; 还用于控制 BOOT FLASH 芯片 1 和 2 的版本软件的升级。

时钟发生模块: 与双 BOOT 控制模块和 NVRAM 接口模块相连, 用于根据复位信号和主时钟确定对 NVRAM 芯片的读写操作时钟和各握手超时时间点。

NVRAM 保护模块: 与 NVRAM 接口模块相连, 主要是约定 NVRAM 读取时间, 在做 NVRAM 读写操作期间, 不允许复位, 避免未读到启动芯片选择位就复位, 从而避免进入不断复位的死循环。

寄存器实现模块: 与双 BOOT 控制模块相连, 主要是提供 EPLD 与 CPU 的接口, 实现双 BOOT 控制模块需要的寄存器, 包括 BOOT 握手寄存器和版本握手寄存器, 用于存放握手信息。该模块的应用方法为: 上述双 BOOT 控制模块在 BOOT FLASH 启动和版本软件运行的初始时刻, 分别向 BOOT 握手寄存器和版本握手寄存器中存放握手信息, 根据在时钟发生模块设定的握手超时时间范围内寄存器中是否有握手信息来判断 BOOT FLASH 启动或者版本软件运行是否失败。

本发明还提供了一种 CPU 系统的启动方法, 该方法为: 单板上电, 启动一片 BOOT 并运行其中的版本软件来启动 CPU 系统, 若启动或运行失败, 则将单板复位, 启动另一片 BOOT 并运行其中的版本软件来启动 CPU 系统。

附图 3 为上述方法的一个实施例，包括以下步骤：

301、单板上电或复位，EPLD 通过其 NVRAM 接口模块读取 NVRAM 芯片中的片选信号，根据该片选信号对 BOOT FLASH 芯片 1 或 2 做片选，这决定了将启动哪个 BOOT FLASH，软件就开始从所选 BOOT FLASH 运行引导程序。

302、在启动所选 BOOT FLASH 的初始时刻，EPLD 访问 BOOT 握手寄存器，向其中写入握手信息。根据在时钟发生模块设定的握手超时时间范围内寄存器中是否有握手信息来判断 EPLD 与 BOOT FLASH 是否握手，若握手正常，则继续下一步；若握手不正常，则对 NVRAM 标志位取反，并发起单板复位信号，返回到步骤 301，启动另外一个 BOOT FLASH。

303、运行已启动 BOOT FLASH 中的版本软件，在运行的初始时刻，EPLD 访问版本握手寄存器，向其中写入握手信息。根据在预定的握手超时时间范围内寄存器中是否有握手信息来判断 EPLD 与版本软件是否握手，若握手正常，则继续下一步；若握手不正常，则对 NVRAM 标志位取反，发起复位信号，返回到步骤 301，启动另外一个 BOOT FLASH。在上述步骤中，在读写片选信号期间，不允许复位单板，避免未读到启动芯片选择位就复位，从而避免进入不断复位的死循环。

304、版本软件运行正常后，对此版本软件进行在线升级，将新版本写入正运行的 BOOT FLASH，并根据此新版本对另一 BOOT FLASH 进行规则校验，若不正确，则按规则升级此 BOOT FLASH 中的版本软件。

在此步骤中，本发明在版本软件中实现了写 BOOT FLASH 的接口，以供在后台需要升级 BOOT FLASH 的引导程序时调用，有两个作用：1) 可以升级 BOOT FLASH 引导程序；2) 升级后，读取 BOOT FLASH 引

导程序版本，如果发现仍然是升级前的版本，说明升级后的引导程序有问题，则可以回退到升级前的版本；3) 升级后，读取 BOOT FLASH 引导程序版本，如果发现是升级后的版本，说明升级后的引导程序没有问题，则可以对另外一片 BOOT FLASH 也进行升级。

上述方法中，根据复位信号和主时钟来确定对 NVRAM 芯片的读写操作时钟和各握手超时时间点。

以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

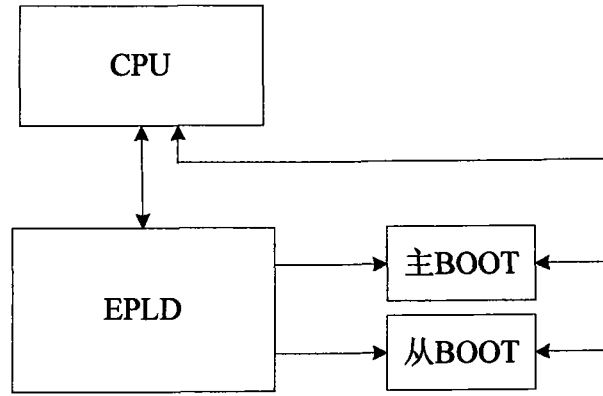


图 1

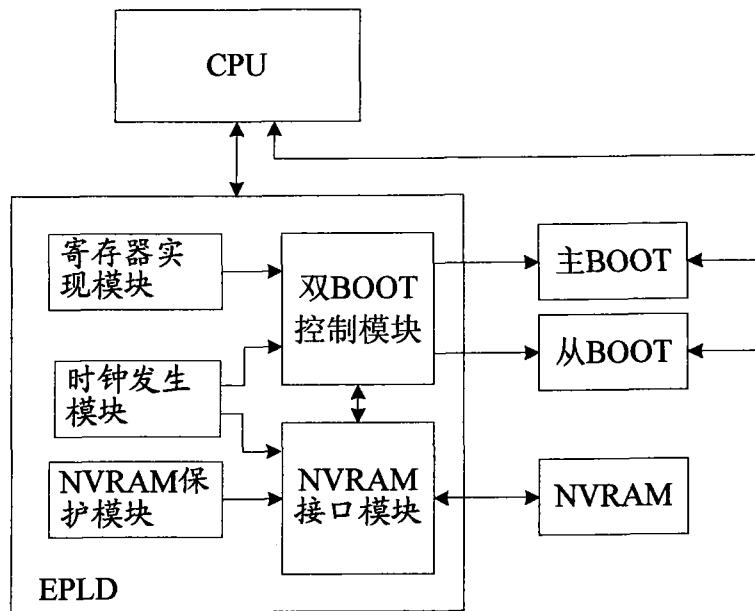


图 2

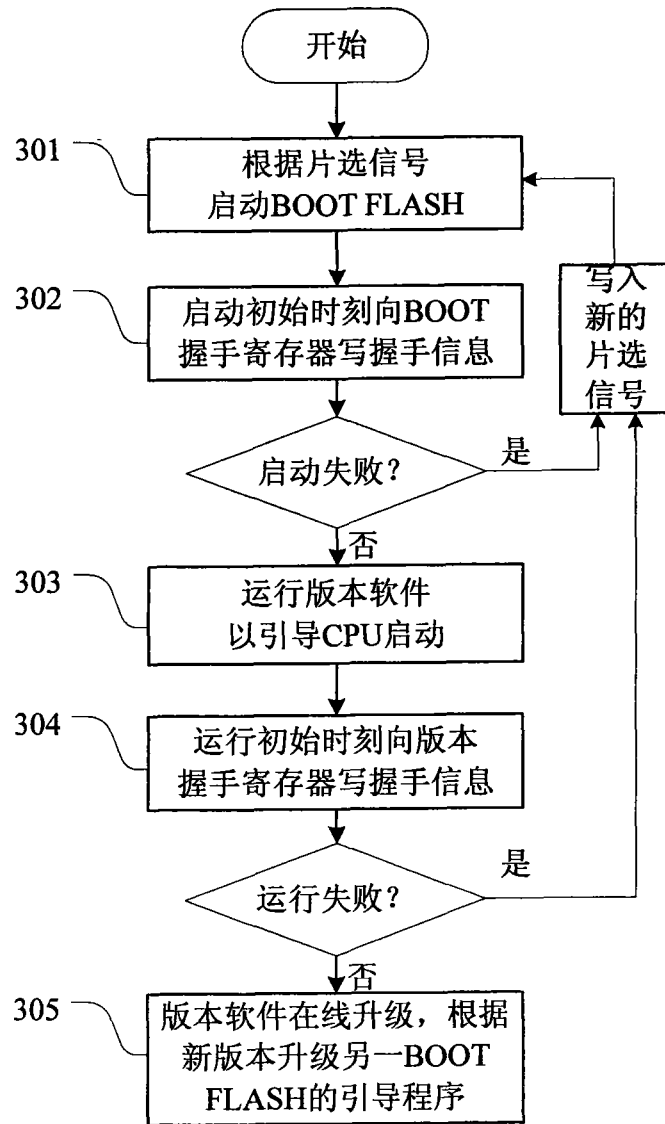


图 3