

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6795657号
(P6795657)

(45) 発行日 令和2年12月2日(2020.12.2)

(24) 登録日 令和2年11月16日(2020.11.16)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 2 C
	HO 1 L 29/78 6 1 7 N
	HO 1 L 29/78 6 1 9 B
	HO 1 L 29/78 6 1 9 A

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2019-135113 (P2019-135113)	(73) 特許権者	000005049
(22) 出願日	令和1年7月23日(2019.7.23)		シャープ株式会社
(65) 公開番号	特開2020-17727 (P2020-17727A)		大阪府堺市堺区匠町1番地
(43) 公開日	令和2年1月30日(2020.1.30)	(74) 代理人	110001036
審査請求日	令和1年7月23日(2019.7.23)		特許業務法人暁合同特許事務所
(31) 優先権主張番号	62/703,453	(72) 発明者	原 健吾
(32) 優先日	平成30年7月26日(2018.7.26)		大阪府堺市堺区匠町1番地 シャープ株式
(33) 優先権主張国・地域又は機関	米国 (US)		会社内
		(72) 発明者	大東 徹
			大阪府堺市堺区匠町1番地 シャープ株式
			会社内
		(72) 発明者	今井 元
			大阪府堺市堺区匠町1番地 シャープ株式
			会社内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及び薄膜トランジスタ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体膜と、
 前記半導体膜の上層側に配される第1絶縁膜と、
 前記第1絶縁膜の上層側に配される第1金属膜と、
 前記第1金属膜の上層側に配される第2絶縁膜と、
 前記第2絶縁膜の上層側に配される第2金属膜と、
 前記第2金属膜からなるソース配線と、
 薄膜トランジスタを構成して前記第1金属膜からなるゲート電極と、
 前記薄膜トランジスタを構成して前記半導体膜の一部からなり前記ゲート電極と重
 10
 畳するよう配されるチャンネル領域と、
 前記薄膜トランジスタを構成して前記半導体膜の一部を低抵抗化してなり前記チャ
 ネル領域に連なるとともに少なくとも前記第2絶縁膜に開口形成されたコンタクトホール
 を通して前記ソース配線に接続されるソース領域と、
 前記薄膜トランジスタを構成して前記半導体膜の一部を低抵抗化してなり前記チャ
 ネル領域に対して前記ソース領域側とは反対側から連なるドレイン領域と、
 前記半導体膜の一部を低抵抗化してなり前記ドレイン領域に連なる画素電極と、
 前記半導体膜の一部を低抵抗化してなり前記ソース領域に連なるとともに少なくとも一
 部が前記ソース配線と重畳するよう配される補助ソース配線と、を備える薄膜トランジ
 スタ基板。

【請求項 2】

前記半導体膜の下層側に配される下層側絶縁膜と、
前記下層側絶縁膜の下層側に配される下層側金属膜と、
前記下層側金属膜からなり少なくとも前記チャンネル領域と重畳するよう配される遮光部と、を備える請求項 1 記載の薄膜トランジスタ基板。

【請求項 3】

前記遮光部は、下層側ゲート電極とされる請求項 2 記載の薄膜トランジスタ基板。

【請求項 4】

前記第 2 金属膜からなり前記第 2 絶縁膜に開口形成された第 1 電極間コンタクトホールと少なくとも前記下層側絶縁膜及び前記第 2 絶縁膜に開口形成された第 2 電極間コンタクトホールとを通して前記ゲート電極と前記下層側ゲート電極とにそれぞれ接続される電極間接続部と、

前記下層側金属膜からなり前記下層側ゲート電極に連なるゲート配線と、を備える請求項 3 記載の薄膜トランジスタ基板。

【請求項 5】

前記第 1 金属膜からなり前記ゲート電極に連なるゲート配線を備える請求項 1 から請求項 3 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 6】

前記ソース配線は、前記補助ソース配線よりも幅狭とされる請求項 1 から請求項 5 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 7】

前記第 2 絶縁膜は、少なくとも前記ドレイン領域及び前記画素電極を覆うよう配される請求項 1 から請求項 6 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 8】

前記第 2 絶縁膜は、少なくともシリコン酸化物を含んでいて少なくとも前記ソース領域及び前記ドレイン領域のうちの前記チャンネル領域に隣接する部分とはそれぞれ重畳するものの、前記ドレイン領域のうちの前記画素電極に隣接する部分と前記画素電極とは非重畳となるよう形成される請求項 1 から請求項 6 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 9】

前記第 1 絶縁膜は、前記第 1 金属膜と重畳する範囲に選択的に配される請求項 1 から請求項 8 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 10】

前記半導体膜は、酸化物半導体からなる請求項 1 から請求項 9 のいずれか 1 項に記載の薄膜トランジスタ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板及び薄膜トランジスタ基板の製造方法に関する。

【背景技術】

【0002】

従来、液晶表示装置に備えられる薄膜トランジスタ基板の一例として下記特許文献 1 に記載されたものが知られている。この特許文献 1 に記載された薄膜トランジスタ基板は、基板上の画素領域に、透明酸化物層、絶縁膜、導電層が順次積層され、前記導電層はゲート信号線に接続される薄膜トランジスタのゲート電極を有し、前記透明酸化物層は少なくとも前記ゲート電極の直下のチャンネル領域部を除いた他の領域が導電体化され、この導電体化された部分でソース信号線、このソース信号線に接続される前記薄膜トランジスタのソース領域部、画素電極、この画素電極に接続される前記薄膜トランジスタのドレイン領域部を構成している。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0003】

【特許文献1】特開2008-175842号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記した特許文献1に記載された薄膜トランジスタ基板には、透明酸化層上に直接成膜された金属膜をエッチングすることでソース信号線を形成する構成が記載されている。しかしながら、この構成では、透明酸化層上の金属膜をエッチングする際に膜残りが生じると、金属膜の残された部分によって例えば画素電極とソース信号線とが短絡するなどの不良が生じるおそれがある。また、透明酸化層上の金属膜をエッチングする際に透明酸化層がオーバーエッチングされるおそれもある。

10

【0005】

本発明は上記のような事情に基づいて完成されたものであって、第2金属膜のエッチングに伴う不具合の発生を抑制することを目的とする。

【課題を解決するための手段】

【0006】

(1)本発明に係る薄膜トランジスタ基板の一実施形態は、半導体膜と、前記半導体膜の上層側に配される第1絶縁膜と、前記第1絶縁膜の上層側に配される第1金属膜と、前記第1金属膜の上層側に配される第2絶縁膜と、前記第2絶縁膜の上層側に配される第2金属膜と、前記第2金属膜からなるソース配線と、薄膜トランジスタを構成して前記第1金属膜からなるゲート電極と、前記薄膜トランジスタを構成して前記半導体膜の一部からなり前記ゲート電極と重畳するよう配されるチャンネル領域と、前記薄膜トランジスタを構成して前記半導体膜の一部を低抵抗化してなり前記チャンネル領域に連なるとともに少なくとも前記第2絶縁膜に開口形成されたコンタクトホールを通して前記ソース配線に接続されるソース領域と、前記薄膜トランジスタを構成して前記半導体膜の一部を低抵抗化してなり前記チャンネル領域に対して前記ソース領域側とは反対側から連なるドレイン領域と、前記半導体膜の一部を低抵抗化してなり前記ドレイン領域に連なる画素電極と、を備える。

20

【0007】

(2)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)の構成に加え、前記半導体膜の下層側に配される下層側絶縁膜と、前記下層側絶縁膜の下層側に配される下層側金属膜と、前記下層側金属膜からなり少なくとも前記チャンネル領域と重畳するよう配される遮光部と、を備える。

30

【0008】

(3)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(2)の構成に加え、前記遮光部は、下層側ゲート電極とされる。

【0009】

(4)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(3)の構成に加え、前記第2金属膜からなり前記第2絶縁膜に開口形成された第1電極間コンタクトホールと少なくとも前記下層側絶縁膜及び前記第2絶縁膜に開口形成された第2電極間コンタクトホールとを通して前記ゲート電極と前記下層側ゲート電極とにそれぞれ接続される電極間接続部と、前記下層側金属膜からなり前記下層側ゲート電極に連なるゲート配線と、を備える。

40

【0010】

(5)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)、上記(2)または、上記(3)の構成に加え、前記第1金属膜からなり前記ゲート電極に連なるゲート配線を備える。

【0011】

(6)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)、上記(

50

2)、上記(3)、上記(4)または、上記(5)の構成に加え、前記半導体膜の一部を低抵抗化してなり前記ソース領域に連なるとともに少なくとも一部が前記ソース配線と重畳するよう配される補助ソース配線を備える。

【0012】

(7)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(6)の構成に加え、前記ソース配線は、前記補助ソース配線よりも幅狭とされる。

【0013】

(8)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)、上記(2)、上記(3)、上記(4)、上記(5)、上記(6)または、上記(7)の構成に加え、前記第2絶縁膜は、少なくとも前記ドレイン領域及び前記画素電極を覆うよう配される。

10

【0014】

(9)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)、上記(2)、上記(3)、上記(4)、上記(5)、上記(6)または、上記(7)の構成に加え、前記第2絶縁膜は、少なくともシリコン酸化物を含んでいて少なくとも前記ソース領域及び前記ドレイン領域のうちの前記チャネル領域に隣接する部分とはそれぞれ重畳するものの、前記ドレイン領域のうちの前記画素電極に隣接する部分と前記画素電極とは非重畳となるよう形成される。

【0015】

(10)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)、上記(2)、上記(3)、上記(4)、上記(5)、上記(6)、上記(7)、上記(8)または、上記(9)の構成に加え、前記第1絶縁膜は、前記第1金属膜と重畳する範囲に選択的に配される。

20

【0016】

(11)また、本発明に係る薄膜トランジスタ基板のある実施形態は、上記(1)、上記(2)、上記(3)、上記(4)、上記(5)、上記(6)、上記(7)、上記(8)、上記(9)または、上記(10)の構成に加え、前記半導体膜は、酸化物半導体からなる。

【0017】

(12)本発明に係る薄膜トランジスタ基板の製造方法の一実施形態は、半導体膜を成膜する半導体膜成膜工程と、前記半導体膜の上層側に第1絶縁膜を成膜する第1絶縁膜成膜工程と、前記第1絶縁膜の上層側に第1金属膜を成膜する第1金属膜成膜工程と、前記第1金属膜を前記第1絶縁膜と共にエッチングすることで薄膜トランジスタを構成して前記第1金属膜からなるゲート電極を形成する第1金属膜エッチング工程と、前記半導体膜をエッチングする半導体膜エッチング工程と、前記半導体膜のうち、前記ゲート電極と重畳するチャネル領域以外の部分を低抵抗化することで、前記薄膜トランジスタを構成して前記チャネル領域に連なるソース領域と、前記薄膜トランジスタを構成して前記チャネル領域に対して前記ソース領域側とは反対側から連なるドレイン領域と、前記ドレイン領域に連なる画素電極と、を形成する低抵抗化工程と、前記第1金属膜の上層側に第2絶縁膜を成膜する第2絶縁膜成膜工程と、前記第2絶縁膜をエッチングすることで前記ソース領域の一部と重畳する部分にコンタクトホールを開口形成する第2絶縁膜エッチング工程と、前記第2絶縁膜の上層側に第2金属膜を成膜する第2金属膜成膜工程と、前記第2金属膜をエッチングすることで前記コンタクトホールを通して前記ソース領域に接続されるソース配線を形成する第2金属膜エッチング工程と、を備える。

30

40

【0018】

このように、半導体膜成膜工程、第1絶縁膜成膜工程及び第1金属膜成膜工程を経て半導体膜、第1絶縁膜及び第1金属膜が成膜される。第1金属膜エッチング工程では、第1金属膜が第1絶縁膜と共にエッチングされ、半導体膜エッチング工程では、半導体膜がエッチングされる。そして、低抵抗化工程では、半導体膜のうちのチャネル領域を除いた部分が低抵抗化されることで、ソース領域、ドレイン領域及び画素電極が形成される。この

50

ようにすれば、仮に画素電極が透明電極膜からなる場合に比べると、透明電極膜の成膜やエッチングが不要になるとともに透明電極膜を他の導電膜と絶縁するための絶縁膜を追加せずに済むので、製造コストの低下などを図る上で好適となる。第2絶縁膜成膜工程を経て成膜された第2絶縁膜は、第2絶縁膜エッチング工程にてエッチングされることで、ソース領域の一部と重畳する部分にコンタクトホールが開口形成される。第2金属膜成膜工程を経て第2絶縁膜の上層側に成膜された第2金属膜は、第2金属膜エッチング工程にてエッチングされることで、コンタクトホールを通してソース領域に接続されるソース配線が形成される。この第2金属膜エッチング工程では、半導体膜は少なくとも一部が第2絶縁膜により覆われた状態とされている。従って、仮に第2金属膜のエッチングが不十分で膜残りが生じたとしても、その膜残り部分によって例えばソース配線と半導体膜のうちの低抵抗化されてなる部分とが短絡するといった不良が生じるのを避けることができる。しかも、半導体膜の少なくとも一部が第2絶縁膜により覆われることで、第2金属膜エッチング工程にて半導体膜がオーバーエッチングされる事態が避けられる。

10

【0019】

(13)また、本発明に係る薄膜トランジスタ基板の製造方法のある実施形態は、上記(12)に加え、前記第1金属膜エッチング工程は、前記半導体膜エッチング工程の前に行われる。

【発明の効果】

【0020】

本発明によれば、第2金属膜のエッチングに伴う不具合の発生を抑制することができる。

20

【図面の簡単な説明】

【0021】

【図1】本発明の実施形態1に係る液晶パネルを構成するアレイ基板の表示領域における平面構成を概略的に示す平面図

【図2】アレイ基板における図1のA-A線断面図

【図3】アレイ基板の製造方法における下層側金属膜成膜工程及び下層側金属膜エッチング工程が行われた状態を示す図1のA-A線断面図

【図4】アレイ基板の製造方法における下層側絶縁膜成膜工程、半導体膜成膜工程、第1絶縁膜成膜工程、第1金属膜成膜工程、第1金属膜エッチング工程が行われた状態を示す図1のA-A線断面図

30

【図5】アレイ基板の製造方法における半導体膜エッチング工程が行われた状態を示す図1のA-A線断面図

【図6】アレイ基板の製造方法における低抵抗化工程が行われた状態を示す図1のA-A線断面図

【図7】アレイ基板の製造方法における第2絶縁膜成膜工程及び第2絶縁膜エッチング工程が行われた状態を示す図1のA-A線断面図

【図8】アレイ基板の製造方法における第2金属膜成膜工程及び第2金属膜エッチング工程が行われた状態を示す図1のA-A線断面図

【図9】本発明の実施形態2に係る液晶パネルを構成するアレイ基板の表示領域における平面構成を概略的に示す平面図

40

【図10】アレイ基板における図9のB-B線断面図

【図11】アレイ基板における図9のC-C線断面図

【図12】本発明の実施形態3に係るアレイ基板におけるTFTの断面図

【図13】アレイ基板の製造方法における低抵抗化工程が行われた状態を示すTFTの断面図

【図14】アレイ基板の製造方法における第2絶縁膜成膜工程及び第2絶縁膜エッチング工程が行われた状態を示すTFTの断面図

【図15】本発明の実施形態4に係る液晶パネルを構成するアレイ基板の表示領域における平面構成を概略的に示す平面図

50

【図 16】アレイ基板における図 15 の D - D 線断面図

【図 17】本発明の実施形態 5 に係る液晶パネルを構成するアレイ基板の表示領域における平面構成を概略的に示す平面図

【図 18】アレイ基板における図 17 の E - E 線断面図

【発明を実施するための形態】

【0022】

<実施形態 1>

本発明の実施形態 1 を図 1 から図 8 によって説明する。本実施形態では、液晶パネル（表示パネル）を構成するアレイ基板（薄膜トランジスタ基板）10 について例示する。なお、各図面の一部には X 軸、Y 軸及び Z 軸を示しており、各軸方向が各図面で示した方向となるように描かれている。また、図 2 から図 8 の上側を表側とし、下側を裏側とする。

10

【0023】

液晶パネルは、アレイ基板 10 と図示しない CF 基板（対向基板）とが、間に図示しない液晶層を挟んだ状態で貼り合わせられた構成とされ、アレイ基板 10 及び CF 基板の外側にはそれぞれ図示しない偏光板が貼り付けられている。液晶パネルは、その表示面が画像を表示可能な表示領域と、表示領域を取り囲む非表示領域と、に区分されている。図 1 は、アレイ基板 10 における表示領域の平面図である。アレイ基板 10 における表示領域には、図 1 に示すように、スイッチング素子である TFT（薄膜トランジスタ）11 及び画素電極 12 が多数個マトリクス状（行列状）に並んで設けられる。TFT 11 及び画素電極 12 の周りには、格子状をなすゲート配線（走査線）13 及びソース配線（データ線、信号線）14 が取り囲むようにして配設されている。ゲート配線 13 とソース配線 14 とがそれぞれ TFT 11 のゲート電極 11A とソース領域 11B とに接続され、画素電極 12 が TFT 11 のドレイン領域 11C に接続されている。そして、TFT 11 は、ゲート配線 13 及びソース配線 14 にそれぞれ供給される各種信号に基づいて駆動され、その駆動に伴って画素電極 12 への電位の供給が制御される。画素電極 12 は、ゲート配線 13 及びソース配線 14 により囲まれた縦長の方形の領域に配されている。画素電極 12 には、自身の長辺方向（Y 軸方向）に沿って延在する複数（図 1 では 3 本）のスリット 12A が形成されている。アレイ基板 10 の表示領域には、画素電極 12 と重畳する形で概ねベタ状の共通電極 15 が形成されている。互いに重畳する画素電極 12 と共通電極 15 との間に電位差が生じると、アレイ基板 10 の板面に沿う成分に加えて、アレイ基板 10 の板面に対する法線方向の成分を含むフリンジ電界（斜め電界）が液晶層のうちのスリット 12A 付近の部分に印加される。つまり、本実施形態に係るアレイ基板 10 を備える液晶パネルは、動作モードが FFS（Fringe Field Switching）モードとされる。なお、本実施形態では、各図面においてゲート配線 13 の延在方向が X 軸方向と、ソース配線 14 の延在方向が Y 軸方向と、それぞれ一致する。

20

30

【0024】

より詳しくは、TFT 11 は、図 1 に示すように、接続対象とされる画素電極 12 に対して Y 軸方向について図 1 に示す下側に隣り合う配置とされる。TFT 11 は、ゲート配線 13 の一部からなるゲート電極 11A を有する。TFT 11 は、ソース配線 14 から分岐してなるソース分岐部 14A に接続されるソース領域 11B を有する。ソース分岐部 14A は、ソース配線 14 のうち、ゲート配線 13 と交差する部分に対して Y 軸方向について接続対象となる画素電極 12 側とは反対側に配されている。ソース分岐部 14A は、X 軸方向に沿って延在しており、その先端部がソース領域 11B に接続されている。ソース領域 11B には、ソース配線 14 に伝送される画像信号がソース分岐部 14A を介して供給される。ソース領域 11B は、Y 軸方向に沿って延在している。TFT 11 は、ソース領域 11B に対して Y 軸方向について間隔を空けて配されるドレイン領域 11C を有する。ドレイン領域 11C は、Y 軸方向に沿って延在してソース領域 11B（チャンネル領域 11D）側とは反対側の端部が画素電極 12 に連ねられている。TFT 11 は、ゲート電極 11A と重畳するとともに、ソース領域 11B 及びドレイン領域 11C に連なるチャンネル領域 11D を有する。チャンネル領域 11D は、Y 軸方向に沿って延在し、その一端側

40

50

がソース領域 11B に、他端側がドレイン領域 11C に、それぞれ連ねられている。そして、ゲート電極 11A に供給される走査信号に基づいて TFT 11 が駆動されると、ソース配線 14 に供給される画像信号（電荷）は、ソース分岐部 14A 及びソース領域 11B からチャンネル領域 11D を介してドレイン領域 11C へと供給される。その結果、画素電極 12 が画像信号に基づいた電位に充電される。また、アレイ基板 10 の表示領域には、少なくとも上記したチャンネル領域 11D と重畳する位置に遮光部 16 が設けられている。遮光部 16 は、チャンネル領域 11D に対して下層側から照射される光を遮ることが可能とされる。このような光は、例えば液晶パネルに対してバックライト装置から照射される表示のための光とされる。チャンネル領域 11D へ向かう上記した光が遮光部 16 によって遮られることで、チャンネル領域 11D に光が照射された場合に生じ得る TFT 11 の特性の変動を抑制することができる。

10

【0025】

一方、CF 基板の表示領域には、アレイ基板 10 側の各画素電極 12 と対向状をなす位置に多数個のカラーフィルタ（図示せず）がマトリクス状に並んで設けられている。カラーフィルタは、R（赤色）、G（緑色）、B（青色）の三色が所定の順で繰り返し並んで配されてなる。また、図示は省略するが、各カラーフィルタ間には、混色を防ぐための遮光膜（ブラックマトリクス）が形成されている。

【0026】

図 2 は、アレイ基板 10 における図 1 の A - A 線断面図である。アレイ基板 10 は、図 2 に示すように、ガラス基板（基板）の内面側に各種の膜が積層形成されてなる。具体的には、アレイ基板 10 には、図 2 に示すように、下層側（ガラス基板側、液晶層から遠い側）から順に下層側金属膜 17、下層側絶縁膜 18、半導体膜 19、第 1 絶縁膜 20、第 1 金属膜（ゲート金属膜）21、第 2 絶縁膜 22、第 2 金属膜（ソース金属膜）23、第 3 絶縁膜 24、透明電極膜 25、配向膜（図示せず）が積層形成されている。

20

【0027】

下層側金属膜 17、第 1 金属膜 21 及び第 2 金属膜 23 は、いずれも 1 種類の金属材料からなる単層膜または異なる種類の金属材料からなる積層膜や合金とされることで導電性及び遮光性を有している。下層側金属膜 17 は、図 2 に示すように、遮光部 16 などを構成する。第 1 金属膜 21 は、ゲート配線 13 や TFT 11 のゲート電極 11A などを構成する。第 2 金属膜 23 は、ソース配線 14（ソース分岐部 14A を含む）などを構成する。下層側絶縁膜 18 及び第 3 絶縁膜 24 は、いずれも無機絶縁材料（無機樹脂材料）の一種である SiN_x （窒化シリコン）などからなる。第 1 絶縁膜 20 及び第 2 絶縁膜 22 は、いずれも無機絶縁材料の一種である SiO_2 （酸化シリコン、シリコン酸化物）などからなる。下層側絶縁膜 18 は、下層側金属膜 17 と半導体膜 19 との間に介在してこれらを絶縁する。第 1 絶縁膜 20 は、半導体膜 19 と第 1 金属膜 21 との間に介在してこれらを絶縁する。特に、第 1 絶縁膜 20 のうち、ゲート電極 11A と重畳する部分によりゲート電極 11A とチャンネル領域 11D との間隔が一定に保たれる。第 2 絶縁膜 22 は、第 1 金属膜 21 と第 2 金属膜 23 との間に介在してこれらを絶縁する。第 3 絶縁膜 24 は、第 2 金属膜 23 と透明電極膜 25 との間に介在してこれらを絶縁する。半導体膜 19 は、材料として例えば酸化物半導体を用いた酸化物半導体膜とされる。半導体膜 19 は、TFT 11 を構成するソース領域 11B、ドレイン領域 11C 及びチャンネル領域 11D に加えて画素電極 12 などを構成する。半導体膜 19 の具体的な材料としては、例えば、 In-Ga-Zn-O 系の半導体（例えば酸化インジウムガリウム亜鉛）が挙げられる。ここで、 In-Ga-Zn-O 系の半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ 等を含むが、必ずしもその限りではない。 In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよいが、結晶質の場合は、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。透明電極膜 25 は、例えば ITO （Indium Tin Oxide）や IZO （Indium Zinc Oxide）などの透明電

30

40

50

極材料からなり、共通電極 15 を構成する。配向膜は、液晶層に含まれる液晶分子の初期配向を図るためのものである。このように、本実施形態に係る TFT 11 は、第 1 金属膜 21 からなるゲート電極 11A が、半導体膜 19 からなるチャネル領域 11D に対して第 1 絶縁膜 20 を介して上層側に重畳配置されており、いわゆるトップゲート型とされる。

【0028】

さて、本実施形態に係るアレイ基板 10 に備わるソース領域 11B、ドレイン領域 11C 及び画素電極 12 は、図 2 に示すように、製造過程において半導体膜 19 の一部ずつを低抵抗化してなる。ソース領域 11B、ドレイン領域 11C 及び画素電極 12 (半導体膜 19 の低抵抗化領域) は、半導体膜 19 における非低抵抗化領域 (チャネル領域 11D) に比べると、抵抗率が例えば $1/10000000000 \sim 1/100$ 程度と極めて低く、導電体として機能する。低抵抗化領域を含む半導体膜 19 は、ほぼ透明な透光性材料であり、画素電極 12 の透明性・透光性が十分に担保されている。半導体膜 19 のうち、非低抵抗化領域は、特定の条件 (ゲート電極 11A に走査信号が供給された場合) でのみ電荷の移動が可能とされるものの、低抵抗化領域は、常に電荷の移動が可能とされていて導電体として機能する。このように本実施形態では、ソース領域 11B、ドレイン領域 11C 及び画素電極 12 は、いずれも半導体膜 19 の一部を低抵抗化してなるので、仮に画素電極が透明電極膜からなる場合に比べると、透明電極膜の成膜やエッチングが不要になるとともに透明電極膜を他の導電膜と絶縁するための絶縁膜を追加せずに済むので、製造コストの低下などを図る上で好適となる。なお、図 1 及び図 2 では、半導体膜 19 における低抵抗化領域を相対的に網掛け状にして図示している。

【0029】

そして、本実施形態に係る TFT 11 を構成して半導体膜 19 からなるソース領域 11B と、第 2 金属膜 23 からなるソース配線 14 のソース分岐部 14A と、は、図 2 に示すように、間に介在する第 2 絶縁膜 22 に開口形成されたコンタクトホール 26 を通して相互に接続されている。このような構成によれば、製造過程において、第 2 絶縁膜 22 の上層側に成膜された第 2 金属膜 23 をエッチングしてソース配線 14 (ソース分岐部 14A を含む) を形成する際には、半導体膜 19 は少なくとも一部が第 2 絶縁膜 22 により覆われた状態とされる。従って、仮に第 2 金属膜 23 のエッチングが不十分で膜残りが生じたとしても、その膜残り部分によって例えばソース配線 14 と半導体膜 19 のうちの低抵抗化されてなる部分とが短絡するといった不良が生じるのを避けることができる。しかも、半導体膜 19 の少なくとも一部が第 2 絶縁膜 22 により覆われることで、第 2 金属膜 23 をエッチングする際に半導体膜 19 がオーバーエッチングされる事態が避けられる。

【0030】

しかも、TFT 11 を構成するゲート電極 11A 及びゲート配線 13 は、図 2 に示すように、共に第 1 金属膜 21 からなるので、ゲート配線 13 により伝送される信号は、ゲート電極 11A に直接的に供給される。仮にゲート配線が第 1 金属膜 21 よりも下層側に配される下層側金属膜 17 からなる場合に下層側絶縁膜 18 にコンタクトホールを開口形成する必要があるのに比べると、第 1 金属膜 21 からなるゲート電極 11A に対するゲート配線 13 の接続構造が簡単になる。さらには、第 1 絶縁膜 20 は、第 1 金属膜 21 からなるゲート電極 11A 及びゲート配線 13 と重畳する範囲に選択的に配されているから、製造過程において、第 1 絶縁膜 20 及び第 1 金属膜 21 を続けて成膜してから第 1 金属膜 21 をエッチングする際に第 1 絶縁膜 20 をまとめてエッチングすることができる。これにより、第 1 絶縁膜 20 をパターンニングするためのフォトマスクが不要となるので、製造コストの低下を図ることができる。

【0031】

また、第 2 絶縁膜 22 は、図 2 に示すように、少なくともドレイン領域 11C 及び画素電極 12 を覆うよう配されているので、製造過程において、第 2 絶縁膜 22 の上層側に成膜された第 2 金属膜 23 をエッチングしてソース配線 14 を形成する際には、少なくともドレイン領域 11C 及び画素電極 12 が第 2 絶縁膜 22 により覆われた状態とされる。従って、仮に第 2 金属膜 23 のエッチングが不十分で膜残りが生じたとしても、その膜残り

10

20

30

40

50

部分によって例えばソース配線 1 4 とドレイン領域 1 1 C 及び画素電極 1 2 の少なくとも一方とが短絡するといった不良が生じるのを避けることができる。しかも、少なくともドレイン領域 1 1 C 及び画素電極 1 2 が第 2 絶縁膜 2 2 により覆われることで、第 2 金属膜 2 3 をエッチングする際に少なくともドレイン領域 1 1 C 及び画素電極 1 2 がオーバーエッチングされる事態を避けることができる。また、第 2 絶縁膜 2 2 は、ドレイン領域 1 1 C 及び画素電極 1 2 の他にも、ソース領域 1 1 B のうちのコンタクトホール 2 6 とは非重畳となる部分（チャンネル領域 1 1 D に隣接する部分を含む）を覆っている。

【 0 0 3 2 】

本実施形態に係るアレイ基板 1 0 は以上のような構造であり、続いてその製造方法について説明する。本実施形態に係るアレイ基板 1 0 の製造方法は、下層側金属膜 1 7 を成膜する下層側金属膜成膜工程と、下層側金属膜 1 7 をエッチングする下層側金属膜エッチング工程と、下層側絶縁膜 1 8 を成膜する下層側絶縁膜成膜工程と、半導体膜 1 9 を成膜する半導体膜成膜工程と、第 1 絶縁膜 2 0 を成膜する第 1 絶縁膜成膜工程と、第 1 金属膜 2 1 を成膜する第 1 金属膜成膜工程と、第 1 金属膜 2 1 を第 1 絶縁膜 2 0 と共にエッチングする第 1 金属膜エッチング工程と、半導体膜 1 9 をエッチングする半導体膜エッチング工程と、半導体膜 1 9 の一部を低抵抗化する低抵抗化工程と、第 2 絶縁膜 2 2 を成膜する第 2 絶縁膜成膜工程と、第 2 絶縁膜 2 2 をエッチングする第 2 絶縁膜エッチング工程と、第 2 金属膜 2 3 を成膜する第 2 金属膜成膜工程と、第 2 金属膜 2 3 をエッチングする第 2 金属膜エッチング工程と、第 3 絶縁膜 2 4 を成膜する第 3 絶縁膜成膜工程と、透明電極膜 2 5 を成膜する透明電極膜成膜工程と、配向膜を成膜する配向膜成膜工程と、を少なくとも備える。以下、図 3 から図 8 を用いて各工程について適宜に詳しく説明する。

【 0 0 3 3 】

下層側金属膜エッチング工程では、図 3 に示すように、下層側金属膜成膜工程を経て成膜された下層側金属膜 1 7 上にフォトレジストを積層し、そのフォトレジストを露光・現像する。そして、パターニングされたフォトレジストを用いて下層側金属膜 1 7 をドライエッチングまたはウェットエッチングする。すると、下層側金属膜 1 7 のうちフォトレジストとは非重畳となる部分がエッチングにより除去されるのに対し、フォトレジストと重畳する部分が残存する。これにより、下層側金属膜 1 7 からなる遮光部 1 6 が形成される。

【 0 0 3 4 】

半導体膜成膜工程、第 1 絶縁膜成膜工程及び第 1 金属膜成膜工程は、図 4 に示すように、連続して行われる。これにより、半導体膜 1 9、第 1 絶縁膜 2 0 及び第 1 金属膜 2 1 が連続的に積層形成される。その後、第 1 金属膜エッチング工程では、上記した下層側金属膜エッチング工程と同様に、第 1 金属膜 2 1 上に積層されてからパターニングされたフォトレジストを用いて第 1 金属膜 2 1 をエッチングすることでパターニングする。このとき、第 1 金属膜 2 1 と共に第 1 絶縁膜 2 0 もエッチングされるので、第 1 絶縁膜 2 0 は第 1 金属膜 2 1 と同じパターンとなる。これにより、第 1 金属膜 2 1 からなるゲート電極 1 1 A 及びゲート配線 1 3 などが形成される。この第 1 金属膜エッチング工程は、半導体膜エッチング工程の前に行われるので、第 1 金属膜エッチング工程にて第 1 金属膜 2 1 を第 1 絶縁膜 2 0 と共にエッチングする際には、半導体膜 1 9 はパターニングされておらず、半導体膜 1 9 の下地である下層側絶縁膜 1 8 は半導体膜 1 9 により覆われた状態となっている。従って、第 1 金属膜 2 1 のエッチングに伴って下層側絶縁膜 1 8 がオーバーエッチングされる事態が避けられる。続いて、半導体膜エッチング工程では、上記した下層側金属膜エッチング工程と同様に、半導体膜 1 9 上に積層されてからパターニングされたフォトレジストを用いて半導体膜 1 9 をエッチングすることでパターニングする。これにより、チャンネル領域 1 1 D と、低抵抗化される前の状態のソース領域 1 1 B、ドレイン領域 1 1 C 及び画素電極 1 2 と、が形成される。

【 0 0 3 5 】

低抵抗化工程では、半導体膜エッチング工程にてパターニングされた半導体膜 1 9 に対して低抵抗化処理を行う。この低抵抗化処理としては、所定のガスを用いたプラズマ処理

10

20

30

40

50

が好ましい。半導体膜 19 は、図 6 に示すように、第 1 金属膜 21 からなるゲート電極 11A により覆われた部分（チャンネル領域 11D）を除いた部分が露出しており、この露出部分が選択的に低抵抗化処理されて低抵抗化領域となる。これにより、半導体膜 19 の一部ずつからなるソース領域 11B、ドレイン領域 11C 及び画素電極 12 が形成される。

【0036】

第 2 絶縁膜エッチング工程では、上記した下層側金属膜エッチング工程と同様に、図 7 に示すように、第 2 絶縁膜成膜工程を経て成膜された第 2 絶縁膜 22 上に積層されてからパターニングされたフォトレジストを用いて第 2 絶縁膜 22 をエッチングすることでパターニングする。これにより、第 2 絶縁膜 22 のうち、ソース領域 11B の一部と重畳する位置にコンタクトホール 26 が開口形成される。ソース領域 11B は、コンタクトホール 26 と重畳する部分が露出することになる。第 2 金属膜成膜工程では、図 8 に示すように、第 2 金属膜 23 が成膜される。成膜された第 2 金属膜 23 は、大部分が第 2 絶縁膜 22 上に積層されるものの、コンタクトホール 26 と重畳する部分については半導体膜 19 上に積層される。その後の第 2 金属膜エッチング工程では、上記した下層側金属膜エッチング工程と同様に、第 2 金属膜 23 上に積層されてからパターニングされたフォトレジストを用いて第 2 金属膜 23 をエッチングすることでパターニングする。これにより、ソース配線 14 及びソース分岐部 14A が形成され、このうちのソース分岐部 14A がコンタクトホール 26 を通してソース領域 11B に接続される。ところで、この第 2 金属膜エッチング工程では、半導体膜 19 はコンタクトホール 26 とは非重畳となる大部分（ソース領域 11B の一部、ドレイン領域 11C、チャンネル領域 11D 及び画素電極 12）が第 2 絶縁膜 22 により覆われた状態とされている。従って、仮に第 2 金属膜 23 のエッチングが不十分で膜残りが生じたとしても、その膜残り部分によって例えばソース配線 14 と半導体膜 19 のうちの低抵抗化されてなる部分であるドレイン領域 11C や画素電極 12 などとが短絡するといった不良が生じるのを避けることができる。しかも、半導体膜 19 の大部分が第 2 絶縁膜 22 により覆われることで、第 2 金属膜エッチング工程にて半導体膜 19 がオーバーエッチングされる事態が避けられる。

【0037】

その後、図 2 に示すように、第 3 絶縁膜成膜工程を経て第 3 絶縁膜 24 が成膜され、透明電極膜成膜工程を経て透明電極膜 25 が成膜され、配向膜成膜工程を経て配向膜が成膜される。

【0038】

以上説明したように本実施形態のアレイ基板（薄膜トランジスタ基板）10 は、半導体膜 19 と、半導体膜 19 の上層側に配される第 1 絶縁膜 20 と、第 1 絶縁膜 20 の上層側に配される第 1 金属膜 21 と、第 1 金属膜 21 の上層側に配される第 2 絶縁膜 22 と、第 2 絶縁膜 22 の上層側に配される第 2 金属膜 23 と、第 2 金属膜 23 からなるソース配線 14 と、TFT（薄膜トランジスタ）11 を構成して第 1 金属膜 21 からなるゲート電極 11A と、TFT 11 を構成して半導体膜 19 の一部からなりゲート電極 11A と重畳するよう配されるチャンネル領域 11D と、TFT 11 を構成して半導体膜 19 の一部を低抵抗化してなりチャンネル領域 11D に連なるとともに少なくとも第 2 絶縁膜 22 に開口形成されたコンタクトホール 26 を通してソース配線 14 に接続されるソース領域 11B と、TFT 11 を構成して半導体膜 19 の一部を低抵抗化してなりチャンネル領域 11D に対してソース領域 11B 側とは反対側から連なるドレイン領域 11C と、半導体膜 19 の一部を低抵抗化してなりドレイン領域 11C に連なる画素電極 12 と、を備える。

【0039】

このようにすれば、ゲート電極 11A が通電されるのに伴って TFT 11 が駆動されると、ソース配線 14 に接続されたソース領域 11B とドレイン領域 11C との間をチャンネル領域 11D を介して電荷が移動し、画素電極 12 が充電される。ソース領域 11B、ドレイン領域 11C 及び画素電極 12 は、いずれも半導体膜 19 の一部を低抵抗化してなるので、仮に画素電極が透明電極膜からなる場合に比べると、透明電極膜の成膜やエッチン

10

20

30

40

50

グが不要になるとともに透明電極膜を他の導電膜と絶縁するための絶縁膜を追加せずに済むので、製造コストの低下などを図る上で好適となる。そして、ソース配線 14 は、半導体膜 19 に対して少なくとも第 2 絶縁膜 22 を介して上層側に配される第 2 金属膜 23 からなり、第 2 絶縁膜 22 に開口形成されたコンタクトホール 26 を通して半導体膜 19 の一部を低抵抗化してなるソース領域 11B に接続されている。このような構成によれば、製造過程において、第 2 絶縁膜 22 の上層側に成膜された第 2 金属膜 23 をエッチングしてソース配線 14 を形成する際には、半導体膜 19 は少なくとも一部が第 2 絶縁膜 22 により覆われた状態とされる。従って、仮に第 2 金属膜 23 のエッチングが不十分で膜残りが生じたとしても、その膜残り部分によって例えばソース配線 14 と半導体膜 19 のうちの低抵抗化されてなる部分とが短絡するといった不良が生じるのを避けることができる。しかも、半導体膜 19 の少なくとも一部が第 2 絶縁膜 22 により覆われることで、第 2 金属膜 23 をエッチングする際に半導体膜 19 がオーバーエッチングされる事態が避けられる。

10

【0040】

また、半導体膜 19 の下層側に配される下層側絶縁膜 18 と、下層側絶縁膜 18 の下層側に配される下層側金属膜 17 と、下層側金属膜 17 からなり少なくともチャネル領域 11D と重畳するよう配される遮光部 16 と、を備える。半導体膜 19 に対して下層側から光が照射される場合であっても、半導体膜 19 に対して下層側絶縁膜 18 を介して下層側に配される下層側金属膜 17 からなる遮光部 16 が少なくともチャネル領域 11D と重畳するよう配されることで、チャネル領域 11D へ向かう光が遮光部 16 によって遮られる。これにより、チャネル領域 11D に光が照射された場合に生じ得る TFT 11 の特性の変動を抑制することができる。

20

【0041】

また、第 1 金属膜 21 からなりゲート電極 11A に連なるゲート配線 13 を備える。このようにすれば、ゲート配線 13 により伝送される信号は、ゲート電極 11A に供給される。仮にゲート配線が第 1 金属膜 21 よりも下層側に配される金属膜からなる場合に比べると、第 1 金属膜 21 からなるゲート電極 11A に対するゲート配線 13 の接続構造が簡単になる。

【0042】

また、第 2 絶縁膜 22 は、少なくともドレイン領域 11C 及び画素電極 12 を覆うよう配される。このようにすれば、製造過程において、第 2 絶縁膜 22 の上層側に成膜された第 2 金属膜 23 をエッチングしてソース配線 14 を形成する際には、少なくともドレイン領域 11C 及び画素電極 12 が第 2 絶縁膜 22 により覆われた状態とされる。従って、仮に第 2 金属膜 23 のエッチングが不十分で膜残りが生じたとしても、その膜残り部分によって例えばソース配線 14 とドレイン領域 11C 及び画素電極 12 の少なくとも一方とが短絡するといった不良が生じるのを避けることができる。しかも、少なくともドレイン領域 11C 及び画素電極 12 が第 2 絶縁膜 22 により覆われることで、第 2 金属膜 23 をエッチングする際に少なくともドレイン領域 11C 及び画素電極 12 がオーバーエッチングされる事態を避けることができる。

30

【0043】

また、第 1 絶縁膜 20 は、第 1 金属膜 21 と重畳する範囲に選択的に配される。このようにすれば、製造過程において、第 1 絶縁膜 20 及び第 1 金属膜 21 を続けて成膜してから第 1 金属膜 21 をエッチングする際に第 1 絶縁膜 20 をまとめてエッチングすることができる。これにより、第 1 絶縁膜 20 をパターンングするためのフォトリソが不要となるので、製造コストの低下を図ることができる。第 1 金属膜 21 からなるゲート電極 11A と重畳する第 1 絶縁膜 20 によりゲート電極 11A とチャネル領域 11D との間の間隔が一定に保たれる。

40

【0044】

また、半導体膜 19 は、酸化物半導体からなる。このようにすれば、アモルファスシリコンに比べると、一般的にバンドギャップが大きくなっている。従って、半導体膜 19 を

50

酸化物半導体膜 19 とすることで、当該 T F T 11 の耐圧向上が図られる。

【 0 0 4 5 】

本実施形態に係るアレイ基板 10 の製造方法は、半導体膜 19 を成膜する半導体膜成膜工程と、半導体膜 19 の上層側に第 1 絶縁膜 20 を成膜する第 1 絶縁膜成膜工程と、第 1 絶縁膜 20 の上層側に第 1 金属膜 21 を成膜する第 1 金属膜成膜工程と、第 1 金属膜 21 を第 1 絶縁膜 20 と共にエッチングすることで T F T 11 を構成して第 1 金属膜 21 からなるゲート電極 11 A を形成する第 1 金属膜エッチング工程と、半導体膜 19 をエッチングする半導体膜エッチング工程と、半導体膜 19 のうち、ゲート電極 11 A と重畳するチャンネル領域 11 D 以外の部分を低抵抗化することで、T F T 11 を構成してチャンネル領域 11 D に連なるソース領域 11 B と、T F T 11 を構成してチャンネル領域 11 D に対してソース領域 11 B 側とは反対側から連なるドレイン領域 11 C と、ドレイン領域 11 C に連なる画素電極 12 と、を形成する低抵抗化工程と、第 1 金属膜 21 の上層側に第 2 絶縁膜 22 を成膜する第 2 絶縁膜成膜工程と、第 2 絶縁膜 22 をエッチングすることでソース領域 11 B の一部と重畳する部分にコンタクトホール 26 を開口形成する第 2 絶縁膜エッチング工程と、第 2 絶縁膜 22 の上層側に第 2 金属膜 23 を成膜する第 2 金属膜成膜工程と、第 2 金属膜 23 をエッチングすることでコンタクトホール 26 を通してソース領域 11 B に接続されるソース配線 14 を形成する第 2 金属膜エッチング工程と、を備える。

10

【 0 0 4 6 】

このように、半導体膜成膜工程、第 1 絶縁膜成膜工程及び第 1 金属膜成膜工程を経て半導体膜 19、第 1 絶縁膜 20 及び第 1 金属膜 21 が成膜される。第 1 金属膜エッチング工程では、第 1 金属膜 21 が第 1 絶縁膜 20 と共にエッチングされ、半導体膜エッチング工程では、半導体膜 19 がエッチングされる。そして、低抵抗化工程では、半導体膜 19 のうちのチャンネル領域 11 D を除いた部分が低抵抗化されることで、ソース領域 11 B、ドレイン領域 11 C 及び画素電極 12 が形成される。このようにすれば、仮に画素電極が透明電極膜からなる場合に比べると、透明電極膜の成膜やエッチングが不要になるとともに透明電極膜を他の導電膜と絶縁するための絶縁膜を追加せずに済むので、製造コストの低下などを図る上で好適となる。第 2 絶縁膜成膜工程を経て成膜された第 2 絶縁膜 22 は、第 2 絶縁膜エッチング工程にてエッチングされることで、ソース領域 11 B の一部と重畳する部分にコンタクトホール 26 が開口形成される。第 2 金属膜成膜工程を経て第 2 絶縁膜 22 の上層側に成膜された第 2 金属膜 23 は、第 2 金属膜エッチング工程にてエッチングされることで、コンタクトホール 26 を通してソース領域 11 B に接続されるソース配線 14 が形成される。この第 2 金属膜エッチング工程では、半導体膜 19 は少なくとも一部が第 2 絶縁膜 22 により覆われた状態とされている。従って、仮に第 2 金属膜 23 のエッチングが不十分で膜残りが生じたとしても、その膜残り部分によって例えばソース配線 14 と半導体膜 19 のうちの低抵抗化されてなる部分とが短絡するといった不良が生じるのを避けることができる。しかも、半導体膜 19 の少なくとも一部が第 2 絶縁膜 22 により覆われることで、第 2 金属膜エッチング工程にて半導体膜 19 がオーバーエッチングされる事態が避けられる。

20

30

【 0 0 4 7 】

また、第 1 金属膜エッチング工程は、半導体膜エッチング工程の前に行われる。このようにすれば、第 1 金属膜エッチング工程にて第 1 金属膜 21 を第 1 絶縁膜 20 と共にエッチングする際には、半導体膜 19 はパターニングされておらず、半導体膜 19 の下地は半導体膜 19 により覆われた状態となっている。従って、第 1 金属膜 21 のエッチングに伴って半導体膜 19 の下地がオーバーエッチングされる事態が避けられる。

40

【 0 0 4 8 】

< 実施形態 2 >

本発明の実施形態 2 を図 9 から図 11 によって説明する。この実施形態 2 では、半導体膜 119 の一部を低抵抗化してなる補助ソース配線 27 を追加したものを示す。なお、上記した実施形態 1 と同様の構造、作用及び効果について重複する説明は省略する。

50

【0049】

本実施形態に係るアレ基板110は、図9及び図10に示すように、半導体膜119の一部を低抵抗化してなる補助ソース配線27を備える。補助ソース配線27は、ソース配線114及びソース分岐部114Aに並行する形で延在するとともに全長にわたって幅方向についての一部がソース配線114及びソース分岐部114Aと重畳するよう配されている。補助ソース配線27は、ソース配線114及びソース分岐部114Aよりも幅広とされており、幅方向の両端部がソース配線114及びソース分岐部114Aとは非重畳とされる。言い換えると、ソース配線114及びソース分岐部114Aは、補助ソース配線27よりも幅狭とされる。補助ソース配線27は、図11に示すように、その端部がソース領域111Bに連ねられている。ソース領域111Bには、第2絶縁膜122のコンタクトホール126を通してソース分岐部114Aが接続されているので、補助ソース配線27は、ソース配線114に電氣的に接続されていてソース配線114に伝送される信号を伝送することが可能とされる。つまり、ソース配線114の複線化が図られる。これにより、仮にソース配線114に断線が生じた場合でも補助ソース配線27により信号の伝送を行うことができ、また補助ソース配線27を利用して断線したソース配線114の修理を行うことも可能とされる。また、ソース配線114の配線抵抗の低下が図られる。

10

【0050】

以上説明したように本実施形態によれば、半導体膜119の一部を低抵抗化してなりソース領域111Bに連なるとともに少なくとも一部がソース配線114と重畳するよう配される補助ソース配線27を備える。このようにすれば、ソース配線114は、ソース領域111Bを介して補助ソース配線27に接続されるので、冗長性の向上や配線抵抗の低下が図られる。

20

【0051】

また、ソース配線114は、補助ソース配線27よりも幅狭とされる。ソース配線114は、補助ソース配線27によって配線抵抗の低下が図られているので、補助ソース配線27よりも幅狭になっても、配線抵抗が十分に低く保たれる。ところで、第2金属膜123からなるソース配線114は、半導体膜119の一部を低抵抗化してなる補助ソース配線27に比べると、一般的にシート抵抗が低くなる傾向とされる。従って、ソース配線114の負荷には、補助ソース配線27と他の配線との間に生じる寄生容量よりもソース配線114と他の配線との間に生じる寄生容量の方が強く影響する傾向とされる。以上に基づくと、ソース配線114が補助ソース配線27よりも幅狭とされることで、ソース配線114と他の配線との間に生じる寄生容量が好適に低減されるので、ソース配線114の負荷の軽減を図る上で好適となる。

30

【0052】

<実施形態3>

本発明の実施形態3を図12から図14によって説明する。この実施形態3では、上記した実施形態1から第2絶縁膜222の材料及び構造を変更したものを示す。なお、上記した実施形態1と同様の構造、作用及び効果について重複する説明は省略する。

【0053】

本実施形態に係るアレ基板210は、図12に示すように、第2絶縁膜222がシリコン酸化物の一種である SiO_2 からなる。このため、第2絶縁膜222には酸素が含有されている。そして、第2絶縁膜222は、少なくとも半導体膜219からなるソース領域211B及びドレイン領域211Cのうちのチャネル領域211Dに隣接する部分であるチャネル隣接部211B1、211C1とはそれぞれ重畳するよう形成されている。また、第2絶縁膜222は、ソース領域211Bのうちのコンタクトホール226に対してチャネル隣接部211B1側とは反対側の部分とも重畳している。これに対し、第2絶縁膜222は、半導体膜219からなるドレイン領域211Cのうちの画素電極212に隣接する部分である画素隣接部211C2と半導体膜219からなる画素電極212とは非重畳となるよう形成されている。半導体膜219のうち、第2絶縁膜222と重畳する部分は、第2絶縁膜222に含有される酸素が経時的に導入されることで抵抗値が高くなる

40

50

。従って、第2絶縁膜222と重畳するチャンネル隣接部分211B1, 211C1は、高抵抗領域となっている。一方、半導体膜219のうち、第2絶縁膜222とは非重畳となる部分は、第2絶縁膜222に含有される酸素が導入されることが避けられている。従って、第2絶縁膜222とは非重畳となる画素隣接部211C2及び画素電極212は、上記した高抵抗領域よりも抵抗が低い低抵抗領域となっている。これら高抵抗領域及び低抵抗領域は、いずれも低抵抗化が図られた低抵抗化領域である。なお、図12では、半導体膜219における低抵抗領域を相対的に濃い網掛け状にして図示し、また半導体膜219における高抵抗領域を相対的に薄い網掛け状にして図示している。

【0054】

以下では、アレイ基板210の製造方法について説明する。上記した実施形態1と同様に、下層側金属膜成膜工程、下層側金属膜エッチング工程、下層側絶縁膜成膜工程、半導体膜成膜工程、第1絶縁膜成膜工程、第1金属膜成膜工程、第1金属膜エッチング工程、半導体膜エッチング工程、及び低抵抗化工程が行われると、図13に示すように、半導体膜219のうちチャンネル領域211Dを除いたソース領域211B、ドレイン領域211C及び画素電極212がそれぞれ低抵抗化される。この段階では、ソース領域211B、ドレイン領域211C及び画素電極212は、抵抗が同等とされる。その後、第2絶縁膜成膜工程を経て成膜された第2絶縁膜222は、図14に示すように、第2絶縁膜エッチング工程にてエッチングされる。このとき、第2絶縁膜222は、ソース領域211Bの一部と重畳する位置にコンタクトホール226が開口形成されるとともに、ドレイン領域211Cのうちの画素電極212に隣接する画素隣接部211C2と画素電極212とに対して重畳する部分が除去される。従って、半導体膜219のうち、ソース領域211Bにおけるコンタクトホール226と重畳する部分と、ドレイン領域211Cにおける画素隣接部211C2と、画素電極212と、がそれぞれ第2絶縁膜222により覆われずに露出し、低抵抗領域となる。一方、半導体膜219のうち、ソース領域211Bにおけるチャンネル隣接部211B1及びその反対側の部分と、ドレイン領域211Cにおけるチャンネル隣接部211C1と、は、それぞれ第2絶縁膜222により覆われるので、第2絶縁膜222に含まれる酸素が経時的に導入されて高抵抗領域となる。

【0055】

以上説明したように本実施形態によれば、第2絶縁膜222は、少なくともシリコン酸化物を含んでいて少なくともソース領域211B及びドレイン領域211Cのうちのチャンネル領域211Dに隣接する部分とはそれぞれ重畳するものの、ドレイン領域211Cのうちの画素電極212に隣接する部分と画素電極212とは非重畳となるよう形成される。まず、第2絶縁膜222は、少なくともシリコン酸化物を含んでいるので、酸素を含有している。少なくともソース領域211B及びドレイン領域211Cのうちのチャンネル領域211Dに隣接する部分は、それぞれ第2絶縁膜222と重畳しているため、第2絶縁膜222に含有される酸素が経時的に導入され、それに伴って抵抗値が高くなる。これに対し、ソース領域211Bのうちのコンタクトホール226と重畳する部分、ドレイン領域211Cのうちの画素電極212に隣接する部分、及び画素電極212は、第2絶縁膜222とは非重畳とされているから、第2絶縁膜222に含有される酸素が導入されることが避けられている。このように、ソース領域211B及びドレイン領域211Cは、チャンネル領域211D側とは反対側では低抵抗とされるものの、チャンネル側では高抵抗とされるので、ソース領域211Bとドレイン領域211Cとの間に生じる電界の緩和が図られる。これにより、ドレイン領域211C付近に電界集中（いわゆるホットキャリア現象）が生じ難くなり、TFT211に生じ得るオフリーク電流の低下などを図ることができる。

【0056】

<実施形態4>

本発明の実施形態4を図15または図16によって説明する。この実施形態4では、上記した実施形態1からTFT311の構成を変更したものを示す。なお、上記した実施形態1と同様の構造、作用及び効果について重複する説明は省略する。

【0057】

本実施形態に係るTFT311は、図15及び図16に示すように、下層側ゲート電極28を備えており、いわゆるダブルゲート構造とされる。下層側ゲート電極28は、下層側金属膜317からなる遮光部316によって構成されており、ゲート電極311A及びチャンネル領域311Dの双方に対して重畳するよう配されている。下層側ゲート電極28（遮光部316）は、第1金属膜321からなるゲート電極311Aに対して電極間接続部29を介して接続されている。電極間接続部29は、第2金属膜323からなり、下層側ゲート電極28及びゲート電極311Aの双方に対して重畳するものの、半導体膜319からなるソース領域311B、ドレイン領域311C及びチャンネル領域311Dとは非重畳となるよう配されている。第2絶縁膜322のうち、電極間接続部29及びゲート電極311Aとの重畳箇所には、第1電極間コンタクトホール30が開口形成されている。第2絶縁膜322及び下層側絶縁膜318のうち、電極間接続部29及び下層側ゲート電極28との重畳箇所には、第2電極間コンタクトホール31が開口形成されている。これら第1電極間コンタクトホール30及び第2電極間コンタクトホール31を通して電極間接続部29がゲート電極311A及び下層側ゲート電極28に対して電氣的に接続される。これにより、第1金属膜321からなるゲート配線313に伝送される信号は、同じタイミングをもってゲート電極311Aと下層側ゲート電極28とに供給されるので、ゲート電極311Aと下層側ゲート電極28に対して重畳するチャンネル領域311Dにおける電荷の流通量が増加する。

10

【0058】

以上説明したように本実施形態によれば、遮光部316は、下層側ゲート電極28とされる。このようにすれば、ゲート電極311Aに加えて下層側ゲート電極28に信号が供給されることで、下層側ゲート電極28と重畳するチャンネル領域311Dにおける電荷の流通量を増加させることができる。

20

【0059】

<実施形態5>

本発明の実施形態5を図17または図18によって説明する。この実施形態5では、上記した実施形態4からゲート配線413の構成を変更したものを示す。なお、上記した実施形態4と同様の構造、作用及び効果について重複する説明は省略する。

【0060】

本実施形態に係るゲート配線413は、図17及び図18に示すように、下層側金属膜417からなり、下層側ゲート電極428に連ねられている。これに伴い、第1金属膜421からなるゲート電極411Aは、電極間接続部429を介して下層側ゲート電極428に接続されており、それによりゲート配線413に伝送される信号の供給が図られている。ゲート電極411A及び下層側ゲート電極428に対する電極間接続部429の接続構造は、上記した実施形態4と同様であり、第2絶縁膜422及び下層側絶縁膜418にそれぞれ開口形成された第1電極間コンタクトホール430及び第2電極間コンタクトホール431による。本実施形態では、ゲート配線413が下層側金属膜417からなるので、ゲート配線413とソース配線414との交差箇所間には、図18に示すように、下層側絶縁膜418及び第2絶縁膜422が介在している。従って、上記した実施形態4のようにゲート配線が第1金属膜421からなる場合にゲート配線とソース配線414との交差箇所間に第2絶縁膜422のみが介在する構成に比べると、ゲート配線413とソース配線414との交差箇所間の距離が大きくなるので、ソース配線414の負荷が軽減されてソース配線414に伝送される信号に鈍りが生じ難くなる。これにより、高精細化などを図る上で好適となる。

30

40

【0061】

以上説明したように本実施形態によれば、第2金属膜423からなり第2絶縁膜422に開口形成された第1電極間コンタクトホール430と少なくとも下層側絶縁膜418及び第2絶縁膜422に開口形成された第2電極間コンタクトホール431とを通してゲート電極411Aと下層側ゲート電極428とにそれぞれ接続される電極間接続部429と

50

、下層側金属膜417からなり下層側ゲート電極428に連なるゲート配線413と、を備える。このようにすれば、ゲート配線413により伝送される信号は、ゲート配線413に連なる下層側ゲート電極428に供給されるとともに、下層側ゲート電極428から電極間接続部429を介してゲート電極411Aにも供給される。これにより、下層側ゲート電極428とゲート電極411Aと同じタイミングで信号を供給することができる。ゲート配線413は、下層側金属膜417からなるので、ゲート配線413とソース配線414との交差箇所間には、少なくとも下層側絶縁膜418及び第2絶縁膜422が介在することになる。従って、仮にゲート配線が第1金属膜421からなる場合にゲート配線とソース配線414との交差箇所間に第2絶縁膜422のみが介在する構成に比べると、ゲート配線413とソース配線414との交差箇所間の距離が大きくなるので、ソース配線414の負荷が軽減されてソース配線414に伝送される信号に鈍りが生じ難くなる。これにより、高精細化などを図る上で好適となる。

10

【0062】

<他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

【0063】

(1)上記した各実施形態では、低抵抗化工程にて低抵抗化処理としてプラズマ処理を行う場合を示したが、低抵抗化処理として例えば真空アニール処理などを行うようにしても構わない。

20

【0064】

(2)上記した実施形態2では、ソース配線及びソース分岐部が補助ソース配線よりも幅狭とされる場合を示したが、ソース配線及びソース分岐部が補助ソース配線と同等の線幅であっても構わない。また、ソース配線及びソース分岐部が補助ソース配線よりも幅狭であっても構わない。さらには、ソース配線とソース分岐部とで線幅が異なってもよく、その場合は補助ソース配線に対するソース配線及びソース分岐部の線幅の大小関係が異なっても構わない。

【0065】

(3)上記した実施形態3では、シリコン酸化物として SiO_2 を第2絶縁膜に用いた場合を示したが、それ以外にもシリコン酸化物として $SiNO$ (酸化窒化シリコン)などを第2絶縁膜に用いることも可能である。

30

【0066】

(4)上記した実施形態4,5では、ダブルゲート構造のTFTに対してゲート配線が1本のみ接続される構成を示したが、ダブルゲート構造のTFTに対して2本のゲート配線が接続される構成であっても構わない。すなわち、電氣的に独立した2本のゲート配線のうちの一方がゲート電極に、他方が下層側ゲート電極に、それぞれ接続される構成であっても構わない。この場合、ゲート電極と下層側ゲート電極とに対して異なるタイミングで信号を供給することも可能となる。

【0067】

(5)上記した各実施形態では、ゲート配線の一部がゲート電極または下層側ゲート電極となるのに対し、ソース配線から分岐してなるソース分岐部がソース領域に接続される構成を示したが、ソース分岐部が省略されていてソース配線の一部がソース領域に接続されるのに対し、ゲート配線から分岐してなるゲート分岐部がゲート電極となる構成であっても構わない。

40

【0068】

(6)上記した各実施形態以外にも、画素電極に形成されるスリットの本数や形状は適宜に変更可能である。また、画素電極の外形についても単純な方形以外の形状などに適宜に変更可能である。

【0069】

(7)上記した各実施形態では、下層側金属膜からなる遮光部(下層側ゲート電極)を

50

備える構成を示したが、遮光部を省略することも可能である。その場合は、下層側金属膜及び下層側絶縁膜をそれぞれ省略することができる。

【0070】

(8) 上記した各実施形態では、半導体膜として酸化物半導体膜を備えたアレイ基板を例示したが、それ以外にも、例えばポリシリコン(多結晶化されたシリコン(多結晶シリコン))の一種であるCGシリコン(Continuous Grain Silicon)やアモルファスシリコンを半導体膜の材料として用いることも可能である。

【0071】

(9) 上記した各実施形態以外にも、各金属膜、各絶縁膜などに用いる具体的な材料は適宜に変更可能である。

10

【0072】

(10) 上記した各実施形態では、動作モードがFFSモードとされた液晶パネルを構成するアレイ基板について例示したが、それ以外にもIPS(In-Plane Switching)モードやVA(Vertical Alignment)モードなどの他の動作モードとされた液晶パネルを構成するアレイ基板についても本発明は適用可能である。

【0073】

(11) 上記した各実施形態では、液晶パネルを構成するアレイ基板を例示したが、他の種類の表示パネル(有機ELパネル、PDP(プラズマディスプレイパネル)、EPD(マイクロカプセル型電気泳動方式のディスプレイパネル)、MEMS(Micro Electro Mechanical Systems)表示パネルなど)に設けられるアレイ基板にも本発明は適用可能である。

20

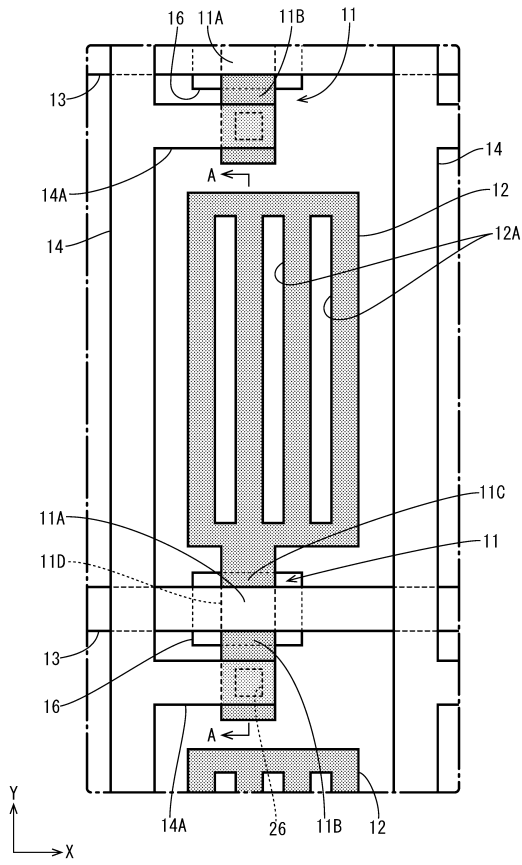
【符号の説明】

【0074】

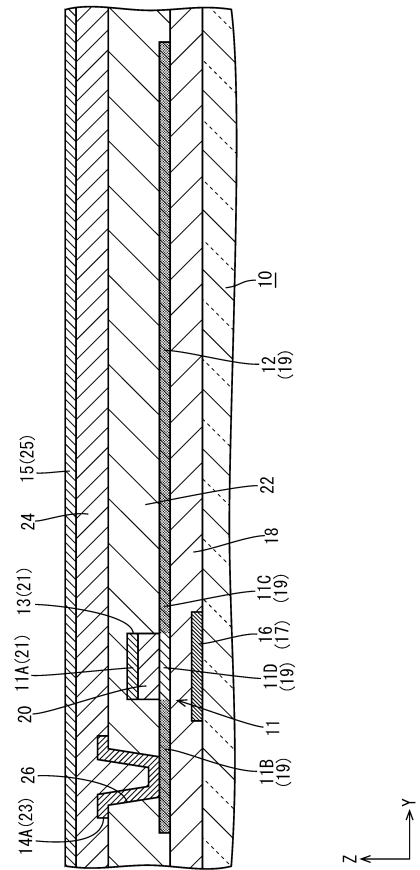
10, 110, 210...アレイ基板(薄膜トランジスタ基板)、11, 211, 311...TFT(薄膜トランジスタ)、11A, 311A, 411A...ゲート電極、11B, 111B, 211B, 311B...ソース領域、11C, 211C, 311C...ドレイン領域、11D, 211D, 311D...チャンネル領域、12, 212...画素電極、13, 313, 413...ゲート配線、14, 114, 414...ソース配線、16, 316...遮光部、17, 317, 417...下層側金属膜、18, 318, 418...下層側絶縁膜、19, 119, 219, 319...半導体膜、20...第1絶縁膜、21, 321, 421...第1金属膜、22, 122, 222, 322, 422...第2絶縁膜、23, 123, 323, 423...第2金属膜、26, 126, 226...コンタクトホール、27...補助ソース配線、28, 428...下層側ゲート電極、29, 429...電極間接続部、30, 430...第1電極間コンタクトホール、31, 431...第2電極間コンタクトホール

30

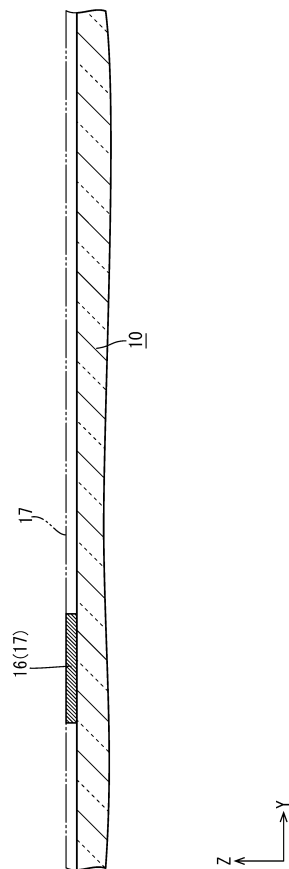
【図 1】



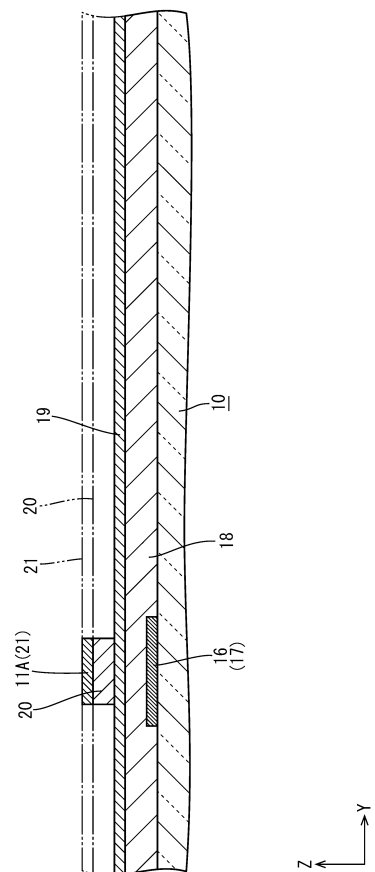
【図 2】



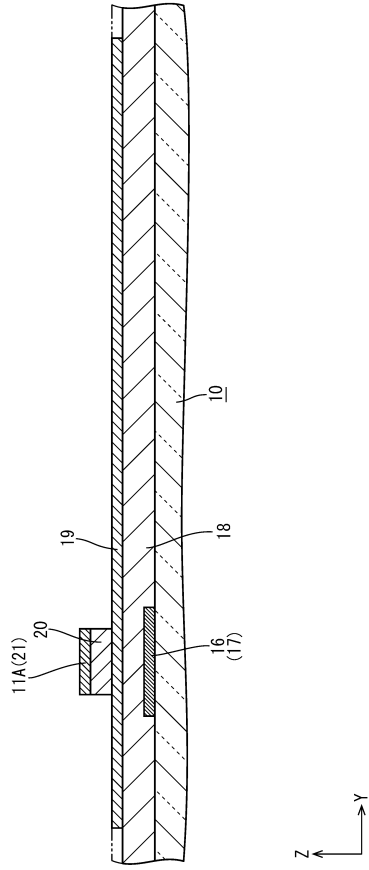
【図 3】



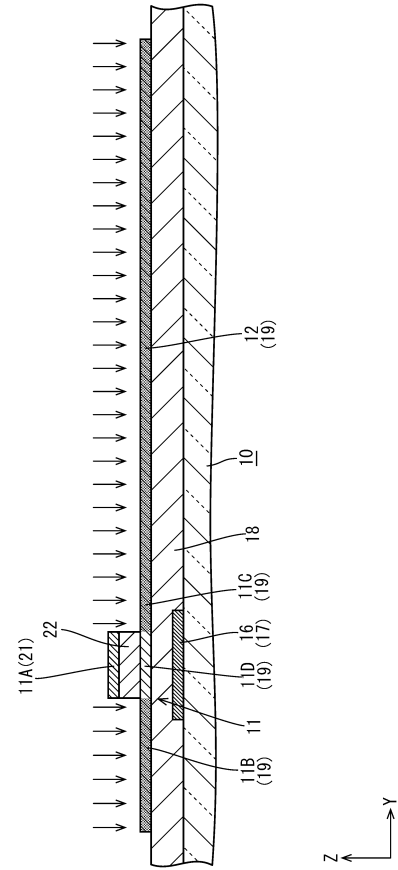
【図 4】



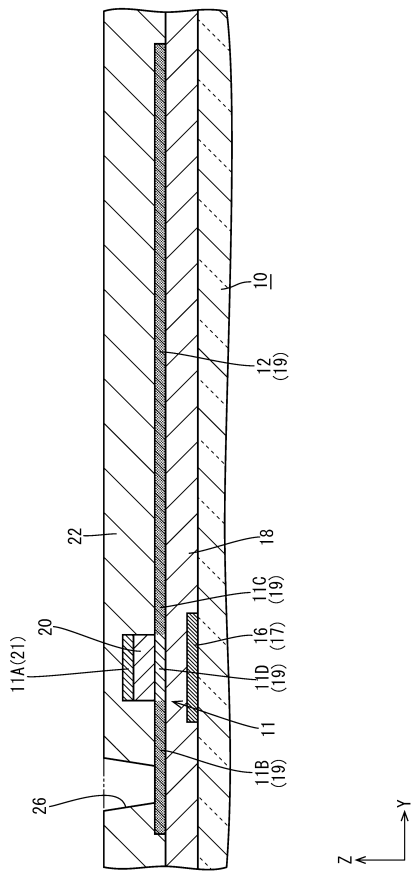
【図5】



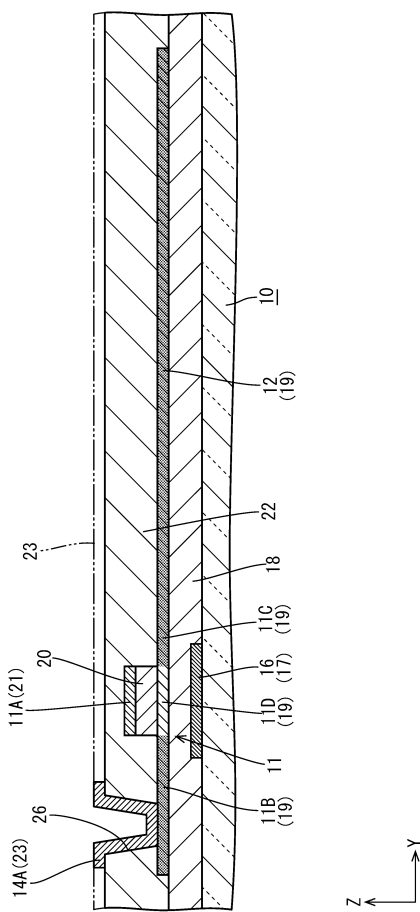
【図6】



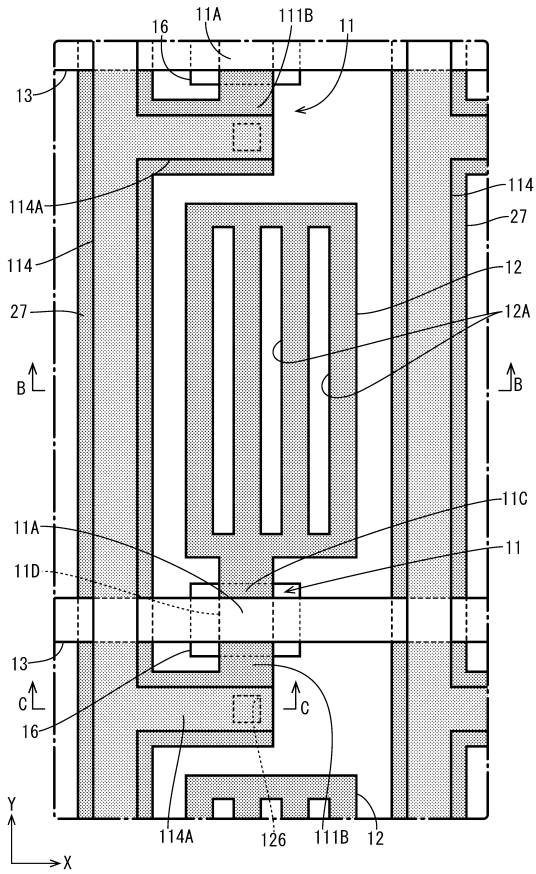
【図7】



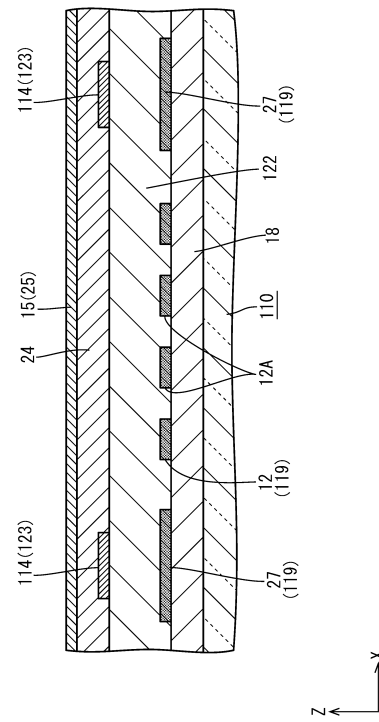
【図8】



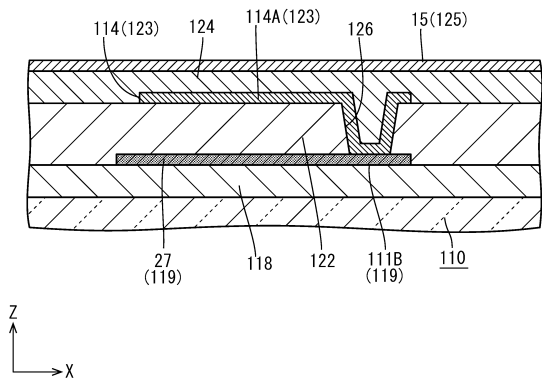
【図 9】



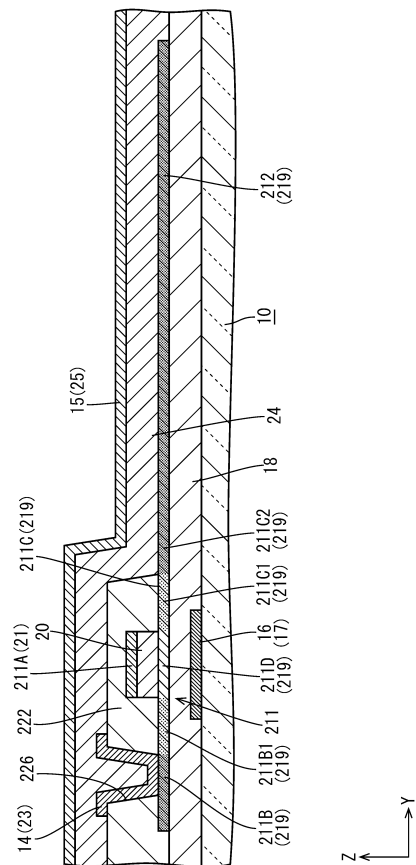
【図 10】



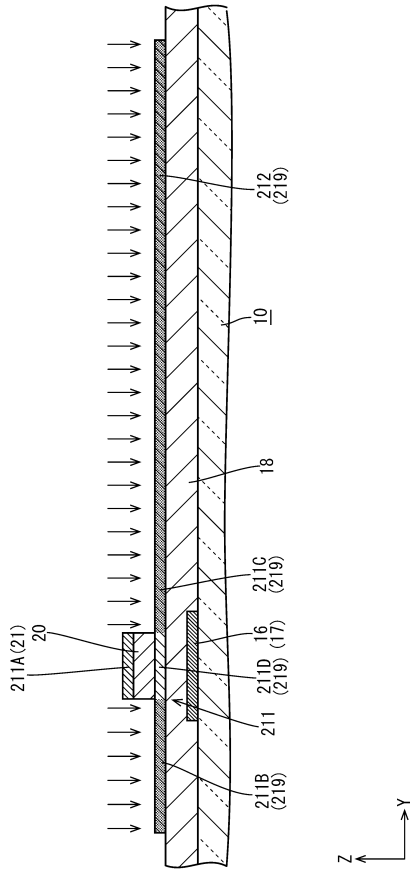
【図 11】



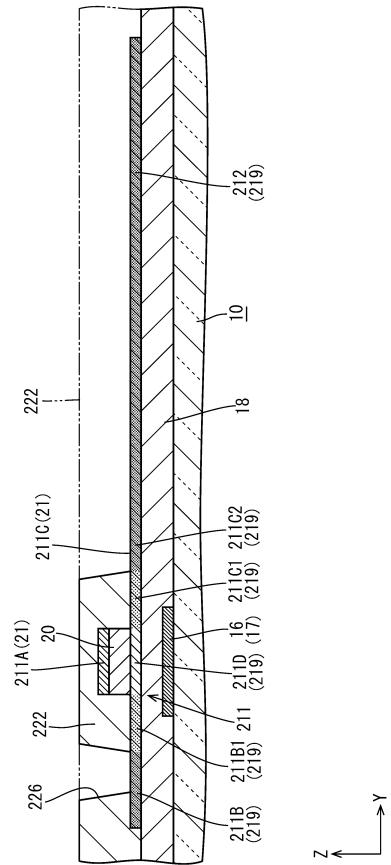
【図 12】



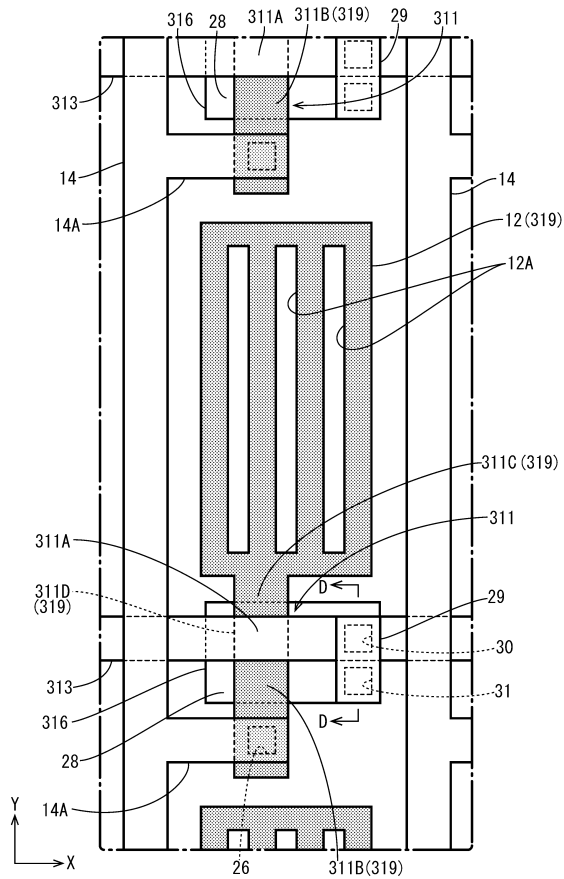
【 図 1 3 】



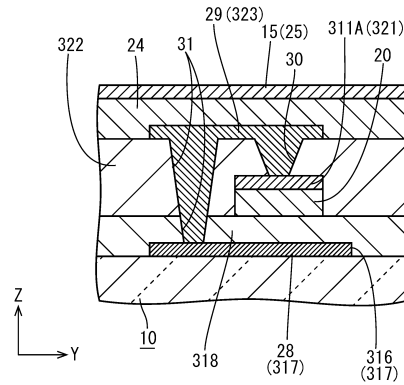
【 図 1 4 】



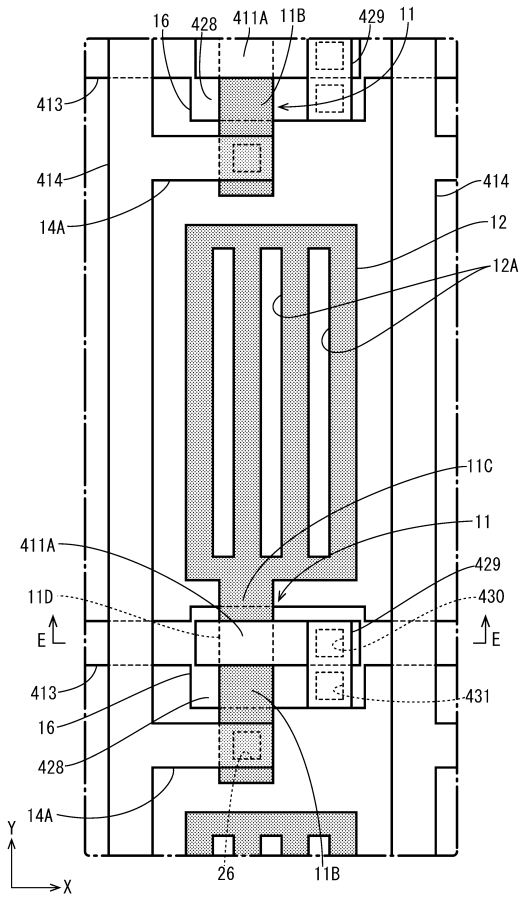
【 図 1 5 】



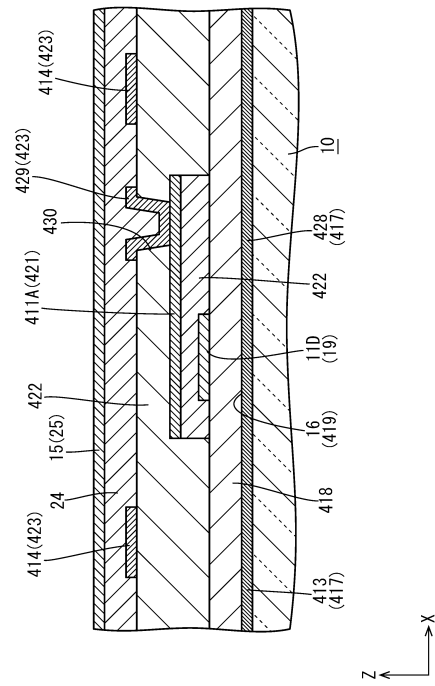
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 菊池 哲郎
大阪府堺市堺区匠町1番地 シャープ株式会社内
- (72)発明者 鈴木 正彦
大阪府堺市堺区匠町1番地 シャープ株式会社内
- (72)発明者 西宮 節治
大阪府堺市堺区匠町1番地 シャープ株式会社内
- (72)発明者 上田 輝幸
大阪府堺市堺区匠町1番地 シャープ株式会社内
- (72)発明者 山中 昌光
大阪府堺市堺区匠町1番地 シャープ株式会社内

審査官 高橋 優斗

- (56)参考文献 特開2010-147351(JP, A)
国際公開第2015/010825(WO, A1)
国際公開第2017/159413(WO, A1)
特開2016-134388(JP, A)
特表2016-531321(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L21/336,
H01L29/786