

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-60222

(P2006-60222A)

(43) 公開日 平成18年3月2日(2006.3.2)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 1 4 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 L	

審査請求 未請求 請求項の数 46 O L (全 44 頁)

(21) 出願番号	特願2005-236925 (P2005-236925)	(71) 出願人	390019839
(22) 出願日	平成17年8月17日 (2005.8.17)		三星電子株式会社
(31) 優先権主張番号	10-2004-0065736		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成16年8月20日 (2004.8.20)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	10-2005-0063072		416, Maetan-dong, Ye
(32) 優先日	平成17年7月13日 (2005.7.13)		ongtong-gu, Suwon-si
(33) 優先権主張国	韓国 (KR)		Gyeonggi-do, Republi
			c of Korea
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

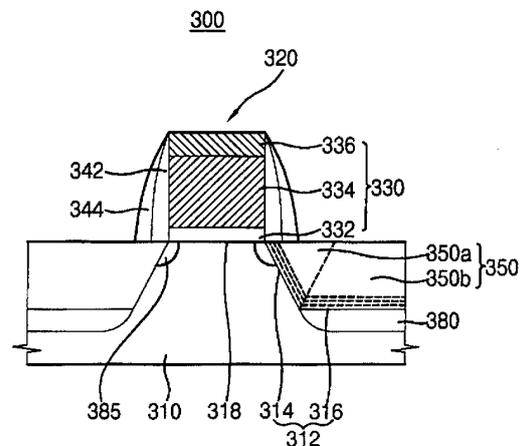
(54) 【発明の名称】 トランジスタ及びこれの製造方法

(57) 【要約】

【課題】 超高集積度で、改善された構造の不純物領域を有する半導体装置のトランジスタを製造する方法を提供することである。

【解決手段】 本発明のトランジスタは、{100}面である第1表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結する{111}面である第3表面を有する半導体基板を含む。第1不純物領域が半導体基板の第2表面の下部に形成される。ゲート構造物が半導体基板の第1表面上に形成される。エピタキシャル層が半導体基板の第2表面及び第3表面上に形成される。第2不純物領域がゲート構造物の両側に形成される。

【選択図】 図28



## 【特許請求の範囲】

## 【請求項 1】

{ 1 0 0 } 面である第 1 表面、前記第 1 表面より低い高さを有する { 1 0 0 } 面である第 2 表面、及び前記第 1 表面と第 2 表面との間を連結する { 1 1 1 } 面である第 3 表面を有する半導体基板と、

前記半導体基板の第 2 表面下部に形成された第 1 高濃度不純物領域と、

前記半導体基板の第 1 表面上に形成されたゲート構造物と、

前記半導体基板の第 2 表面及び第 3 表面上に形成されたエピタキシャル層と、

前記ゲート構造物の両側に形成された第 2 高濃度不純物領域と、を含むことを特徴とするトランジスタ。

10

## 【請求項 2】

前記半導体基板の第 3 表面の下部に形成された低濃度不純物領域を更に含むことを特徴とする請求項 1 記載のトランジスタ。

## 【請求項 3】

前記ゲート構造物は、

前記半導体基板の第 1 表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された導電膜パターンと、を含むことを特徴とする請求項 1 記載のトランジスタ。

## 【請求項 4】

前記導電膜パターン上に形成されたハードマスク膜パターンを更に含むことを特徴とする請求項 3 記載のトランジスタ。

20

## 【請求項 5】

前記導電膜パターン上に形成されたエピタキシャルゲート層を更に含むことを特徴とする請求項 3 記載のトランジスタ。

## 【請求項 6】

前記エピタキシャルゲート層は、シリコンゲルマニウムを含むことを特徴とする請求項 5 記載のトランジスタ。

## 【請求項 7】

前記導電膜パターンの側壁上に順次に形成された第 1 スペース及び第 2 スペースを更に含むことを特徴とする請求項 3 記載のトランジスタ。

30

## 【請求項 8】

前記第 3 表面は、前記第 1 スペース及び第 2 スペースの下に位置することを特徴とする請求項 7 記載のトランジスタ。

## 【請求項 9】

前記エピタキシャル層は、シリコンゲルマニウムを含むことを特徴とする請求項 1 記載のトランジスタ。

## 【請求項 10】

前記第 2 高濃度不純物領域は、前記半導体基板の第 3 表面と実質的に一致する側面を有することを特徴とする請求項 1 記載のトランジスタ。

## 【請求項 11】

前記第 2 高濃度不純物領域は、前記半導体基板の第 3 表面と前記ゲート構造物の中央との間に位置する側面を有することを特徴とする請求項 1 記載のトランジスタ。

40

## 【請求項 12】

前記第 3 表面と接する前記半導体基板の部位に形成され、前記第 2 高濃度不純物領域にドーピングされた不純物が前記半導体基板に拡散することを防止するためのハローイオン注入領域を更に含み、前記ハローイオン注入領域は、前記第 2 高濃度不純物領域と異なる導電性を有することを特徴とする請求項 1 記載のトランジスタ。

## 【請求項 13】

前記エピタキシャル層は、前記第 3 表面から [ 1 1 1 ] 方向に沿って成長した第 1 結晶構造、及び前記第 2 表面から [ 1 0 0 ] 方向に沿って成長した第 2 結晶構造を含むことを

50

特徴とする請求項 1 記載のトランジスタ。

【請求項 14】

前記エピタキシャル層は、前記半導体基板の第 1 表面より高い表面を有することを特徴とする請求項 1 記載のトランジスタ。

【請求項 15】

{ 1 0 0 } 面である第 1 表面、前記第 1 表面より低い高さを有する { 1 0 0 } 面である第 2 表面、及び前記第 1 表面と第 2 表面との間を連結する { 1 1 1 } 面である第 3 表面を有する半導体基板と、

前記半導体基板の第 1 表面上に形成されたゲート絶縁膜、前記ゲート絶縁膜上に形成された導電膜パターン、及び前記導電膜パターン上に形成されたエピタキシャルゲート層で構成されたゲート構造物と、

前記半導体基板の第 2 表面及び第 3 表面上に形成されたエピタキシャル層と、

前記ゲート構造物の両側に形成された不純物領域と、を含むことを特徴とするトランジスタ。

【請求項 16】

前記ゲート構造物は、前記導電膜パターンの側壁上に形成された第 1 スペース及び第 2 スペースを更に含むことを特徴とする請求項 15 記載のトランジスタ。

【請求項 17】

前記第 3 表面は、前記第 1 スペース及び第 2 スペースの下に位置することを特徴とする請求項 16 記載のトランジスタ。

【請求項 18】

前記エピタキシャル層は、シリコンゲルマニウムを含むことを特徴とする請求項 15 記載のトランジスタ。

【請求項 19】

前記不純物領域は、前記半導体基板の第 3 表面と実質的に一致する側面を有することを特徴とする請求項 15 記載のトランジスタ。

【請求項 20】

前記不純物領域は、前記半導体基板の第 3 表面と前記ゲート構造物の中央との間に位置する側面を有することを特徴とする請求項 15 記載のトランジスタ。

【請求項 21】

前記第 3 表面と接する前記半導体基板の部位に形成され、前記不純物領域にドーピングされた不純物が前記半導体基板に拡散することを防止するためのハローイオン注入領域を更に含み、前記ハローイオン注入領域は、前記不純物領域と異なる導電性を有することを特徴とする請求項 15 記載のトランジスタ。

【請求項 22】

前記エピタキシャル層は、前記第 3 表面から [ 1 1 1 ] 方向に沿って成長した第 1 結晶構造、及び前記第 2 表面から [ 1 0 0 ] 方向に沿って成長した第 2 結晶構造を含むことを特徴とする請求項 15 記載のトランジスタ。

【請求項 23】

前記エピタキシャル層は、前記半導体基板の第 1 表面より高い表面を有することを特徴とする請求項 15 記載のトランジスタ。

【請求項 24】

{ 1 0 0 } 面である表面、前記第 1 表面より低い高さを有する { 1 0 0 } 面である第 2 表面、及び前記第 1 表面と第 2 表面との間を連結する { 1 1 1 } 面である第 3 表面を有する半導体基板を提供する段階と、

前記第 1 表面上にゲート構造物を形成する段階と、

前記ゲート構造物をイオン注入マスクとして用いて、前記半導体基板の第 2 表面に第 1 不純物をイオン注入して、第 1 高濃度不純物領域を形成する段階と、

前記第 2 表面と第 3 表面上にエピタキシャル層を成長させる段階と、

前記エピタキシャル層に第 2 不純物をイオン注入して、第 2 高濃度不純物領域を形成す

10

20

30

40

50

る段階と、を含むことを特徴とするトランジスタの製造方法。

【請求項 25】

前記第 1 高濃度不純物領域を形成する段階の前に、前記ゲート構造物をイオン注入マスクとして用いて第 3 不純物を前記半導体基板の第 2 表面にイオン注入して低濃度不純物領域を形成する段階を更に含むことを特徴とする請求項 24 記載のトランジスタの製造方法。

【請求項 26】

前記ゲート構造物を形成する段階は、  
前記半導体基板の第 1 表面上にゲート絶縁膜を形成する段階と、  
前記ゲート絶縁膜上に導電膜パターンを形成する段階と、を含むことを特徴とする請求項 24 記載のトランジスタの製造方法。 10

【請求項 27】

前記導電膜パターン上にハードマスク膜パターンを形成する段階を更に含むことを特徴とする請求項 26 記載のトランジスタの製造方法。

【請求項 28】

前記導電膜パターン上にエピタキシャルゲート層を成長させる段階を更に含むことを特徴とする請求項 26 記載のトランジスタの製造方法。

【請求項 29】

前記エピタキシャルゲート層を形成する段階は、前記エピタキシャル層を成長させる段階と同時に進行することを特徴とする請求項 28 記載のトランジスタの製造方法。 20

【請求項 30】

前記導電膜パターンの側壁に第 1 スペース及び第 2 スペースを順次に形成する段階を更に含み、第 1 スペース及び第 2 スペースの下に前記第 3 表面が位置することを特徴とする請求項 26 記載のトランジスタの製造方法。

【請求項 31】

前記半導体基板を 500 ~ 700 の温度にて塩化水素と  $GeH_4$ 、 $SiH_4$ 、及び DC S で構成された郡から選択された少なくとも一つを用いて部分的にエッチングして、前記第 2 表面及び第 3 表面を形成することを特徴とする請求項 25 記載のトランジスタの製造方法。

【請求項 32】

前記半導体基板のエッチング段階の前に、前記半導体基板に前記第 2 不純物と異なる導電性を有するハロイドパントをイオン注入して予備ハロイオン注入領域を形成する段階を更に含み、 30

前記半導体基板のエッチング段階にて、前記予備ハロイオン注入領域を部分的に除去して、前記第 3 表面と接するよう形成され、前記第 2 不純物が前記半導体基板に拡散することを防止するハロイオン注入領域を形成することを特徴とする請求項 31 記載のトランジスタの製造方法。

【請求項 33】

前記エピタキシャル層は、シリコンゲルマニウムを含むことを特徴とする請求項 25 記載のトランジスタの製造方法。 40

【請求項 34】

前記第 2 不純物を注入する段階は、前記エピタキシャル層を成長させる段階と同時に行うことを特徴とする請求項 25 記載のトランジスタの製造方法。

【請求項 35】

{ 100 } 面である第 1 表面、前記第 1 表面より低い高さを有する { 100 } 面である第 2 表面、及び前記第 1 表面と第 2 表面との間を連結する { 111 } 面である第 3 表面を有する半導体基板を提供する段階と、

前記半導体基板の第 1 表面上にゲート絶縁膜と導電膜パターン及びエピタキシャルゲート層が順次積層されたゲートパターンを形成する段階と、

前記半導体基板の第 2 表面及び第 3 表面上にエピタキシャル層を成長させる段階と、 50

前記エピタキシャル層に第1不純物をイオン注入して、高濃度不純物領域を形成する段階と、を含むことを特徴とするトランジスタの製造方法。

【請求項36】

前記エピタキシャル層を成長させる段階の前に、前記ゲートパターンをイオン注入マスクとして用いて、第2不純物を前記半導体基板にイオン注入して低濃度不純物領域を形成する段階を更に含むことを特徴とする請求項35記載のトランジスタの製造方法。

【請求項37】

前記エピタキシャル層を成長させる段階は、前記エピタキシャルゲート層を前記導電膜パターンの表面から成長させる段階と同時に進行されることを特徴とする請求項35記載のトランジスタの製造方法。

10

【請求項38】

前記半導体基板を部分的にエッチングして、前記第2表面及び第3表面を形成することを特徴とする請求項35記載のトランジスタの製造方法。

【請求項39】

前記半導体基板のエッチング段階の前に、前記半導体基板にハロードーパントをイオン注入して予備ハロイオン注入領域を形成する段階を更に含み、

前記半導体基板のエッチング段階で、前記予備ハロイオン注入領域を部分的に除去して、前記第3表面と接するように形成され、前記不純物が前記半導体基板に拡散することを防止するハロイオン注入領域を形成することを特徴とする請求項38記載のトランジスタの製造方法。

20

【請求項40】

{100}面である半導体基板の表面上に絶縁膜と導電膜パターンを順次形成する段階と、

前記導電膜パターンの側壁に第1スペーサを形成する段階と、

前記第1スペーサ上に第2スペーサを形成する段階と、

前記導電膜パターンの両側である前記半導体基板の部位を部分的にエッチングして、前記半導体基板の表面より低い{100}面である底面と、前記底面と表面との間を連結する{111}面である側面を有しかつ、前記導電膜パターンの一部と前記第1スペーサ及び第2スペーサを露出させる凹陷部を形成する段階と、

前記凹陷部の底面に第1不純物をイオン注入して、第1高濃度不純物領域を形成する段階と、

30

前記凹陷部内にエピタキシャル層を成長させると同時に、前記導電膜パターンの表面からエピタキシャルゲート層を成長させる段階と、

前記エピタキシャル層に第2不純物を注入して、第2高濃度不純物領域を形成する段階と、を含むことを特徴とするトランジスタの製造方法。

【請求項41】

前記第1スペーサを形成する段階の前に、前記導電膜パターンをイオン注入マスクとして用いて第3不純物を前記半導体基板にイオン注入して低濃度不純物領域を形成する段階を更に含むことを特徴とする請求項40記載の方法。

【請求項42】

前記第2スペーサを形成する前に、前記第1スペーサをイオン注入マスクとして用いて前記半導体基板にハロードーパントをイオン注入して予備ハロイオン注入領域を形成する段階を更に含み、

40

前記凹陷部を形成する段階で、前記予備ハロイオン注入領域を部分的に除去して、前記側面と接するよう形成され、前記第2不純物が前記半導体基板に拡散されることを防止するハロイオン注入領域を形成することを特徴とする請求項40記載のトランジスタの製造方法。

【請求項43】

前記第2不純物を注入する段階は、前記エピタキシャル層を成長させる段階と同時に実施することを特徴とする請求項40記載のトランジスタの製造方法。

50

## 【請求項 4 4】

{ 1 0 0 } 面である半導体基板の表面上にゲート絶縁膜と導電膜パターンを順次形成する段階と、

前記導電膜パターンの側壁に第 1 スペースを形成する段階と、

前記導電膜パターンの両側である前記半導体基板の部位を部分的にエッチングして、前記半導体基板の表面より低い { 1 0 0 } 面である底面と、前記底面と表面との間を連結する { 1 1 1 } 面である側面を有しかつ、前記導電膜パターンの一部と前記第 1 スペースを露出させる凹陷部を形成する段階と、

前記凹陷部の底面に第 1 不純物をイオン注入して、第 1 高濃度不純物領域を形成する段階と、

前記凹陷部内にエピタキシャル層を成長させると同時に、前記導電膜パターンの表面からエピタキシャルゲート層を成長させる段階と、

前記第 1 スペースと前記エピタキシャル層上に第 2 スペースを形成する段階と、

前記エピタキシャル層に第 2 不純物を注入して、第 2 高濃度不純物領域を形成する段階と、を含むことを特徴とするトランジスタの製造方法。

10

## 【請求項 4 5】

前記第 1 スペースを形成する段階の前に、前記導電膜パターンをイオン注入マスクとして用いて第 3 不純物を前記半導体基板にイオン注入して低濃度不純物領域を形成する段階を更に含むことを特徴とする請求項 4 4 記載のトランジスタの製造方法。

## 【請求項 4 6】

前記半導体基板のエッチング段階の前に、前記第 1 スペースをイオン注入マスクとして用いて前記半導体基板にハロードーパントをイオン注入して予備ハロイオン注入領域を形成する段階を更に含み、

前記凹陷部を形成する段階にて、前記予備ハロイオン注入領域を部分的に除去して、前記側面と接するように形成され、前記第 2 不純物が前記半導体基板に拡散することを防止するハロイオン注入領域を形成することを特徴とする請求項 4 4 記載のトランジスタの製造方法。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、トランジスタ及びこれの製造方法に係わり、より具体的には、超高集積度を有して形成することができかつ、改善された構造の不純物領域を有する半導体装置のトランジスタ及びトランジスタを製造する方法に関する。

本発明は、本出願人による特願 2 0 0 4 - 6 5 7 3 6 号 ( 2 0 0 4 年 8 月 2 0 日付の出願 ) の改良発明であり、前記特許出願の内容は本出願に参照として記載する。

30

## 【背景技術】

## 【0 0 0 2】

一般的に、半導体装置のトランジスタは、半導体基板上に形成されたゲート構造物と、ゲート構造物の両側である基板の表面部位に形成されたソース/ドレイン領域を含む。ゲート構造物は、基板上に形成されたゲート絶縁膜、ゲート絶縁膜上に形成された導電膜パターン、導電膜パターン上に形成されたハードマスク膜パターン、及び導電膜パターンの側壁に形成されたスペースを含む。

導電膜パターンは、しきい電圧の印加によってソース領域とドレイン領域とを電気的に連結させるチャンネル層を基板に選択的に形成させる。ソース領域は、キャリアをチャンネル層に供給し、ドレイン領域はソース領域から供給されたキャリアを外部に放出させる。

40

## 【0 0 0 3】

このようなトランジスタでは、ソース及びゲート領域に形成された界面に高速電子によるホットキャリア注入効果によって損傷を受けるようになる。このようなホットキャリア効果を改善するためにソース/ドレインを L D D 構造で形成する方法が提案されてきた。

50

しかし、LDD工程は、不純物注入工程の後、熱処理工程を行うとき、不純物が拡散されて実際のチャンネル長さが減少するだけでなく、半導体装置が高集積化になることにより、チャンネルの幅が急激に減少するようになる（これを短チャンネル効果（short channel effect）という）。チャンネルの幅が減少するようになると、ソース空乏層とドレイン空乏層とが連結されることによってパンチスルー（punch through）現象が発生する。パンチスルー現象は、導電膜パターンにしきい電圧が印加されなくてもソース領域とドレイン領域との間にチャンネル層が形成され、キャリアが移動される現象をいう。このようなパンチスルーが発生すると、トランジスタとしての機能が完全消失する。

前述したLDD構造での短チャンネル効果を抑制するために、例えば、特許文献1、特許文献2などにはゲート電極の両側に凹陷部を形成し、凹陷部にシリコンゲルマニウムエピタキシャル層を成長させ、単一不純物構造（Single Drain Cell構造）を有する半導体装置が開示されている。

10

#### 【0004】

また、特許文献3にはゲート電極の両側に溝を形成し、前記溝内のゲート電極の側壁下に絶縁性スペーサを形成して短チャンネル現象を抑制するための半導体装置が開示されている。

このように、単一不純物の構造を有するトランジスタを製造する技術は、低い抵抗、急なPN接合形成、低い熱履歴（reduced thermal budget）などのような利点を有しているので、100nm以下のゲート幅を有する超高集積トランジスタを製造するための方法として提案されている。

20

しかし、10nm程度のゲート幅を有するトランジスタでは、従来の構造製造方法は、まだ低抵抗、急なPN接合構造などの面で改善の余地がある。また、従来のトランジスタは、接合漏洩電流の減少、動作信頼性の確保、しきい電圧の改善などの問題を有している。

【特許文献1】大韓民国特許第10-0406537号（米国特許第6、599、803号明細書）

【特許文献2】米国特許第6、605、498号明細書

【特許文献3】大韓民国特許出願公開第2003-82820号

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

したがって、本発明の目的は、超高集積度を有し、電気的な特性が優秀な改善された構造を有するトランジスタを提供することにある。

本発明の他の目的は、前述したトランジスタを製造するのに特に適合したトランジスタの製造方法を提供することにある。

【課題を解決するための手段】

【0006】

前述した本発明の目的を達成するために、本発明の一実施例によるトランジスタは{100}面である表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結する{111}面である第3表面を有する半導体基板を含む。ゲート構造物が前記第1表面上に形成される。エピタキシャル層は、第2表面と第3表面上に形成される。不純物領域がゲート構造物の両側に形成される。

40

【0007】

本発明の一実施例によると、前記不純物領域は半導体基板の第3表面と実質的に一致する側面を有したり、あるいは半導体基板の第3表面よりゲート構造物の中央と隣接する側面を有する。

本発明の他の実施例によると、不純物領域にドーピングされた不純物が半導体基板に拡散することを防止するためのハローイオン注入領域が第3表面と接する前記半導体基板の部位に形成される。

50

## 【0008】

前述した本発明の目的を達成するために、本発明の他の実施例によるトランジスタは、{100}面である第1表面、第1表面の両側に第1表面より低い高さを有する{100}面である二つの第2表面、及び第1表面と第2表面との間を各々連結する{111}面である二つの第3側面を有する半導体基板を含む。ゲートパターンが前記第1表面上に形成される。二つのエピタキシャル層が二つの第2表面と二つの第3表面上に各々形成される。二つの不純物領域が二つのエピタキシャル層に形成される。

## 【0009】

前述した本発明の他の目的を達成するために、本発明の一実施例によるトランジスタの製造方法においては、{100}面である第1表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結する{111}面である第3表面を有する半導体基板を提供する。前記第1表面上にゲート構造物を形成し、前記第2表面と前記第3表面上にエピタキシャル層を成長させる。エピタキシャル層に不純物をイオン注入して、不純物領域を形成する。

10

## 【0010】

本発明の一実施例によると、第1表面及び第2表面と側面の形成のための半導体基板のエッチング段階の前に、半導体基板にハロドーパント(halo dopant)をイオン注入して予備ハロイオン注入領域を形成する。半導体基板のエッチング段階において、前記予備ハロイオン注入領域を部分的に除去して、不純物が前記半導体基板に拡散することを防止するハロイオン注入領域を側面と接するように形成する。

20

本発明の他の実施例によると、不純物を注入する段階は、エピタキシャル層を成長させる段階と同時に実施する。

## 【0011】

前述した本発明の他の目的を達成するために、本発明の他の実施例によるトランジスタの製造方法では、{100}面である半導体基板の表面上にゲートパターンを形成する。前記ゲートパターンの側壁に第1スペーサを形成する。前記第1スペーサ上に第2スペーサを形成する。前記ゲートパターンの両側である前記半導体基板の部位を部分エッチングして、半導体基板の表面より低い{100}面である底面と、底面と表面との間を連結する{111}面である側面を有しかつ、ゲートパターンの一部と前記第1スペーサ及び第2スペーサを露出させる凹陷部を形成する。前記凹陷部内にエピタキシャル層を成長させる。エピタキシャル層に不純物を注入して、不純物領域を形成する。

30

## 【0012】

前述した本発明の他の目的を達成するために、本発明のまた他の実施例によるトランジスタの製造方法では、{100}面である半導体基板の表面上にゲートパターンを形成する。ゲートパターンの側壁に第1スペーサを形成する。前記ゲートパターンの両側である半導体基板の部位を部分エッチングして、半導体基板の表面より低い{100}面である底面と、底面と表面との間を連結する{111}面である側面を有しながら、ゲートパターンの一部と前記第1スペーサを露出させる凹陷部を形成する。凹陷部内にエピタキシャル層を成長させる。第1スペーサと不純物領域上に第2スペーサを形成する。エピタキシャル層に不純物を注入して、不純物領域を形成する。

40

## 【0013】

前記の本発明の目的を達成するために、本発明の一実施例によるトランジスタは{100}面である第1表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結する{111}面である第3表面を有する半導体基板を含む。第1高濃度不純物領域が半導体基板の第2表面の下部に形成される。ゲート構造物が半導体基板の第1表面上に形成される。エピタキシャル層が半導体基板の第2表面及び第3表面上に形成される。第2高濃度不純物領域がゲート構造物の両側に形成される。

## 【0014】

本発明の他の実施例によるトランジスタは、{100}面である第1表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結

50

する{111}面である第3表面を有する半導体基板を含む。ゲート構造物が半導体基板の第1表面上に形成される。ゲート構造物は、第1表面上に形成されたゲート絶縁膜、ゲート絶縁膜上に形成された導電膜パターン、及びゲート絶縁膜パターン上に形成された導電膜パターン、及び導電膜パターン上に形成されたエピタキシャルゲート層を含む。エピタキシャル層が半導体基板の第2表面及び第3表面上に形成される。不純物領域がゲート構造物の両側に形成される。

#### 【0015】

本発明の他の目的を達成するために、本発明の一実施例によるトランジスタの製造方法によると、{100}面である第1表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結する{111}面である第3表面を有する半導体基板を提供する。半導体基板の第2表面に第1不純物をイオン注入して、第1高濃度不純物領域を形成する。第1表面上にゲート構造物を形成する。第2表面及び第3表面上にエピタキシャル層を成長させる。エピタキシャル層に第2不純物をイオン注入して、第2高濃度不純物領域を形成する。

10

#### 【0016】

本発明の他の実施例によるトランジスタの製造方法によると、{111}面である第1表面、第1表面より低い高さを有する{100}面である第2表面、及び第1表面と第2表面との間を連結する{111}面である第3表面を有する半導体基板を提供する。半導体基板の第1表面上にゲート絶縁膜と導電膜パターン及びエピタキシャルゲート層が順次に積層されたゲートパターンを形成する。半導体基板の第2表面及び第3表面上にエピタキシャル層を成長させる。エピタキシャル層に不純物をイオン注入して、不純物領域を形成する。

20

#### 【0017】

本発明のまた他の実施例によるトランジスタの製造方法によると、{100}面である半導体基板の表面上に絶縁膜と導電膜パターンを順次に形成する。導電膜パターンの側壁に第1スペーサを形成する。第1スペーサ上に第2スペーサを形成する。導電膜パターンの両側である前記半導体基板の部位を部分的にエッチングして、半導体基板の表面より低い{100}面である底面、及び半導体基板の表面と{100}面である底面との間を連結する{111}面である側面を有しかつ、前記導電膜パターンの一部と前記第1スペーサ及び第2スペーサを露出させる凹陷部を形成する。凹陷部の底面に第1不純物をイオン注入して、第1高濃度不純物領域を形成する。凹陷部内にエピタキシャル層を成長させると同時に、前記導電膜パターンの表面からエピタキシャルゲート層を成長させる。エピタキシャル層に第2不純物を注入して、第2高濃度不純物領域を形成する。

30

#### 【0018】

本発明のまた他の実施例によるトランジスタの製造方法によると、{100}面である半導体基板の表面上にゲート絶縁膜と導電膜パターンを順次に形成する。導電膜パターンの側壁に第1スペーサを形成する。導電膜パターンの両側である半導体基板の部位を部分的にエッチングして、前記半導体基板の表面より低い{100}面である底面及び、半導体基板の表面と{100}面である底面との間を連結させる{111}面である側面を有しかつ、前記導電膜パターンの一部と前記第1スペーサとを露出させる凹陷部を形成する。凹陷部の底面に第1不純物をイオン注入して、第1高濃度不純物領域を形成する。凹陷部内にエピタキシャル層を成長させると同時に導電膜パターンの表面からエピタキシャルゲート層を成長させる。第1スペーサとエピタキシャル層上に第2スペーサを形成する。エピタキシャル層に第2不純物を注入して、第2高濃度不純物領域を形成する。

40

前述した本発明によると、不純物領域が{111}面である側面を有するので、急なPN接合を形成することができるため、不純物領域間の短チャンネル効果の発生を抑制することが可能である。したがって、電気的な得請求項特性が優秀なトランジスタを取得することができる。

#### 【発明を実施するための最良の形態】

#### 【0019】

50

以下、添付した図面を参照して本発明の望ましい実施例を詳細に説明する。

#### 実施例 1

図 1 は、本発明の実施例 1 による半導体装置のトランジスタを示した断面図である。

図 1 を参照すると、本実施例による半導体装置のトランジスタ 100 は、シリコン基板、シリコンゲルマニウム基板などのような半導体基板 110、半導体基板 110 上に形成されたゲート構造物 120、ゲート構造物 120 の両側に形成された二つのエピタキシャル層 150、及びエピタキシャル層 150 に形成された不純物領域を含む。

#### 【0020】

半導体基板 110 は、{100} 面である表面 118 を有する。ゲート構造物 120 は表面 118 上に形成される。二つの凹陷部 (recesses) 112 がゲート構造物 120 の両側である表面 118 部位に形成される。二つの凹陷部 112 は表面 118 より低い高さを有する {100} 面である底面 116 と、底面 116 と表面とを連結する {111} 面である側面 114 を有する。側面 114 は、{111} 面であるので、{100} 面である底面 116 と形成する角は理論的に  $54.7^\circ$  程度である。実際の工程において、 $50^\circ$  以上 (又は  $54.7^\circ$  以上)、望ましくは  $50 \sim 65^\circ$  ( $54.7 \sim 65^\circ$ ) であれば、{111} 面が形成されることと見なすことができる。

#### 【0021】

ゲート構造物 120 は、半導体基板 110 の表面 118 上に形成されたゲートパターン 130、及びゲートパターン 130 の側壁に形成されたスペーサを含む。ゲートパターン 130 は半導体基板 110 の表面 118 上に形成されたゲート絶縁膜パターン 132、ゲート絶縁膜パターン 132 上に形成された導電膜パターン 134、及び導電膜パターン 134 上に形成されたハードマスク膜パターン 136 を含む。ゲート絶縁膜パターン 132 の下部に位置した半導体基板 110 の表面 118 の部位が不純物領域を選択的に電気的に連結させるチャンネル層になる。一方、ゲート絶縁膜パターン 132 は、シリコン酸化膜、シリコン酸化窒化膜、金属酸化膜、金属酸化窒化膜などを含むことができる。導電膜パターン 134 は、タングステン、銅、アルミニウム又は窒化金属膜のような金属膜を含むことができる。ハードマスク膜パターン 136 はシリコン窒化膜を含むことができる。

#### 【0022】

本実施例によるスペーサは、ゲートパターン 130 の側壁に形成された第 1 スペーサ 142、及び第 1 スペーサ 142 上に形成された第 2 スペーサ 144 を含む二重構造である。二重構造のスペーサはチャンネル層の長さが確保されるようにして、短チャンネル効果を抑制する役割を果たす。特に、凹陷部 112 の側面 114 は、ゲートパターン 130 と第 2 スペーサ 144 との間に位置する。本実施例による第 1 スペーサ 142 及び第 2 スペーサ 144 は、例えば、シリコン窒化物のような同じ物質からなることができる。反面、第 1 スペーサ 142 及び第 2 スペーサ 144 は互いに異なる物質からなることもできる。例えば、第 1 スペーサ 142 は酸化物からなり、第 2 スペーサ 144 は窒化物からなることができる。他の実施例によって、スペーサは一つの物質からなる単一スペーサであることもできる。

#### 【0023】

エピタキシャル層 150 は、凹陷部 112 内に形成される。エピタキシャル層 150 は、シリコンゲルマニウムを含むことができる。シリコンゲルマニウムが凹陷部 112 の側面 114 と底面 116 からエピタキシャル成長することによってエピタキシャル層 150 が形成される。したがって、エピタキシャル層 150 は {111} である側面と {100} である底面を有するようになる。

#### 【0024】

エピタキシャル層 150 に不純物をイオン注入して、不純物領域が形成される。不純物の例としては炭素、ホウ素、リンなどがある。本実施例によると、不純物領域がエピタキシャル層 150 と実質的に一致する。したがって、不純物領域の側面とエピタキシャル層 150 の側面は互いに一致する。

図 2 乃至図 5 は、図 1 に示したトランジスタを製造する方法を順次に示した断面図であ

10

20

30

40

50

る。

#### 【0025】

図2を参照すると、ゲートパターン130をシリコン基板、シリコンゲルマニウム基板のような半導体基板110の{100}である表面118上に形成する。具体的に、酸化物のような絶縁膜(図示せず)を半導体基板110の表面118上に形成する。タングステンのような金属物質からなる導電膜(図示せず)を絶縁膜上に形成する。シリコン窒化物のようなハードマスク膜(図示せず)を導電膜上に形成する。その後、フォトレジストパターンをハードマスク膜上に形成する。その後、フォトレジストパターンをエッチングマスクとして用いてハードマスク膜、導電膜及び導電膜を部分エッチングして、絶縁膜パターン132、導電膜パターン134及びハードマスクパターン136が積層された構造で構成されたゲートパターン130を形成する。

10

#### 【0026】

図3を参照すると、第1シリコン窒化膜(図示せず)をゲートパターン130と基板110上に形成する。第1シリコン窒化膜をエッチングして、第1スペーサ142をゲートパターン130の側壁に形成する。その後、第2シリコン窒化膜(図示せず)をゲートパターン130、第1スペーサ142及び基板110上に形成する。第2シリコン窒化膜をエッチングして、第2スペーサ144を第1スペーサ142上に形成して、第1スペーサ142及び第2スペーサ144とゲートパターン130で構成されたゲート構造物120を完成する。

#### 【0027】

図4を参照すると、ゲート構造物120の両側である半導体基板110の表面118部位をエッチングガスを用いて部分エッチングして、{111}面である側面114と{100}面である底面116を有する凹陥部112を形成する。そうすると、第1スペーサ142及び第2スペーサ144の底面は凹陥部112を通じて露出される。ここで、半導体基板110をエッチングするためのエッチングガスの例としては塩化水素(HCl)がある。

20

#### 【0028】

一般的に、塩化水素ガスを用いて成長チャンバーで積層されたシリコン系物質をエッチングする方法が広く用いられている。本実施例では、積層されたシリコン系物質ではなく、基板を構成するシリコン物質を成長チャンバーで塩化水素ガスを用いてエッチングすることができる。したがって、本実施例によるエッチング方法は、成長チャンバー以外に別途の乾式エッチングチャンバーが不必要であり、また塩化水素ガスは量産的に用いられるガスであるため、エッチング工程を安全で簡単に進行することができる。また、エッチング工程で後述する蒸着(成長)工程まで、インシチュ(in-situ)で進行することができるので、洗浄工程のような中間処理工程を省略することができるので、工程時間を短縮することができる。

30

#### 【0029】

本実施例では、850の温度で、10 Torrの塩化水素の分圧下で遂行することが望ましい。ここで、塩化水素ガス以外にGeH<sub>4</sub>、SiH<sub>4</sub>及びジクロロシラン(Dichlorosilane(SiH<sub>2</sub>Cl<sub>2</sub>):DCS)などを混合することが望ましい。このように、水素含有ガスはガス間の熱平衡を用いて塩化水素ガスがシリコンをエッチングできるように触媒的な役割を果たす。したがって、このようなガスを適切に混合することで730の温度で1nm/secのエッチング速度を得ることができた。即ち、50nm深さの凹陥部を形成するのに1分以内に遂行することができるので、このようなエッチング速度は十分であるといえる。

40

#### 【0030】

本実施例では、500~850の温度で、望ましくはこれより低い500~700の温度で、塩化水素ガスとGeH<sub>4</sub>、SiH<sub>4</sub>及びジクロロシラン(DCS)などのような水素ガスの含有雰囲気中で遂行することが望ましい。

#### 【0031】

50

図5を参照すると、シリコンゲルマニウムを含むソースガス、例えば、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{GeH}_4$ を含むソースガスを凹陥部112内に導入する。シリコンゲルマニウムが凹陥部112の側面114と底面116からエピタキシャル成長して、エピタキシャル層150が凹陥部112内に形成される。エピタキシャル成長工程は化学的気相蒸着(CVD)工程であることができる。ここで、凹陥部112は{111}面である側面114と{100}面である底面116を有するので、エピタキシャル層150は{111}側面114から[111]方向に沿って成長した第1結晶構造150aと、{100}底面116から[100]方向に沿って成長した第2結晶構造150bで構成されたヘテロ構造を有する。

#### 【0032】

一方、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような不純物を含むガスを同時注入して不純物がドーピングされたエピタキシャル層150を形成することができる。このようにして、不純物領域がエピタキシャル層150の側面と同じ境界を有する図1に示したトランジスタを完成する。

#### 【0033】

##### 実施例2

本実施例によるトランジスタは不純物領域170がエピタキシャル層150と側面と一致しなく、エピタキシャル層150の側面よりゲートパターンの中央に拡散された側面を有することを除いては図1に示した実施例1のトランジスタと実質的に同じ構成を有する。したがって、本実施例によるトランジスタに対して重複された説明は省略し、製造方法

#### 【0034】

図6及び図7は、本発明の実施例2によってトランジスタを製造する方法を順次に示した断面図である。本実施例によってトランジスタを製造する方法は不純物領域を形成する工程を除いては実施例1の図2乃至図5を参照にして説明した工程と実質的に同じである。したがって、同じ部材に対しては同じ図面符号を付与し、エピタキシャル層の形成工程以後の工程に対して説明する。

#### 【0035】

図6を参照すると、炭素、ホウ素、燐などのような不純物をエピタキシャル層150にイオン注入する。即ち、実施例1ではソースガスと共に不純物ガスを同時に注入してドーピングされたエピタキシャル層150を成長させたが、本実施例による方法ではドーピングされていないエピタキシャル層150を前に成長させた後、不純物をドーピングされていないエピタキシャル層150に別途に注入する。

#### 【0036】

図7を参照すると、前記イオン注入工程によって注入された不純物をアニーリングしてソース/ドレイン領域に該当する不純物領域170をゲート構造物120の両側に形成して本実施例によるトランジスタを完成する。

#### 【0037】

ここで、不純物領域170はエピタキシャル層150と側面と一致せず、エピタキシャル層150の側面とゲートパターン130の中央との間に位置する側面を有する。このような不純物領域170は熱処理工程を通じて不純物を半導体基板110内に更に拡散させることによって形成することができる。又は、実施例1の同様に、不純物領域170がエピタキシャル層150の側面と同じ境界を有することもできる。

#### 【0038】

##### 実施例3

本実施例によるトランジスタは、製造方法が異なることを除いては実施例1と同様である。したがって、トランジスタに対して重複された説明は省略し、製造方法に対して説明する。したがって、製造方法で実施例1と同じ部材に同じ図面符号を付与する。

#### 【0039】

図8乃至図12は、本発明の実施例3によって図1に示したトランジスタを製造する方

10

20

30

40

50

法を順次に示した断面図である。本実施例によると、第1スペーサと第2スペーサを形成する工程の間にエピタキシャル層を成長させる工程を遂行して、図1に示した同じトランジスタを製造する。

【0040】

図8を参照すると、絶縁膜パターン132、導電膜パターン134及びハードマスク膜パターン136が積層された構造で構成されたゲートパターン130を半導体基板110の{100}である表面118上に形成する。

図9を参照すると、シリコン窒化物からなる第1スペーサ142をゲートパターン130の側壁に形成する。

【0041】

図10を参照すると、ゲートパターン130の両側である半導体基板110の表面118部位をエッチングガスを用いて部分エッチングして、{111}面である側面114と{100}面である底面116を有する凹陷部112を形成する。そうすると、第1スペーサ142の底面は凹陷部112を通じて露出される。

【0042】

エッチングガスの例としては、実施例1で説明したように、塩化水素(HCl)とGeH<sub>4</sub>、SiH<sub>4</sub>及びジクロロシラン(DCS)のうち、少なくとも一つが混合されたガスを挙げることができる。他のエッチング条件などは実施例1で説明したことと同じである。

【0043】

図11を参照すると、シリコンゲルマニウムを含むソースガスを凹陷部112内に導入する。シリコンゲルマニウムは、凹陷部112の側面114と底面116とからエピタキシャル成長して、エピタキシャル層150が凹陷部112内に形成される。ここで、凹陷部112は{111}面である側面114と{100}である底面116を有するので、エピタキシャル層150は{111}側面114から[111]方向に沿って成長した第1結晶構造150aと、{100}底面116から[100]方向に沿って成長した第2結晶構造150bで構成されたヘテロ構造を有する。ここで、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような不純物を含むガスを同時に注入して不純物がドーピングされたエピタキシャル層150を形成することができる。

【0044】

図12を参照すると、シリコン窒化物からなる第2スペーサ144を第1スペーサ142上に形成して、第1スペーサ142及び第2スペーサ144とゲートパターン130を含むゲート構造物120を完成する。第2スペーサ144はエピタキシャル層150上に位置するようになる。このようにして、不純物領域がエピタキシャル層150の側面と同じ境界を有する図1に示したトランジスタを完成する。

【0045】

又は、実施例2と同様に、炭素、ホウ素、燐などのような不純物をエピタキシャル層150にイオン注入して、エピタキシャル層150と側面と一致せず、エピタキシャル層150の側面とゲートパターン130の中央との間に位置する側面を有する不純物領域170を形成することもできる。

【0046】

実施例4

図13は、本発明の実施例4による半導体装置のトランジスタを示した断面図である。

図13を参照すると、本実施例による半導体装置のトランジスタ200は半導体基板210、半導体基板210上に形成されたゲート構造物220、ゲート構造物220の両側に形成された二つのエピタキシャル層250、エピタキシャル層250に形成された不純物領域、及びハローイオン注入領域260を含む。

【0047】

半導体基板210は、{100}面である表面218を有する。二つの凹陷部212がゲート構造物220の両側である表面218部位に形成される。二つの凹陷部212は表

10

20

30

40

50

面 2 1 8 より低い高さを有する底面 2 1 6 と、底面 2 1 6 と表面 2 1 8 を連結する { 1 1 1 } 面である側面 2 1 4 を有する。

【 0 0 4 8 】

ゲート構造物 2 2 0 は、半導体基板 1 1 0 の表面 2 1 8 上に形成されたゲートパターン 2 3 0、及びゲートパターン 2 3 0 の側壁に形成されたスペーサを含む。ゲートパターン 2 3 0 はゲート絶縁膜パターン 2 3 2、導電膜パターン 2 3 4、及びハードマスク膜パターン 2 3 6 を含む。スペーサは第 1 スペーサ 2 4 2 と第 2 スペーサ 2 4 4 で構成された二重構造である。凹陷部 2 1 2 の側面 2 1 4 はゲートパターン 2 3 0 と第 2 スペーサ 2 4 4 との間に位置する。

【 0 0 4 9 】

シリコンゲルマニウムからなるエピタキシャル層 2 5 0 が凹陷部 2 1 2 内に形成される。エピタキシャル層 2 5 0 は { 1 1 1 } である側面と { 1 0 0 } である底面を有するようになる。

エピタキシャル層 2 5 0 に不純物をイオン注入して、不純物領域が形成される。本実施例による不純物領域はエピタキシャル層 2 5 0 と実質的に一致する側面を有する。

【 0 0 5 0 】

ハローイオン注入領域 2 6 0 がエピタキシャル層 2 5 0 の側面と接するように半導体基板 2 1 0 内に形成される。ハローイオン注入領域 2 6 0 は不純物領域 2 7 0 と異なる導電型を有するので、不純物領域 2 7 0 内の不純物が半導体基板 2 1 0 に拡散することを防止する役割を果たす。

【 0 0 5 1 】

図 1 4 乃至図 1 9 は、図 1 3 に示したトランジスタを製造する方法を順次に示した断面図である。

図 1 4 を参照すると、絶縁膜パターン 2 3 2、導電膜パターン 2 3 4 及びハードマスク膜パターン 2 3 6 が積層された構造で構成されたゲートパターン 2 3 0 を半導体基板 2 1 0 の { 1 0 0 } である表面 2 1 8 上に形成する。

【 0 0 5 2 】

図 1 5 を参照すると、ハロードーパントをゲートパターン 2 3 0 の両側である半導体基板 2 1 0 部位にイオン注入、予備ハローイオン注入領域 2 6 2 を形成する。ハロードーパントは半導体基板 2 1 0 と同じ導電型を有する。ここで、予備ハローイオン注入領域 2 6 2 を形成する前に、低濃度不純物をゲートパターン 2 3 0 の両側である半導体基板 2 1 0 部位にイオン注入して、低濃度ドレイン領域 ( L D D、図示せず ) を形成することもできる。

【 0 0 5 3 】

図 1 6 を参照すると、シリコン窒化物からなる第 1 スペーサ 2 4 2 をゲートパターン 2 3 0 の側壁に形成する。その後、シリコン窒化物からなる第 2 スペーサ 2 4 4 を第 1 スペーサ 2 4 2 上に形成して、第 1 スペーサ 2 4 2 及び第 2 スペーサ 2 4 4 とゲートパターン 2 3 0 で構成されたゲート構造物 2 2 0 を完成する。

【 0 0 5 4 】

図 1 7 を参照すると、予備ハローイオン注入領域 2 6 2 をエッチングガスを用いて部分エッチングして、{ 1 1 1 } 面である側面 2 1 4 と { 1 0 0 } 面である底面 2 1 6 を有する凹陷部 2 1 2 を形成すると共にハローイオン注入領域 2 6 0 を形成する。そうすると、第 1 スペーサ 2 4 2 及び第 2 スペーサ 2 4 4 の底面は凹陷部 2 1 2 を通じて露出される。ハローイオン注入領域 2 6 0 は凹陷部 2 1 2 の側面 2 1 4 を通じて露出される。

【 0 0 5 5 】

一方、エッチングガスの例としては塩化水素 ( H C l ) と  $G e H_4$ 、 $S i H_4$  及びジクロロシラン ( D C S ) のうち、少なくとも一つのガスと混合されたガスを挙げることができる。また、以外のエッチングの条件は実施例 1 と同じである。

【 0 0 5 6 】

ここで、半導体基板 2 1 0 の中、ハロードーパントがイオン注入された部分ではシリコ

10

20

30

40

50

ンと塩化水素との反応が更に活発に起きることができるようになる。したがって、ハロードーパントがイオン注入されていない半導体基板をエッチングして凹陷部 212 を形成する時間よりハロードーパントがイオン注入された半導体基板 210 をエッチングして凹陷部 212 を形成するとき、半導体基板 210 の垂直方向のエッチング時間が相対的に減少するようになって、スペーサの下に {111} 面を容易に形成することができるようにする。

#### 【0057】

図 18 を参照すると、シリコンゲルマニウムを凹陷部 212 内に導入する。シリコンゲルマニウムは凹陷部 212 の側面 214 と底面 216 からエピタキシャル成長して、エピタキシャル層 250 が凹陷部 212 内に形成される。ここで、凹陷部 212 は {111} 面である側面 214 と {100} 面である底面 216 を有するので、エピタキシャル層 250 は {111} 側面 214 から [111] 方向に沿って成長した第 1 結晶構造 250 a と、{100} 底面 216 から [100] 方向に沿って成長した第 2 結晶構造 250 b からなるヘテロ構造を有する。

10

#### 【0058】

ここで、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような不純物を含むガスを同時に注入して不純物がドーピングされたエピタキシャル層 250 を形成することができる。このようにして、不純物領域がエピタキシャル層 250 の側面と同じ境界を有する図 13 に示したトランジスタを完成する。

#### 【0059】

一方、不純物領域はハローイオン注入領域 260 と異なる導電型を有する。例えば、ハローイオン注入領域 250 が P 形であれば不純物領域は N 形であり、又はその反対になる。ハローイオン注入領域 260 が不純物領域と異なる導電型を有するので、不純物領域内の不純物が半導体基板 210 に拡散することがハローイオン注入領域 260 によって抑制される。したがって、ソース領域とドレイン領域が近接になって発生する短チャンネル効果が抑制される。本実施例による不純物領域はエピタキシャル層 250 と一致する側面を有する。

20

#### 【0060】

##### 実施例 5

本実施例によるトランジスタは不純物領域 270 がエピタキシャル層 250 と側面が一致せず、エピタキシャル層 250 の側面よりゲートパターンの中央に拡散された側面を有することを除いては図 13 に示した実施例 4 のトランジスタと実質的に同じ構成を有する。したがって、本実施例によるトランジスタに対する説明は省略し、製造方法に対して説明する。

30

#### 【0061】

図 19 及び図 20 は本発明の実施例 5 によってトランジスタを製造する方法を順次に示した断面図である。本実施例によってトランジスタを製造する方法は不純物領域を形成する工程を除いては実施例 4 の図 14 乃至図 18 を参照にして説明した工程と実質的に同じである。したがって、同じ部材に対しては同じ参照符号を付与し、エピタキシャル層の形成工程以後の工程に対して説明する。

40

#### 【0062】

図 19 を参照すると、炭素、ホウ素、燐などのような不純物をエピタキシャル層 250 にイオン注入する。即ち、実施例 4 ではソースガスを同時に注入してドーピングされたエピタキシャル層 250 を成長させたが、本実施例による方法では、ドーピングされていないエピタキシャル層 250 を前に成長させた後に、不純物をドーピングされていないエピタキシャル層 250 に別途注入するようになる。

#### 【0063】

図 20 を参照すると、前記イオン注入工程によってソース/ドレイン領域に該当する不純物領域 270 がゲート構造物 220 の両側に形成され、本実施例によるトランジスタが完成される。

50

## 【0064】

ここで、不純物領域270はエピタキシャル層250の側面と一致せず、エピタキシャル層250の側面とゲートパターン230の中央との間に位置する側面を有する。このような不純物領域270は熱処理工程を通じて不純物を半導体基板110内に更に拡散させることによって形成することができる。又は、実施例4と同様に、不純物領域270がエピタキシャル層250の側面と同じ境界を有することもできる。

## 【0065】

実施例6

図21乃至図26は、本発明の実施例6によって図13に示したトランジスタを製造する方法を順次に示した断面図である。本実施例によると、第1スペーサと第2スペーサを形成する工程の間にエピタキシャル層を成長させる工程を遂行して、図13に示した同じトランジスタを製造する。したがって、同じ部材に同じ参照符号を付与する。

10

## 【0066】

図21を参照すると、絶縁膜パターン232、導電膜パターン234及びハードマスク膜パターン236が積層された構造で構成されたゲートパターン230を半導体基板210の{100}である表面218上に形成する。

図22を参照すると、シリコン窒化物からなる第1スペーサ242をゲートパターン230の側壁に形成する。

## 【0067】

図23を参照すると、第1スペーサ242をイオン注入マスクを用いてハロードーパントをゲートパターン230の両側である半導体基板210部位にイオン注入して、予備ハローイオン注入領域262を形成する。ハロードーパントは半導体基板210と同じ導電型を有する。ここで、予備ハローイオン注入領域262を形成する前に、低濃度不純物をゲートパターン230の両側である半導体基板210部位にイオン注入して、低濃度ドレイン領域(LDD、図示せず)を形成することもできる。

20

## 【0068】

図24を参照すると、予備ハローイオン注入領域262をエッチングガスを用いて部分エッチングして、{111}面である側面214と{100}面である底面216を有する凹陷部212を形成すると共にハローイオン注入領域260を形成する。第1スペーサ242の底面は凹陷部212を通じて露出される。ハローイオン注入領域260は凹陷部212の側面214を通じて露出される。一方、エッチングガス及び条件は実施例1の説明と同じである。

30

## 【0069】

図25を参照すると、シリコンゲルマニウムを凹陷部212内に導入する。シリコンゲルマニウムは凹陷部212の側面214と底面216からエピタキシャル成長して、エピタキシャル層250が凹陷部212内に形成される。ここで、凹陷部212は{111}面である側面214と{100}面である底面216を有するので、エピタキシャル層250は{111}側面214から[111]方向に沿って成長した第1決定構造250aと、{100}底面216から[100]方向に沿って成長した第2結晶構造250bで構成されたヘテロ構造を有する。

40

## 【0070】

ここで、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような不純物を含むガスを同時に注入して不純物がドーピングされたエピタキシャル層250を形成することができる。このようにすると、不純物領域はエピタキシャル層250の側面と同じ境界を有するようになる。

## 【0071】

又は、実施例5と同様に、炭素、ホウ素、燐などのような不純物をエピタキシャル層250にイオン注入して、エピタキシャル層250と側面と一致せず、エピタキシャル層250の側面とゲートパターン230の中央との間に位置する側面を有する不純物領域270を形成することもできる。

50

## 【0072】

図26を参照すると、シリコン窒化物からなる第2スペーサ244を第1スペーサ242上に形成して、第1スペーサ242及び第2スペーサ244とゲートパターン230を含むゲート構造物220を完成して本実施例によるトランジスタを完成する。ここで、第2スペーサ244はエピタキシャル層250上に位置するようになる。

## 【0073】

実施例7

図27は、本発明の実施例7によるトランジスタを示した断面図である。

本実施例によるトランジスタは隆起された(elevated)エピタキシャル層155を有することを除いては図1に示した実施例1のトランジスタと実質的に同じ構成を有する。したがって、同じ部材に対しては同じ参照符号に示し、詳細な説明は省略する。

10

## 【0074】

図27を参照すると、実施例1のトランジスタでは、エピタキシャル層150が半導体基板100の表面118と実質的に一致する表面を有する。反面、本実施例によるトランジスタでは、隆起されたエピタキシャル層155が半導体基板110の表面118より高い表面を有する。

## 【0075】

一方、本実施例によってトランジスタを製造する方法はエピタキシャル層を成長させる工程を除いては実施例1の図2乃至図4を参照にして説明した工程と実質的に同じである。したがって、同じ部材に対しては同じ参照符号に示し、エピタキシャル層を形成する工程より先行する工程に対する説明は省略する。

20

## 【0076】

図27を参照すると、シリコンゲルマニウムを含むソースガス、例えば、 $SiH_2Cl_2$ 、 $HCl$ 、 $GeH_4$ を含むソースガスを実施例1より更に長い時間のうち、凹陷部112内に導入する。シリコンゲルマニウムが凹陷部112の側面114と底面116からエピタキシャル成長して、隆起されたエピタキシャル層155が凹陷部112内に形成される。隆起されたエピタキシャル層155は{111}側面114から[111]方向に沿って成長した第1結晶構造155aと、{100}底面116から[100]方向に沿って成長した第2結晶構造155bで構成されたヘテロ構造を有し、半導体基板110の表面118より高い表面を有する。

30

## 【0077】

一方、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような不純物を含むガスを同時に注入して不純物がドーピングされ隆起されたエピタキシャル層155を形成することができる。このようにして、不純物領域がエピタキシャル層150の側面と同じ境界を有する図27に示したトランジスタを完成する。

## 【0078】

又は、実施例2で説明したと同様に、ドーピングされていない隆起されたエピタキシャル層155を前に成長させた後、不純物をドーピングされていないエピタキシャル層155に別途に注入して隆起されたソース/ドレインを形成することもできる。

## 【0079】

実施例8

図28は本発明の実施例8による半導体装置のトランジスタを示す断面図である。

図28を参照すると、本実施例による半導体装置のトランジスタ300はシリコン基板、シリコンゲルマニウム基板などのような半導体基板310、半導体基板310上に形成されたゲート構造物320、ゲート構造物320の両側に形成された二つのエピタキシャル層350、エピタキシャル層350の側部に位置した低濃度不純物領域385、エピタキシャル層350の下部に位置した第1高濃度不純物領域380、及びエピタキシャル層350に形成された第2不純物領域を含む。

40

## 【0080】

半導体基板310は{100}面である第1表面318を有する。ゲート構造物320

50

は第1表面318上に形成される。二つの凹陷部312がゲート構造物320の両側である第1表面318部位に形成され、第1表面318より低い{100}面である第2表面316と、第1表面318及び第2表面316を連結する{111}面である第3表面314が半導体基板310に形成される。即ち、二つの凹陷部312は第2表面316に該当する底面316と、第3表面314に該当する側面314を有する。側面314は{111}面であるので、{100}面である底面316と形成する角は理論的に $54.7^\circ$ 程度である。実際工程において、 $50^\circ$ 以上(または $54.7^\circ$ 以上)、望ましくは $50^\circ \sim 65^\circ$ (または $54.7^\circ \sim 65^\circ$ )であると、{111}面が形成されることとしてみなすことができる。

#### 【0081】

ゲート構造物320は、半導体基板310の第1表面318上に形成されたゲートパターン330、及びゲートパターン330の側壁に形成されたスペーサを含む。ゲートパターン330は、半導体基板310の第1表面318上に形成されたゲート絶縁膜パターン332、ゲート絶縁膜パターン332上に形成された導電膜パターン334、及び導電膜パターン334上に形成されたハードマスク膜パターン336を含む。ゲート絶縁膜パターン332の下部に位置した半導体基板310の表面318部位が第2不純物領域を選択的に電氣的に連結させるチャンネル層になる。一方、ゲート絶縁膜パターン332は、シリコン酸化膜、シリコン酸化窒化膜、金属酸化膜、金属酸化窒化膜などを含むことができる。導電膜パターン334は、タングステン、銅、アルミニウムまたは窒化金属膜のような金属膜を含むことができる。ハードマスク膜パターン336は、シリコン窒化膜を含むことができる。

#### 【0082】

本実施例によるスペーサは、ゲートパターン330の側壁に形成された第1スペーサ342、及び第1スペーサ342上に形成された第2スペーサ344を含む二重構造である。二重構造のスペーサはチャンネル層の長さが確保されるようにして、短チャンネル効果を抑制させる役割を果たす。特に、凹陷部312の側面314は、ゲートパターン330と第2スペーサ344との間に位置する。本実施例による第1スペーサ342及び第2スペーサ344は、例えば、シリコン窒化物のような同一物質で形成してもよい。反面、第1スペーサ342及び第2スペーサ344は互いに異なる物質で形成してもよい。例えば、第1スペーサ342は酸化物で形成され、第2スペーサ344は窒化物で形成されてもよい。他の実施例によって、スペーサは一つで形成された単一スペーサであることができる。

#### 【0083】

第1濃度を有する低濃度不純物領域385(LDD)は、半導体基板310の第3表面314の下部に位置する。低濃度不純物領域385は、第3表面314に第1不純物をイオン注入することによって形成することができる。第1不純物の例としては、炭素、ホウ素、燐などを挙げることができる。

#### 【0084】

第1高濃度不純物領域380は、半導体基板310の第2表面316の下部に位置する。第1高濃度不純物領域380は、低濃度不純物領域385の第1濃度より高い第2濃度を有する。第1不純物領域380は、第2表面316に第2不純物をイオン注入することによって形成することができる。第2不純物の例としては、炭素、ホウ素、燐などを挙げることができる。

#### 【0085】

エピタキシャル層350は、凹陷部312内に形成され、第1高濃度不純物領域380上に位置する。即ち、エピタキシャル層350は第2表面316を境界として第1高濃度不純物領域380と接するようになる。ここで、エピタキシャル層350はシリコンゲルマニウムを含むことができる。シリコンゲルマニウムが凹陷部312の側面314と底面316からエピタキシャル成長することによってエピタキシャル層350が形成される。したがって、エピタキシャル層350は{111}である側面と{100}である底面を

10

20

30

40

50

有するようになる。

【0086】

エピタキシャル層350に第3不純物をイオン注入して、第3濃度を有する第2高濃度不純物領域が形成される。ここで、第3不純物の例としては、炭素、ホウ素、燐などを挙げることができる。また、第2高濃度不純物領域の第3濃度は、低濃度不純物領域385の第1濃度よりは高く、第1高濃度不純物領域380の第2濃度と実質的に同一である。第1高濃度不純物領域380と第2高濃度不純物領域とが一つのソース/ドレイン領域を形成するようになる。一方、本実施例によると、第2高濃度不純物領域がエピタキシャル層350と実質的に一致する。したがって、第2高濃度不純物領域の側面とエピタキシャル層350の側面は互いに一致する。

10

【0087】

図29ないし図34は、図28に示したトランジスタを製造する方法を順次に示す断面図である。

図29を参照すると、ゲートパターン330をシリコン基板、シリコンゲルマニウム基板のような半導体基板310の{100}である表面318上に形成する。具体的に、酸化膜のような絶縁膜(図示せず)を半導体基板310の表面318上に形成する。タングステンのような金属物質からなる導電膜(図示せず)を絶縁膜上に形成する。シリコン窒化物のようなハードマスク膜(図示せず)を導電膜上に形成する。その後、フォトレジストパターンをエッチングマスクとして用いて、ハードマスク膜、導電膜及び絶縁膜を部分的にエッチングして、絶縁膜パターン332、導電膜パターン334及びハードマスク膜パターン336が積層された構造を有するゲートパターン330を形成する。

20

【0088】

図30を参照すると、第1不純物をゲートパターン330をイオン注入マスクとして使用して半導体基板310の表面318にイオン注入して、第1濃度を有する予備低濃度不純物領域387を形成する。第1不純物の例としては、炭素、ホウ素、燐などを挙げることができる。

【0089】

図31を参照すると、第1シリコン窒化膜(図示せず)をゲートパターン330と基板310上に形成する。第1シリコン窒化膜をエッチングして、第1スペーサ342をゲートパターン330の側壁に形成する。その後、第2シリコン窒化膜(図示せず)をゲートパターン330、第1スペーサ342及び基板310上に形成する。第2シリコン窒化膜をエッチして、第2スペーサ344を第1スペーサ342上に形成して、第1スペーサ342及び第2スペーサ344とゲートパターン330で構成されたゲート構造物320を完成する。

30

【0090】

図32を参照すると、ゲート構造物320の両側である半導体基板310の表面318部位をエッチングガスを使用して部分的にエッチングし、{111}面である側面314と{100}面である底面316を有する凹陷部312を形成する。そうすると、第1スペーサ342及び第2スペーサ344の底面は凹陷部312を通じて露出される。また、前記エッチング工程によって予備低濃度不純物領域387も部分的に除去され、ゲート構造物320の下部に位置する低濃度不純物領域385が形成される。低濃度不純物領域385は凹陷部312の側面314を通じて部分的に露出される。ここで、半導体基板310をエッチングするためのエッチングガスの例としては塩化水素HClを挙げることができる。

40

【0091】

本実施例においては、500～850の温度にて、望ましくはこれより低い500～700の温度にて、塩化水素ガスとGeH<sub>4</sub>、SiH<sub>4</sub>及びジクロロシラン(SiH<sub>2</sub>Cl<sub>2</sub>:DCS)などのような水素含有ガスの混合雰囲気で行うことが望ましい。

【0092】

図33を参照すると、第2不純物を凹陷部312の底面316にイオン注入し、第1濃

50

度より高い第2濃度を有する第1高濃度不純物領域380を形成する。第2不純物の例としては、炭素、ホウ素、燐などを挙げることができる。

#### 【0093】

図34を参照すると、シリコンゲルマニウムを含むソースガス、例えば、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{GeH}_4$ を含むソースガスを凹陥部312内に導入する。シリコンゲルマニウムが凹陥部312の側面314と底面316からエピタキシャル成長して、エピタキシャル層350が凹陥部312内に形成される。エピタキシャル成長工程は化学的気相蒸着工程(CVD)であることができる。ここで、凹陥部312は{111}面である側面314と{100}面である底面316を有するので、エピタキシャル層315は{111}側面314から[111]方向に沿って成長した第1結晶構造350aと、{100}底面316から[100]方向に沿って成長した第2結晶構造350bからなるヘテロ構造を有する。

10

#### 【0094】

一方、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような不純物を含むガスを同時に注入して、第3不純物がドーピングされたエピタキシャル層350を形成する。結果的に、第1高濃度不純物領域380と第2高濃度不純物領域で構成されたソース/ドレイン領域がゲート構造物320の両側に形成される。このようにして、第2高濃度不純物領域がエピタキシャル層350の側面と同一の境界を有する図28に示したトランジスタを完成する。

#### 【0095】

20

##### 実施例9

本実施例によるトランジスタは、第2高濃度不純物領域370がエピタキシャル層350と側面と一致せず、エピタキシャル層350の側面よりゲートパターンの中央に拡散された側面を有することを除いては図28に示した実施例8のトランジスタと実質的に同一の構成を有する。したがって、本実施例によるトランジスタに対する重複された説明は省略し、製造方法に対してのみ説明する。

図35及び図36は、本実施例の実施例9によってトランジスタを製造する方法を順次に示した断面図である。本実施例にしたがってトランジスタを製造する方法は不純物領域を形成する工程を除いては実施例8の図29ないし図34を参照にして説明した工程と実質的に同一である。したがって、同一の部材に対しては同一の参照番号を示し、エピタキシャル層の形成工程以後の工程に対してのみ説明する。

30

#### 【0096】

図35を参照すると、炭素、ホウ素、燐などのような第3不純物をエピタキシャル層350にイオン注入する。即ち、実施例8においてはソースガスと共に不純物ガスを同時に注入しドーピングされたエピタキシャル層350を成長させたが、本実施例による方法ではドーピングされていないエピタキシャル層350を優先成長させた後、第3不純物をドーピングされていないエピタキシャル層350に別途に注入する。

#### 【0097】

図36を参照すると、前記イオン注入工程によって注入された不純物をアニーリングして第2高濃度不純物領域370をゲート構造物320の両側に形成することで、本実施例によるトランジスタを完成する。

40

ここで、第2高濃度不純物領域370は、エピタキシャル層350と側面と一致せず、エピタキシャル層350の側面よりゲートパターン330の中央と近接した側面を有する。このような第2高濃度不純物領域370は熱処理工程を通じて第3不純物を半導体基板310内にさらに拡散させることで形成することができる。また、実施例8と同様に、第2高濃度不純物領域370がエピタキシャル層350の側面と同一の境界を有することもできる。

#### 【0098】

##### 実施例10

本実施例によるトランジスタは製造方法が異なることを除いては実施例8と同一である

50

。したがって、トランジスタに対する重複された説明は省略し、製造方法に対してのみ説明する。したがって、製造方法の説明で実施例 8 と同一の部材については同一の参照符号を付与する。

【0099】

図 37 ないし図 43 は本発明の実施例 10 により図 28 に示したトランジスタを製造する方法を順次に示す断面図である。本発明によると、第 1 スペースと第 2 スペースを形成する工程の間にエピタキシャル層を成長させる工程を行い、図 28 に示した同一のトランジスタを製造する。

【0100】

図 37 を参照すると、絶縁膜パターン 332、導電膜パターン 334 及びハードマスク膜パターン 336 が積層された構造からなるゲートパターン 330 を半導体基板 310 の {100} である表面 318 上に形成する。 10

【0101】

図 38 を参照すると、第 1 不純物をゲートパターン 330 をイオン注入マスクとして用いて半導体基板 310 の表面 318 にイオン注入して、第 1 濃度を有する予備低濃度不純物領域 387 を形成する。

【0102】

図 39 を参照すると、シリコン窒化物からなる第 1 スペース 342 をゲートパターン 330 の側壁に形成する。

【0103】

図 40 を参照すると、ゲートパターン 330 の両側である半導体基板 310 の表面 318 部位をエッチングガスを用いて部分的にエッチングし、{111} 面である側面 314 と {100} 面である底面 316 を有する凹陷部 312 を形成する。また、前記エッチング工程によって予備低濃度不純物領域 387 も部分的に除去され、ゲートパターン 330 の下部に位置する低濃度不純物領域 385 が形成される。ここで、第 1 スペース 342 の底面は凹陷部 312 を通じて露出される。また、低濃度不純物領域 385 も凹陷部 312 の側面 314 を通じて部分的に露出される。 20

エッチングガスの例としては、実施例 8 で説明したように、塩化水素  $\text{HCl}$  と  $\text{GeH}_4$ 、 $\text{SiH}_4$  及びジクロロシラン ( $\text{SiH}_2\text{Cl}_2$ :  $\text{DCS}$ ) のうち少なくとも一つが混合されたガスを挙げることができる。他のエッチング条件などは実施例 8 で説明したことと 30 同一である。

【0104】

図 41 を参照すると、第 2 不純物を凹陷部 312 の底面 316 にイオン注入し、第 1 濃度より高い第 2 濃度を有する第 1 高濃度不純物領域 380 を形成する。第 2 不純物の例としては、炭素、ホウ素、燐などを挙げることができる。

【0105】

図 42 を参照すると、シリコンゲルマニウムを凹陷部 312 内に注入する。シリコンゲルマニウムは凹陷部 312 の側面 314 と底面 316 からエピタキシャル成長して、エピタキシャル層 350 が凹陷部 312 内に形成される。ここで、凹陷部 312 は {111} 面である側面 314 と {100} 面である底面 316 を有するので、エピタキシャル層 350 は {111} 側面 314 から [111] 方向に沿って成長した第 1 結晶構造 350a と、{100} 底面 316 から [100] 方向に沿って成長した第 2 結晶構造 350b からなるヘテロ構造を有する。ここで、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような第 3 不純物を含むガスを同時に注入して、第 3 不純物がドーピングされたエピタキシャル層 350 を形成することができる。 40

【0106】

図 43 を参照すると、シリコン窒化物からなる第 2 スペース 344 を第 1 スペース 342 上に形成し、第 1 スペース 342 及び第 2 スペース 344 とゲートパターン 330 を含むゲート構造物 320 を完成する。第 2 スペース 344 はエピタキシャル層 350 上に位置する。このようにして、第 2 高濃度不純物領域がエピタキシャル層 350 の側面と同一 50

の境界を有する図 28 に示したトランジスタを完成する。

または、実施例 9 のように、炭素、ホウ素、燐などのような第 3 不純物をエピタキシャル層 350 にイオン注入して、エピタキシャル層 350 と側面と一致せずエピタキシャル層 350 の側面よりゲートパターン 300 の中央と近接した側面を有する第 2 高濃度不純物領域 370 を形成することもできる。

#### 【0107】

##### 実施例 11

図 44 は本発明の実施例 11 による半導体装置のトランジスタを示す断面図である。

図 44 を参照すると、本実施例による半導体装置のトランジスタ 400 は半導体基板 410、半導体基板 410 上に形成されたゲート構造物 420、ゲート構造物 420 の両側に形成された 2 個のエピタキシャル層 450、エピタキシャル層 450 の側部に位置した低濃度不純物領域 485、エピタキシャル層 450 の下部に位置した第 1 高濃度不純物領域 480、エピタキシャル層 450 に形成された第 2 高濃度不純物領域、及びハローイオン注入領域 460 を含む。

#### 【0108】

半導体基板 410 は、{100} 面である第 1 表面 418、第 1 表面 418 より低い第 2 表面 416、及び第 1 及び第 2 表面 418、416 を連結する {111} 面である第 3 表面 414 を有する。第 2 及び第 3 表面 416、414 は、2 個の凹陷部 412 を半導体基板 410 の第 1 表面 418 に形成することによって形成される。即ち、2 個の凹陷部 412 は、第 2 表面 416 に該当する底面と、第 3 表面 414 に該当する側面を有する。

#### 【0109】

ゲート構造物 420 は、半導体基板 410 の第 1 表面 418 上に形成されたゲートパターン 430、及びゲートパターン 430 の側壁に形成されたスペーサを含む。ゲートパターン 430 は、ゲート絶縁膜パターン 432、導電膜パターン 434、及びハードマスク膜パターン 436 を含む。スペーサは、第 1 スペーサ 442 と第 2 スペーサ 444 で構成された二重構造である。凹陷部 412 の側面 414 は、ゲートパターン 430 と第 2 スペーサ 444 との間に位置する。

#### 【0110】

第 1 濃度を有する低濃度不純物領域 (Lightly Doped Drain: LDD) 485 は、半導体基板 410 の第 3 表面 414 の下部に位置する。低濃度不純物領域 485 は、第 3 表面 414 に第 1 不純物をイオン注入することによって形成することができる。第 1 不純物の例としては、炭素、ホウ素、燐等が挙げられる。

#### 【0111】

第 1 濃度より高い第 2 濃度を有する第 1 高濃度不純物領域 480 は、半導体基板 410 の第 2 表面 416 の下部に位置する。第 1 不純物領域 480 は、第 2 表面 416 に第 2 不純物をイオン注入することによって形成することができる。第 2 不純物の例としては、炭素、ホウ素、燐等が挙げられる。

シリコンゲルマニウムからなるエピタキシャル層 450 が凹陷部 412 内に形成される。エピタキシャル層 450 は、{111} である側面と、{100} である底面を有する。

エピタキシャル層 450 に第 3 不純物をイオン注入して、第 2 高濃度不純物領域が形成される。本実施例による第 2 高濃度不純物領域は、エピタキシャル層 450 と実質的に一致する側面を有する。

#### 【0112】

ハローイオン注入領域 460 がエピタキシャル層 450 の側面と接するように、半導体基板 410 内に形成される。特に、低濃度不純物領域 485 は、ハローイオン注入領域 460 内に位置する。ハローイオン注入領域 460 は、第 2 高濃度不純物領域と異なる導電型を有し、第 2 高濃度不純物領域内の第 3 不純物が半導体基板 410 に拡散されることを防止する役割を果たす。

#### 【0113】

10

20

30

40

50

図45乃至図51は、図44に図示されたトランジスタを製造する方法を順次に示す断面図である。

図45を参照すると、絶縁膜パターン432、導電膜パターン434、及びハードマスク膜パターン436が積層された構造で構成されたゲートパターン430を半導体基板410の{100}である表面418上に形成する。

【0114】

図46を参照すると、ハロードーパントをゲートパターン430の両側である半導体基板410部位にイオン注入して、予備ハローイオン注入領域462を形成する。ハロードーパントは、半導体基板410と同じ導電型を有する。

【0115】

図47を参照すると、第1不純物をゲートパターン430をイオン注入マスクとして使用して、半導体基板410の表面418にイオン注入して、第1濃度を有する予備低濃度不純物領域487を形成する。予備低濃度不純物領域487は、予備ハローイオン注入領域462内に位置する。

【0116】

図48を参照すると、シリコン窒化物からなる第1スペーサ442をゲートパターン430の側壁に形成する。その後、シリコン窒化物からなる第2スペーサ444を第1スペーサ442上に形成して、第1及び第2スペーサ442、444とゲートパターン430からなるゲート構造物420を完成する。

【0117】

図49を参照すると、予備ハローイオン注入領域462と予備低濃度不純物領域487を、エッチングガスを使用して部分的にエッチングして、{111}面である側面414と{100}面である底面416を有する凹陷部412、ハローイオン注入領域460及び低濃度不純物領域485を形成する。そうすると、第1及び第2スペーサ442、444の底面は、凹陷部412を通じて露出される。ハローイオン注入領域460と低濃度不純物領域485は、凹陷部412の側面414を通じて露出される。低濃度不純物領域485は、ハローイオン注入領域460内に位置する。

【0118】

一方、エッチングガスの例としては、塩化水素(HCl)とGeH<sub>4</sub>、SiH<sub>4</sub>、及びジクロロシラン(Dichlorosilane(SiH<sub>2</sub>Cl<sub>2</sub>):DCS)のうち、

少なくとも一つのガスと混合されたガスが挙げられる。又、他のエッチング条件は、実施例8と同じである。

ここで、半導体基板410のうち、ハロードーパントがイオン注入された部分では、シリコンと塩化水素間の反応がより活発に発生することができる。したがって、ハロードーパントがイオン注入されない半導体基板をエッチングして、凹陷部412を形成する時間よりハロードーパントがイオン注入された半導体基板410をエッチングして、凹陷部412を形成する時、半導体基板410の垂直方向へのエッチング時間が相対的に減少され、スペーサの下に{111}面を容易に形成することができる。

【0119】

図50を参照すると、第2不純物を凹陷部412の底面416にイオン注入して、第1濃度より高い第2濃度を有する第1高濃度不純物領域480を形成する。第2不純物の例としては、炭素、ホウ素、燐等が挙げられる。

【0120】

図51を参照すると、シリコンゲルマニウムを凹陷部412内に導入する。シリコンゲルマニウムは、凹陷部412の側面414と底面416からエピタキシャル成長して、エピタキシャル層450が凹陷部412内に形成される。ここで、凹陷部412は、{111}面である側面414と{100}面である底面416を有するので、エピタキシャル層450は、{111}側面414から[111]方向に沿って成長した第1結晶構造450aと、{100}底面416から[100]方向に沿って成長した第2結晶構造450bで構成されたヘテロ構造を有する。

10

20

30

40

50

## 【0121】

ここで、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐等の第3不純物を含むガスを同時に注入して、第3不純物がドーピングされたエピタキシャル層450を形成することができる。このようにして、第2高濃度不純物領域がエピタキシャル層450の側面と同じ境界を有する図44に図示したトランジスタを完成する。

一方、第2高濃度不純物領域は、ハローイオン注入領域460と異なる導電型を有する。例えば、ハローイオン注入領域460がP型であれば、第2高濃度不純物領域はN型であり、又は、その逆になる。ハローイオン注入領域460が第2高濃度不純物領域と異なる導電型を有するので、第2高濃度不純物領域内の第3不純物が半導体基板410に拡散されることがハローイオン注入領域460によって抑制される。したがって、ソース領域とドレイン領域が近接することによって発生される短チャンネル効果が抑制される。本実施例による第2高濃度不純物領域は、エピタキシャル層450と一致する側面を有する。

10

## 【0122】

実施例12

本実施例によるトランジスタは、第2高濃度不純物領域470がエピタキシャル層450と側面と一致しなく、エピタキシャル層450の側面よりゲートパターンの中央に拡散された側面を有することを除いては、図44に図示された実施例11のトランジスタと実質的に同じ構成で構成される。したがって、本実施例によるトランジスタについての重複説明は省略し、製造方法についてのみ説明する。

## 【0123】

図52及び図53は、本発明の実施例12によってトランジスタを製造する方法を順次に示す断面図である。本実施例によってトランジスタを製造する方法は、第2高濃度不純物領域を形成する工程を除いては、実施例11の図45乃至図51を参照として説明した工程と実質的に同じである。したがって、同じ部材には同じ参照符号を付与して、エピタキシャル形成工程以後の工程についてのみ説明する。

20

## 【0124】

図52を参照すると、炭素、ホウ素、燐等の第3不純物をエピタキシャル層450にイオン注入する。即ち、実施例11では、ソースガスとともに不純物ガスを同時に注入して、ドーピングされたエピタキシャル層450を成長させたが、本実施例による方法では、ドーピングされないエピタキシャル層450をまず成長させた後、不純物がドーピングされないエピタキシャル層450に別に注入する。

30

## 【0125】

図53を参照すると、前記イオン注入工程によって第2高濃度不純物領域470がゲート構造物420の両側に形成され、本実施例によるトランジスタが完成される。

ここで、第2高濃度不純物領域470は、エピタキシャル層450と側面と一致しなく、エピタキシャル層450の側面よりゲートパターン430の中央と近接した側面を有する。このような第2高濃度不純物領域470は、熱処理工程を通じて第3不純物を半導体基板410内により拡散させることによって形成されることができる。又は、実施例11と同様に、第2高濃度不純物領域470がエピタキシャル層450の側面と同じ境界を有することができる。

40

## 【0126】

実施例13

図54乃至図61は、本発明の実施例13によって、図44に図示されたトランジスタを製造する方法を順次に示す断面図である。本実施例によると、第1スペーサと第2スペーサを形成する工程の間にエピタキシャル層を成長させる工程を行って、図44に図示した同じトランジスタを製造する。したがって、同じ部材には同じ参照符号を付与する。

## 【0127】

図54を参照すると、絶縁膜パターン432、導電膜パターン434、及びハードマスク膜パターン436が積層された構造で構成されたゲートパターン430を半導体基板410の{100}である表面418上に形成する。

50

## 【0128】

図55を参照すると、シリコン窒化物からなる第1スペーサ442をゲートパターン430の側壁に形成する。

## 【0129】

図56を参照すると、第1スペーサ442をイオン注入マスクとして使用して、ハロードーパントをゲートパターン430の両側である半導体基板410部位にイオン注入して、予備ハローイオン注入領域462を形成する。ハロードーパントは、半導体基板410と同じ導電型を有する。

## 【0130】

図57を参照すると、第1不純物をゲートパターン430をイオン注入マスクとして使用して、半導体基板410の表面418にイオン注入して、第1濃度を有する予備低濃度不純物領域487を形成する。予備低濃度不純物領域487は、予備ハローイオン注入領域462内に位置する。

10

## 【0131】

図58を参照すると、予備ハローイオン注入領域462と予備低濃度不純物領域487を、エッチングガスを使用して部分的にエッチングして、{111}面である側面414と{100}面である底面416を有する凹陷部412、ハローイオン注入領域460及びハローイオン注入領域460内に位置する低濃度不純物領域485を形成する。第1スペーサ442の底面は、凹陷部412を通じて露出される。ハローイオン注入領域460と低濃度不純物領域485は、凹陷部412の側面414を通じて露出される。一方、エッチングガス及び条件は、実施例8で説明したものと同一である。

20

## 【0132】

図59を参照すると、第2不純物を凹陷部412の底面416にイオン注入して、第1濃度より高い第2濃度を有する第1高濃度不純物領域480を形成する。第2不純物の例としては、炭素、ホウ素、燐等が挙げられる。

## 【0133】

図60を参照すると、シリコンゲルマニウムを凹陷部212内に導入する。シリコンゲルマニウムは、凹陷部412の側面414と底面416からエピタキシャル成長して、エピタキシャル層450が凹陷部412内に形成される。ここで、凹陷部412は、{111}面である側面414と{100}面である底面416を有するので、エピタキシャル層450は、{111}側面414から[111]方向に沿って成長した第1結晶構造450aと、{100}底面416から[100]方向に沿って成長した第2結晶構造450bで構成されたヘテロ構造を有する。

30

ここで、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐等のような第3不純物を含むガスを同時に注入して、第3不純物がドーピングされたエピタキシャル層450を形成することができる。このようにすると、第2高濃度不純物領域は、エピタキシャル層450の側面と同じ境界を有することになる。

## 【0134】

又は、実施例12と同様に、炭素、ホウ素、燐等の第3不純物をエピタキシャル層450にイオン注入して、エピタキシャル層450と側面と一致しなく、エピタキシャル層450の側面よりゲートパターン430の中央と近接した側面を有する第2高濃度不純物領域470を形成することもできる。

40

## 【0135】

図61を参照すると、シリコン窒化物からなる第2スペーサ444を第1スペーサ442上に形成して、第1及び第2スペーサ442、444とゲートパターン430を含むゲート構造物420を完成して、本実施例によるトランジスタを完成する。ここで、第2スペーサ444は、エピタキシャル層450上に位置する。

## 【0136】

## 実施例14

図62は、本発明の実施例14によるトランジスタを示す断面図である。

50

本実施例によるトランジスタ 300 a は、隆起されたエピタキシャル層 355 を有するという点を除いては、図 28 に図示された実施例 8 のトランジスタ 300 と実質的に同じ構成で構成される。したがって、同じ部材には同じ参照符号を付与して、その重複説明は省略する。

#### 【0137】

図 62 を参照すると、実施例 8 のトランジスタ 300 では、エピタキシャル層 350 が半導体基板 310 の表面 318 と実質的に一致する表面を有する。反面、本実施例によるトランジスタ 300 a では、隆起されたエピタキシャル層 355 が半導体基板 310 の表面 318 より高い表面を有する。

一方、本実施例によってトランジスタを製造する方法は、エピタキシャル層を成長させる工程を除いては、実施例 8 の図 29 乃至図 33 を参照して説明した工程と実質的に同じである。したがって、同じ部材には同じ参照符号を付与して、エピタキシャル層を形成する工程より先行する工程についての説明は省略する。

#### 【0138】

図 62 を参照すると、シリコンゲルマニウムを含むソースガス、例えば、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{GeH}_4$  を含むソースガスを、実施例 8 より長い時間の間、凹陷部 312 内に導入する。シリコンゲルマニウムが凹陷部 312 の側面 314 と底面 316 からエピタキシャル成長して、隆起されたエピタキシャル層 355 が凹陷部 312 内に形成される。隆起されたエピタキシャル層 355 は、 $\{111\}$  側面 314 から  $[111]$  方向に沿って成長した第 1 結晶構造 355 a と、 $\{100\}$  底面 316 から  $[100]$  方向に沿って成長した第 2 結晶構造 355 b で構成されたヘテロ構造を有し、半導体基板 310 の表面 318 より高い表面を有する。

#### 【0139】

一方、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐等の第 3 不純物を含むガスを同時に注入して、第 3 不純物がドーピングされ、隆起されたエピタキシャル層 355 を形成することができる。このようにして、第 2 高濃度不純物領域がエピタキシャル層 350 の側面と同じ境界を有する図 62 に図示したトランジスタを完成する。

又は、実施例 9 で説明したように、ドーピングされない隆起されたエピタキシャル層 355 をまず成長させた後、第 3 不純物をドーピングされない隆起されたエピタキシャル層 355 に別に注入して、隆起されたソース/ドレインを形成することもできる。

#### 【0140】

##### 実施例 15

図 63 は、本発明の実施例 15 による半導体装置のトランジスタを示す断面図である。

本実施例によるトランジスタ 300 b は、ゲート構造物 320 b を除いては実施例 8 によるトランジスタ 300 と実質的に同一の構成を有する。したがって、同一の部材に対しては同一の参照符号で示し、また同一部材に対する説明は省略する。

#### 【0141】

図 63 を参照すると、本実施例による半導体装置のトランジスタ 300 b は、半導体基板 310、半導体基板 310 上に形成されたゲート構造物 320 b、ゲート構造物 320 b の両側に形成された二つのエピタキシャル層 350、エピタキシャル層 350 の側部に位置した第 1 高濃度不純物領域 385、及びエピタキシャル層 350 に形成された第 2 高濃度不純物領域を含む。

#### 【0142】

ゲート構造物 320 b は、半導体基板 310 の第 1 表面 318 上に形成されたゲートパターン 330 b、及びゲートパターン 330 b の側壁に形成されたスペーサを含む。ゲートパターン 330 b は、半導体基板 310 の第 1 表面 318 上に形成されたゲート絶縁膜パターン 332、ゲート絶縁膜パターン 332 上に形成された導電膜パターン、及び導電膜パターン 334 上に形成されたエピタキシャルゲート層 338 を含む。

ここで、エピタキシャルゲート層 338 は、エピタキシャル層 350 と共に形成される。したがって、エピタキシャルゲート層 338 は、エピタキシャル 350 と実質的に同一

である材質からなる。

【0143】

一方、本実施例によるトランジスタ300bは、低濃度不純物領域385と第1高濃度不純物領域380を有することと例示しましたが、低濃度不純物領域385と第1高濃度不純物領域380は省略することができる。

【0144】

図64乃至図69は、図63に示したトランジスタを製造する方法を順次に示した断面図である。

図64を参照すると、酸化物のような絶縁膜(図示せず)を半導体基板310の表面318上に形成する。タングステンのような金属物質からなる導電膜(図示せず)を絶縁膜上に形成する。その後、フォトリジストパターン(図示せず)を導電膜上に形成する。その後、フォトリジストパターンをエッチングマスクとして用いて導電膜と絶縁膜を部分的にエッチングして、ゲート絶縁膜パターン332と導電膜パターン334を形成する。

【0145】

図65を参照すると、第1不純物をゲートパターン330をイオン注入マスクとして用いて半導体基板310の表面318にイオン注入して、第1濃度を有する予備低濃度不純物領域387を形成する。

【0146】

図66を参照すると、第1シリコン窒化膜(図示せず)をゲート絶縁膜パターン332、導電膜パターン334、及び基板310上に形成する。第1シリコン窒化膜をエッチして、第1スペーサ342を導電膜パターン334の側壁に形成する。その後、第2シリコン窒化膜(図示せず)を導電膜パターン334、第1スペーサ342、及び基板310上に形成する。第2シリコン窒化膜をエッチして、第2スペーサ344を第1スペーサ342上に形成する。

【0147】

図67を参照すると、導電膜パターン334の両側である半導体基板310の表面318部位をエッチングガスを用いて部分的にエッチングして、{111}面である側面314と{100}面である底面316を有する凹陷部312を形成する。前記エッチング工程によって予備低濃度不純物領域387も部分的に除去され、低濃度不純物領域385が形成される。第1スペーサ342及び第2スペーサ344の底面は凹陷部312を通じて露出される。

【0148】

図68を参照すると、第2不純物を凹陷部312の底面にイオン注入して、第1濃度より高い第2濃度を有する第2不純物領域380を形成する。

【0149】

図69を参照すると、シリコンゲルマニウムを含むソースガス、例えば、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{GeH}_4$ を含むソースガスを凹陷部312内に導入する。シリコンゲルマニウムが凹陷部312の側面314と底面316からエピタキシャル成長して、エピタキシャル層350が凹陷部312内に形成される。これと同時に、シリコンゲルマニウムが導電膜パターン334の表面から成長して、エピタキシャルゲート層338が導電膜パターン334上に形成される。結果的に、ゲート絶縁膜パターン332と導電膜パターン334及びエピタキシャルゲート層338が積層された構造で構成されたゲートパターン330bが完成し、したがって、ゲートパターン330bと第1スペーサ342及び第2スペーサ344で構成されたゲート構造物320bが完成する。

【0150】

一方、シリコンゲルマニウムを含むソースガスと炭素、ホウ素、燐などのような第3不純物を含むガスを同時に流入して、第3不純物がドーピングされたエピタキシャル層350を形成する。結果的に、第1高濃度不純物領域380と第2高濃度不純物領域で構成されたソース/ドレイン領域がゲート構造物320bの両側に形成される。このようにして、第2高濃度不純物領域がエピタキシャル層350の側面と同一の境界を有する図63に

10

20

30

40

50

示したトランジスタを完成する。

【0151】

トランジスタの製造

実施例15によるトランジスタの製造

図64乃至図69に示したトランジスタの製造方法によって、図63に示したトランジスタ300bを製造した。具体的には、半導体基板310の{100}面である表面318上にゲート絶縁膜332と導電膜を順次形成した。導電膜を部分的にエッチングして、導電膜パターン334を形成した。導電膜パターン334をイオン注入マスクとして用いて半導体基板310に第1不純物をイオン注入して、予備低濃度不純物領域387を形成した。第1スペーサ342及び第2スペーサ344を導電膜パターン334の側壁上に形成した。導電膜パターン334の両側部位である半導体基板310を部分的にエッチングして、{111}面である側面314と{100}面である底面316を有する凹陷部312を形成した。これと同時に、予備低濃度不純物領域387を部分的に除去して低濃度不純物領域385を形成した。導電膜パターン334をイオン注入マスクとして用いて凹陷部312の底面に第2不純物をイオン注入し、第1高濃度不純物領域380を形成した。シリコンゲルマニウムを半導体基板310上に導入して、凹陷部312内にエピタキシャル層350を成長させると共に導電膜パターン334の表面からエピタキシャルゲート層338を成長させた。第3不純物をエピタキシャル層350にイオン注入し、第2高濃度不純物領域を形成した。

10

【0152】

比較例1

図70は、従来のトランジスタ500の一例を示す。図70を参照すると、従来のトランジスタ500は、半導体基板510、半導体基板510上に形成されたゲート構造物520、ゲート構造物520の両側に形成された高濃度不純物領域570、及び高濃度不純物領域570の側部に位置した低濃度不純物領域585を含む。

20

【0153】

図70に示したトランジスタ500を比較例1として製造した。具体的に、半導体基板510の表面上にゲート絶縁膜532と導電膜とハードマスク膜を順次形成した。導電膜とハードマスク膜を部分的にエッチングして、ゲート絶縁膜532と導電膜パターン534及びハードマスク膜パターン536が積層されたゲートパターン530を形成した。ゲートパターン530をイオン注入マスクとして用いて第1不純物を半導体基板510にイオン注入して低濃度不純物領域585を形成した。ゲートパターン530の両側壁に第1スペーサ542及び第2スペーサ544を順次形成して、ゲート構造物520を完成した。ゲート構造物520をイオン注入マスクとして用いて第2不純物を半導体基板510にイオン注入して、高濃度不純物領域570を形成することで、比較例1のトランジスタ500を完成した。

30

【0154】

比較例2

図71は、従来のトランジスタ600の他の例を示す。図71に示したトランジスタ600は、製造方法が異なることを除いては、図63に示したトランジスタ300bと実質的に同一に構成される。したがって、図71に示したトランジスタ600に対する説明は省略する。

40

【0155】

図71に示したトランジスタ600を比較例2として製造した。具体的に、半導体基板610の{100}面である表面618上にゲート絶縁膜632と導電膜を順次形成した。導電膜を部分的にエッチングして、導電膜パターン634を形成した。導電膜パターン634をイオン注入マスクとして用いて半導体基板610に第1不純物をイオン注入して、予備低濃度不純物領域を形成した。第1スペーサ642及び第2スペーサ644は、導電膜パターン634の側壁上に形成した。導電膜パターン634をイオン注入マスクとして用いて半導体基板610に第2不純物をイオン注入して、第1予備高濃度不純物領域を

50

形成した。導電膜パターン634の両側部位である半導体基板610を部分的にエッチングして、{111}面である側面614と{100}面である底面616を有する凹陥部612を形成した。これと同時に、予備低濃度不純物領域と第1予備高濃度不純物領域を部分的に除去して、低濃度不純物領域685と第1高濃度不純物領域580を形成した。シリコンゲルマニウムを半導体基板610上に導入して、凹陥部612内にエピタキシャル層650を成長させると共に導電膜パターン634の表面からエピタキシャルゲート層638を成長させた。第3不純物をエピタキシャル層650にイオン注入して、第2高濃度不純物領域を形成した。

#### 【0156】

##### 接合漏洩電流及び電流利得率(Drive Current Gain)の測定

実施例15と比較例1及び比較例2にて製造したトランジスタに対して接合漏洩電流(junction leakage current)と電流利得率を測定し、測定結果を図72のグラフに示した。図72で、横軸は実施例15と比較例1及び比較例2を示し、左側縦軸は接合漏洩電流(任意単位:Arbitrary Unit)を示し、右側縦軸は電流利得率(単位:%)を示す。また、比較的大きくて中間に分割線が入っている長方形は、接合漏洩電流を示し、グラフは電流利得率を示す。

10

#### 【0157】

接合漏洩電流は複数個を測定して示し、接合漏洩電流にて長方形の上部及び下部水平線は25%及び75%値を示し、長方形内にある分割線は中間値を示し、上下最外郭にある\*は、最大及び最小値を示し、\*から中央側にある二本のラインはそれぞれ5%値と95%値を示す。そして、長方形内の小さい正四角形は平均値を示す。

20

電流利得率は、電流大きさを測定して改善した結果を示し、比較例1のトランジスタを基準である0%にして示した。電流利得が大きいほど電流の大きさが大きく測定され、これはイオン注入効果が優秀であることを示す。

#### 【0158】

図72を参照すると、実施例15と比較例1にて製造したトランジスタは接合漏洩電流が $10^{-16}$ 以下であることと示された反面、比較例2にて製造したトランジスタでは、接合漏洩電流が $10^{-15}$ 以上であることと示されたことがわかる。即ち、第1不純物領域を先に形成した後に凹陥部を形成した比較例2のトランジスタでは、相当大きい接合漏洩電流が発生した反面、凹陥部を先に形成した後に第1不純物領域を形成した実施例15

30

によるトランジスタでは、比較例2によるトランジスタと比較して相対的に小さい接合漏洩電流が発生された。したがって、実施例15のように本発明による構造を有するトランジスタで接合漏洩電流が低下したことがわかった。

#### 【0159】

また、電流利得率の面からは、比較例1のトランジスタに比べて比較例2のトランジスタの電流の利得率は約15%程度改善したが、本発明の実施例15によるトランジスタは、約20%の電流利得率を示した。

したがって、比較例2のトランジスタは比較例1のトランジスタに比べて電流利得率の面からは改善の効果があるが、接合漏洩電流は悪化した反面、本発明の実施例15によるトランジスタは接合漏洩電流は比較例1と同一の効果を示す反面、電流利得率面からは優

40

#### 【0160】

##### ターンオン及びターンオフ電流測定

実施例15と比較例1及び比較例2にて製造したトランジスタに対してターンオン電流とターンオフ電流をそれぞれ測定し、測定された結果を図73のグラフに示した。図73で、横軸はターンオン電流を示し、縦軸はターンオフ電流を示す。また、は比較例1によるトランジスタの電流を示し、は比較例2によるトランジスタの電流を示し、は実施例15によるトランジスタの電流を示す。

#### 【0161】

図73を参照すると、ターンオフ電流に対するターンオン電流の割合が大きいほど、ト

50

ランジスタの動作信頼性が優秀である。同一ターンオフ電流に対して、実施例 15 によるトランジスタのターンオン電流が最も高く、比較例 1 によるトランジスタのターンオン電流が最も低い。したがって、本発明によるトランジスタが向上された動作信頼性を有することがわかる。

#### 【0162】

##### しきい電圧の測定

実施例 15 と比較例 1 及び比較例 2 によるトランジスタに対してしきい電圧を測定し、その測定結果を図 7 4 のグラフに示した。図 7 4 で、横軸はゲートの長さを示し、縦軸はしきい電圧を示す。また、グラフ a は実施例 15 のトランジスタに関し、グラフ b は比較例 1 のトランジスタに関し、グラフ c は比較例 2 に関する。

10

図 7 4 を参照すると、同一のゲート長さに対して実施例 15 のしきい電圧が比較例 1 及び比較例 2 より相対的に高いことがわかる。したがって、本発明によるトランジスタが相対的に高いしきい電圧を有するため、改善した動作性能を有することができる。

#### 【産業上の利用可能性】

#### 【0163】

前述したように、本発明によると、エピタキシャル層が {111} 側面から [111] 方向に沿って成長した第 1 結晶構造と {100} 底面から [100] 方向に沿って成長した第 2 結晶構造を有する。したがって、不純物領域が {111} 面である側面を有するようになるので、不純物領域間で短チャンネル効果が発生する現象が低下する。

また、本発明のトランジスタは低い接合漏洩電流、ターンオフ電流に対するターンオン電流の高い割合及び高いしきい電圧を有するため、優秀な電気的な特性を有するようになる。

20

#### 【0164】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

#### 【図面の簡単な説明】

#### 【0165】

【図 1】本発明の実施例 1 によるトランジスタを示した断面図である。

【図 2】図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

30

【図 3】図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 4】図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 5】図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 6】本発明の実施例 2 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 7】本発明の実施例 2 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 8】本発明の実施例 3 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 9】本発明の実施例 3 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

40

【図 10】本発明の実施例 3 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 11】本発明の実施例 3 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 12】本発明の実施例 3 によって図 1 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 13】本発明の実施例 4 によるトランジスタを示した断面図である。

【図 14】図 13 に示したトランジスタを製造する方法を順次に示した断面図である。

【図 15】図 13 に示したトランジスタを製造する方法を順次に示した断面図である。

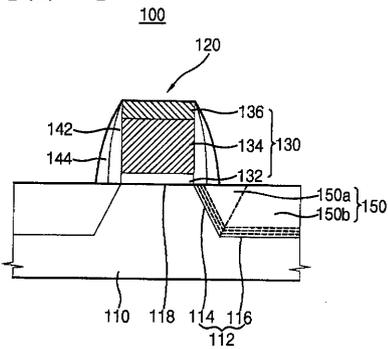
50



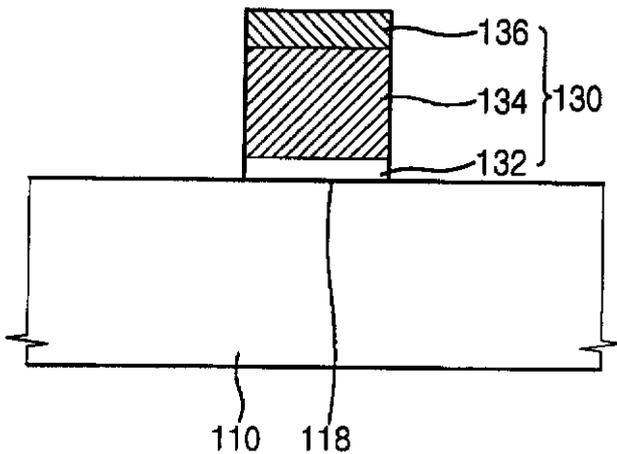
- 【図 4 9】図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 0】図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 1】図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 2】本発明の実施例 1 2 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 3】本発明の実施例 1 2 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 4】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 5】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。 10
- 【図 5 6】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 7】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 8】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 5 9】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 6 0】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。 20
- 【図 6 1】本発明の実施例 1 3 によって図 4 4 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 6 2】本発明の実施例 1 4 によるトランジスタを示した断面図である。
- 【図 6 3】本発明の実施例 1 5 によるトランジスタを示した断面図である。
- 【図 6 4】図 6 3 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 6 5】図 6 3 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 6 6】図 6 3 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 6 7】図 6 3 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 6 8】図 6 3 に示したトランジスタを製造する方法を順次に示した断面図である。 30
- 【図 6 9】図 6 3 に示したトランジスタを製造する方法を順次に示した断面図である。
- 【図 7 0】比較例 1 のトランジスタを示した断面図である。
- 【図 7 1】比較例 2 のトランジスタを示した断面図である。
- 【図 7 2】実施例 1 5 と比較例 1 及び比較例 2 の接合漏洩電流を測定した結果を示したグラフである。
- 【図 7 3】実施例 1 5 と比較例 1 及び比較例 2 のターンオン電流とターンオフ電流を測定した結果を示したグラフである。
- 【図 7 4】実施例 1 5 と比較例 1 及び比較例 2 のしきい電圧を測定した結果を示したグラフである。
- 【符号の説明】 40
- 【0 1 6 6】
- |             |            |
|-------------|------------|
| 1 1 0、3 1 0 | 半導体基板      |
| 1 1 2、3 1 2 | 凹陥部        |
| 1 1 4、3 1 4 | 側面         |
| 1 1 6、3 1 6 | 底面         |
| 1 1 8、3 1 8 | 表面         |
| 1 2 0、3 2 0 | ゲート構造物     |
| 1 3 0、3 3 0 | ゲートパターン    |
| 1 3 2、3 3 2 | ゲート絶縁膜パターン |
| 1 3 4、3 3 4 | 導電膜パターン    |
- 50

- 136、336     ハードマスク膜パターン
- 142、342     第1スペーサ
- 144、344     第2スペーサ
- 150、350     エピタキシャル層
- 170     不純物領域
- 260、360     ハローイオン注入領域
- 370     第2高濃度不純物領域
- 380     第1高濃度不純物領域

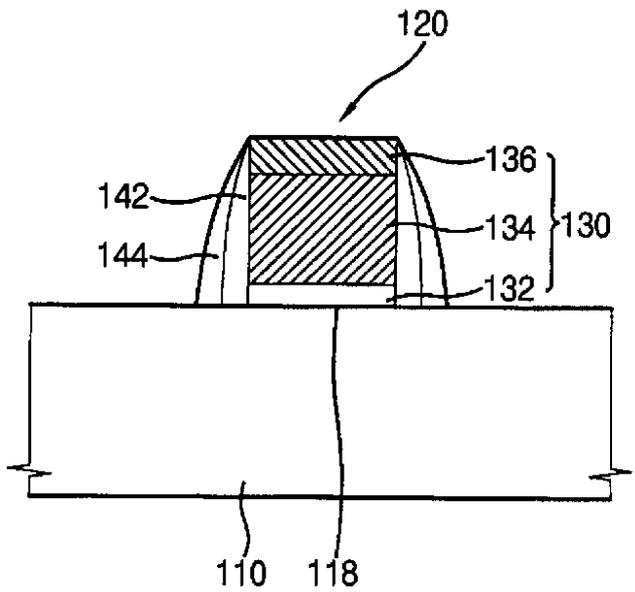
【図1】



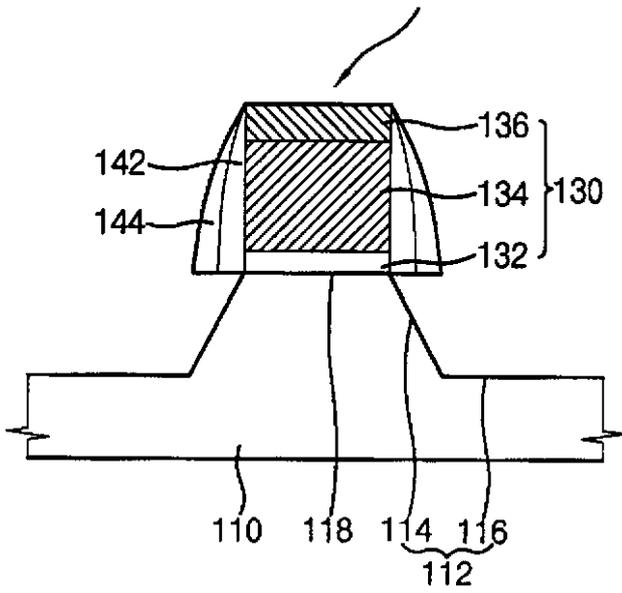
【図2】



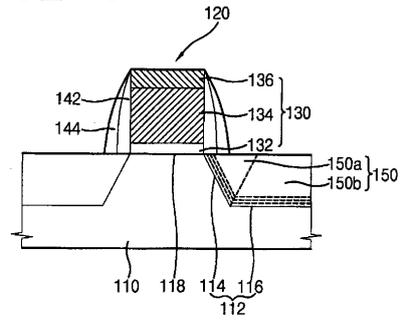
【図3】



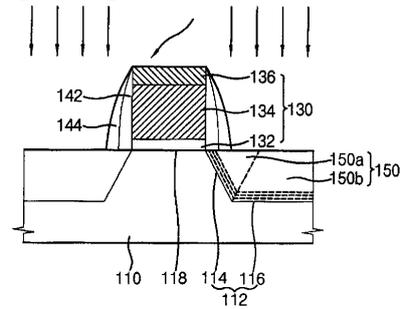
【 図 4 】



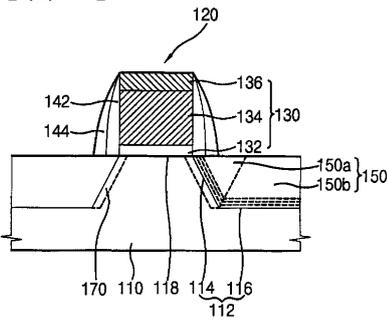
【 図 5 】



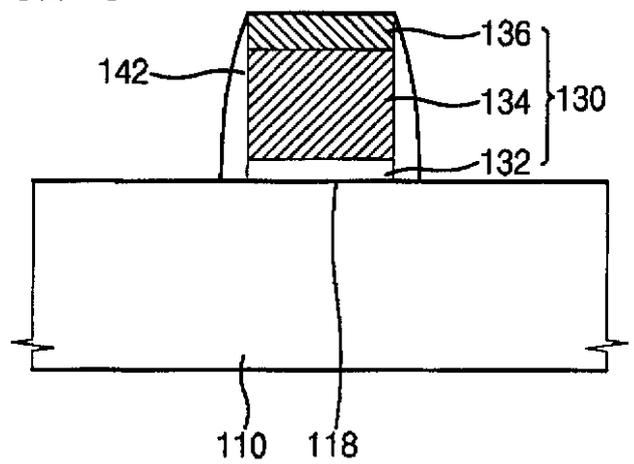
【 図 6 】



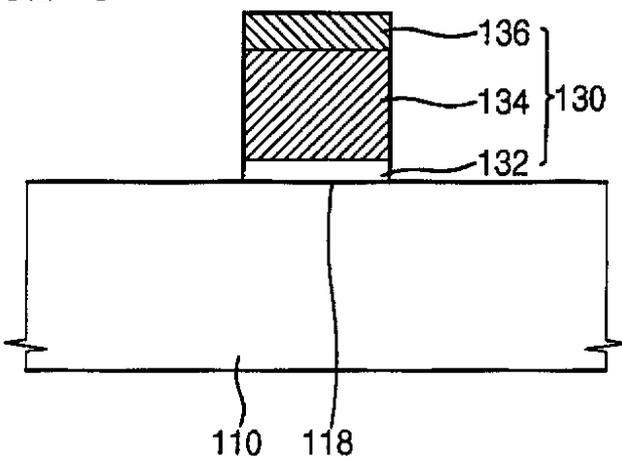
【 図 7 】



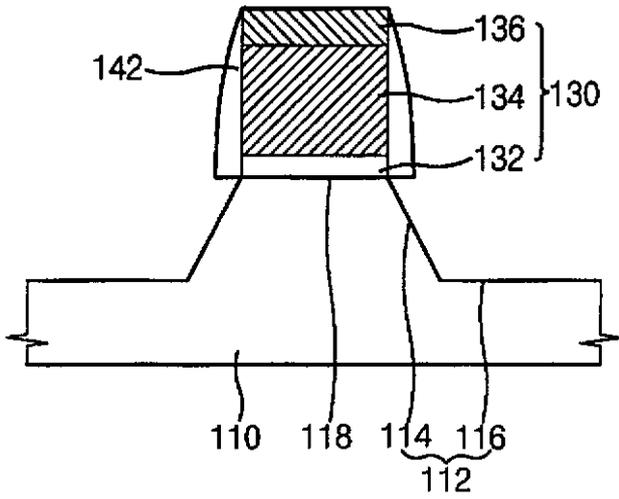
【 図 9 】



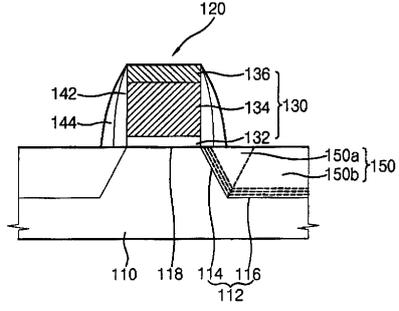
【 図 8 】



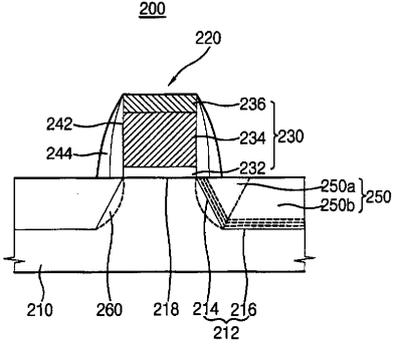
【図10】



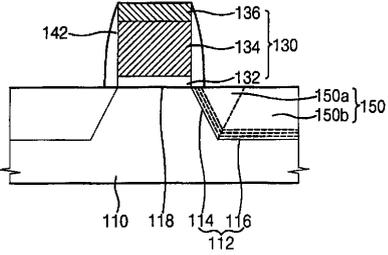
【図12】



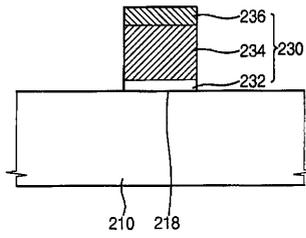
【図13】



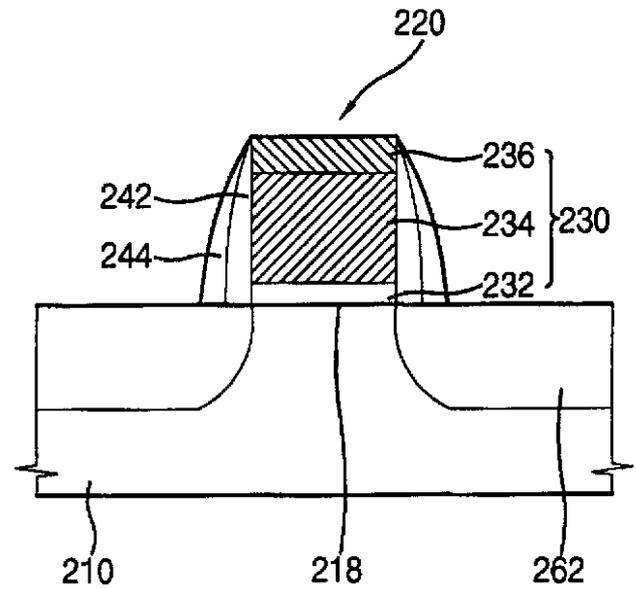
【図11】



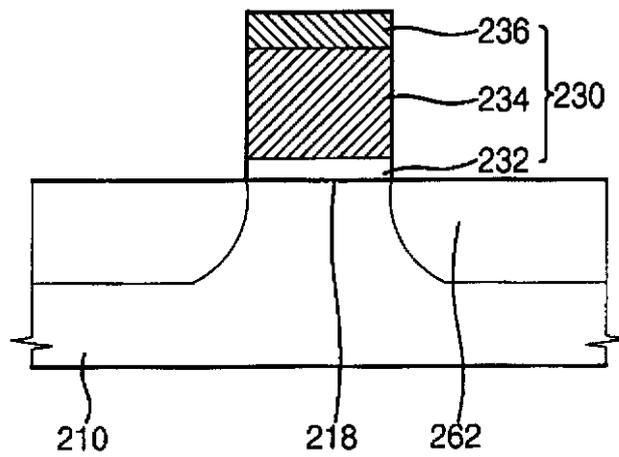
【図14】



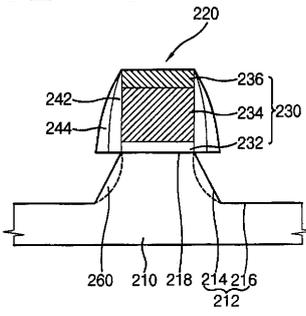
【図16】



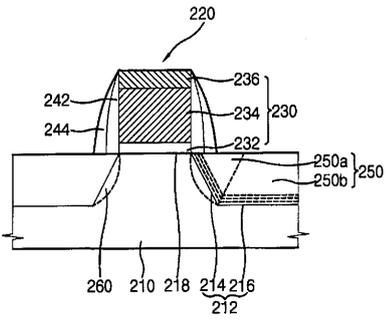
【図15】



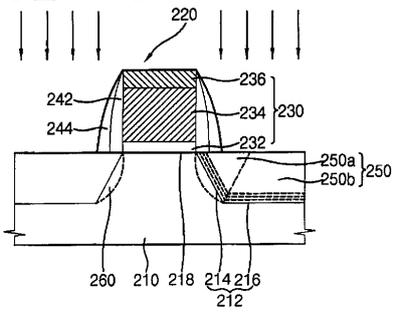
【 図 1 7 】



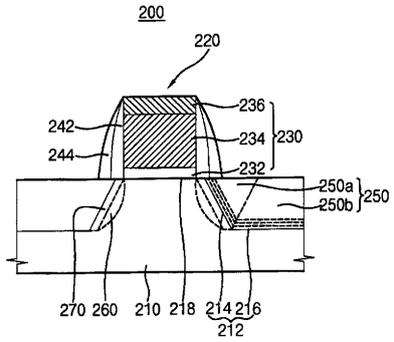
【 図 1 8 】



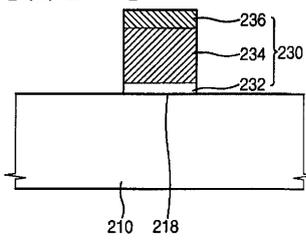
【 図 1 9 】



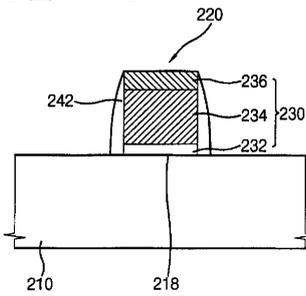
【 図 2 0 】



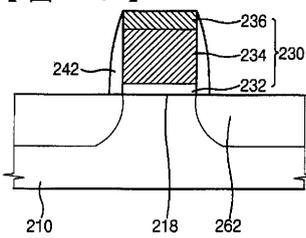
【 図 2 1 】



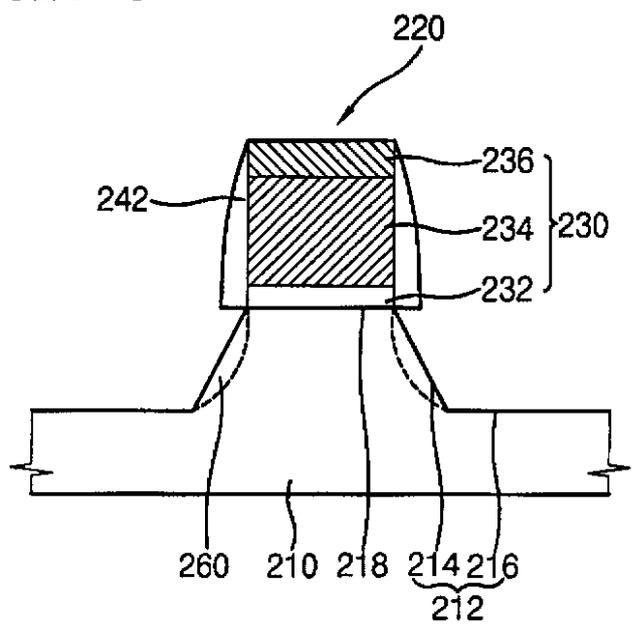
【 図 2 2 】



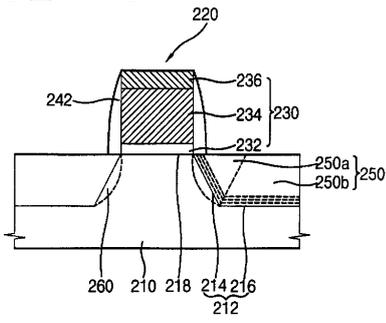
【 図 2 3 】



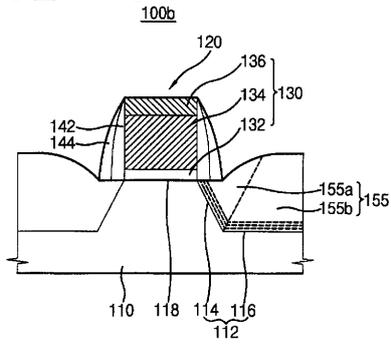
【 図 2 4 】



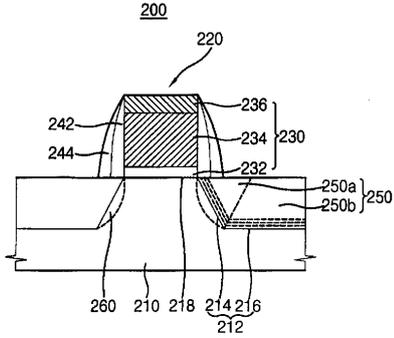
【 図 2 5 】



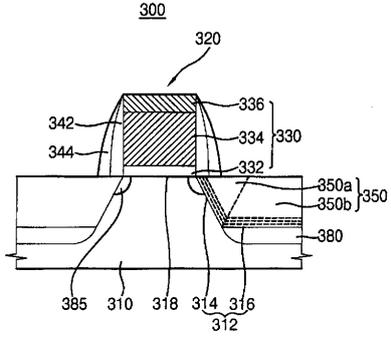
【 図 2 7 】



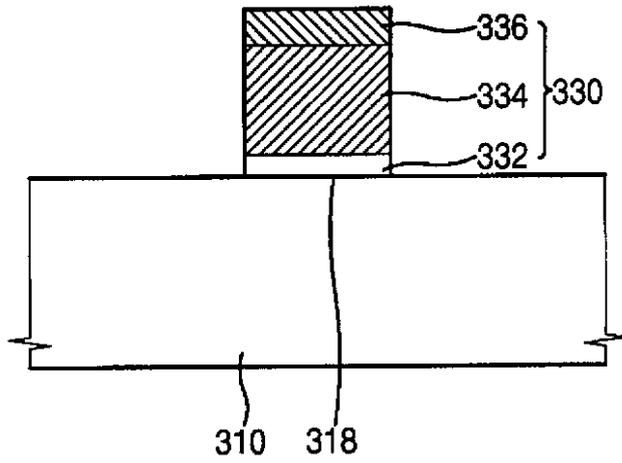
【 図 2 6 】



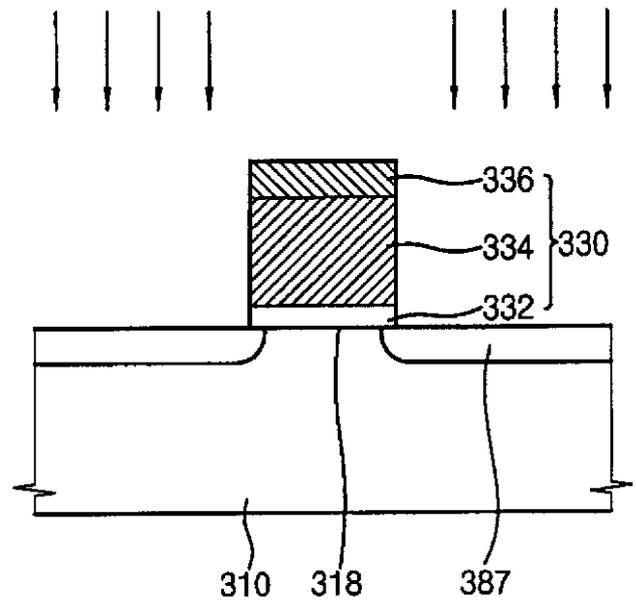
【 図 2 8 】



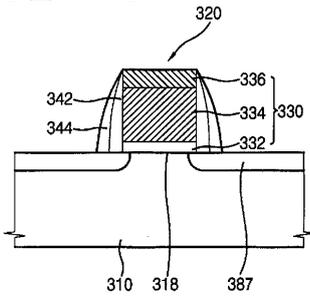
【 図 2 9 】



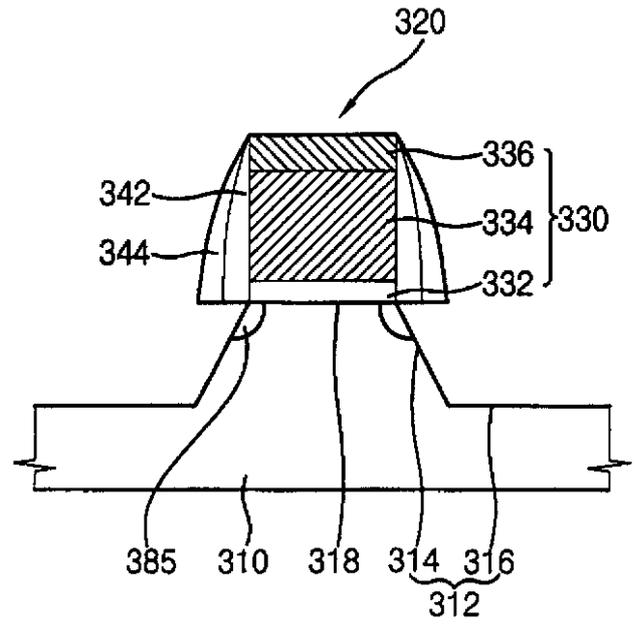
【 図 3 0 】



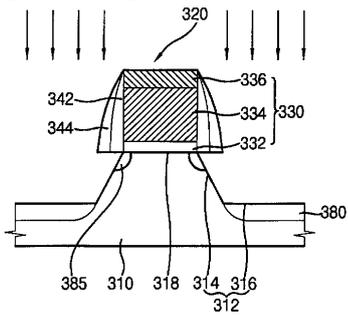
【 図 3 1 】



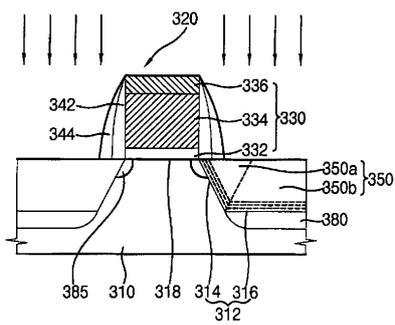
【 図 3 2 】



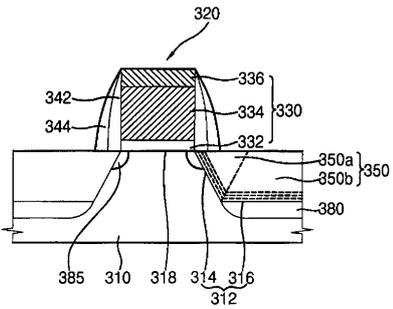
【 図 3 3 】



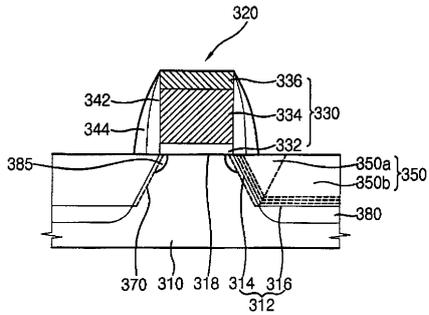
【 図 3 5 】



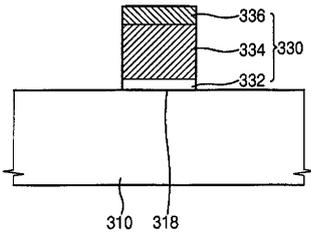
【 図 3 4 】



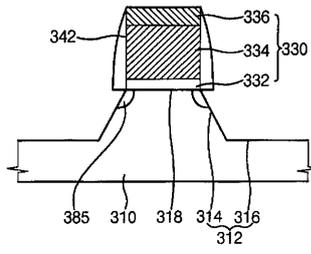
【 図 3 6 】



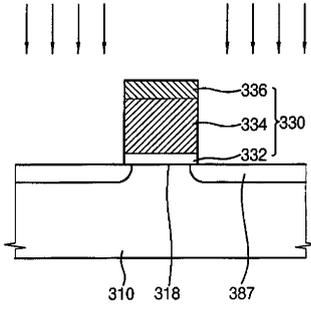
【 図 3 7 】



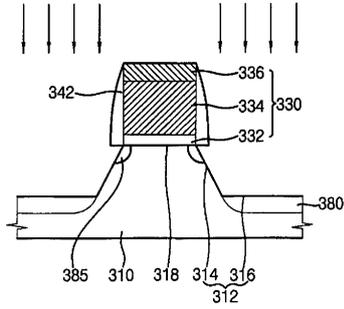
【 図 4 0 】



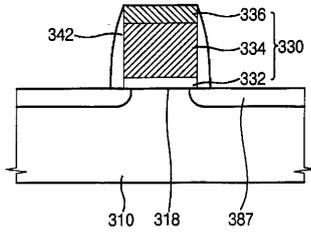
【 図 3 8 】



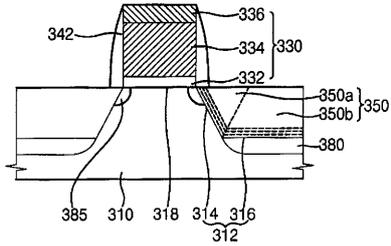
【 図 4 1 】



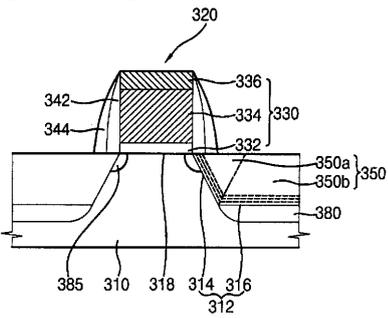
【 図 3 9 】



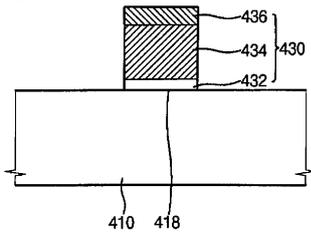
【 図 4 2 】



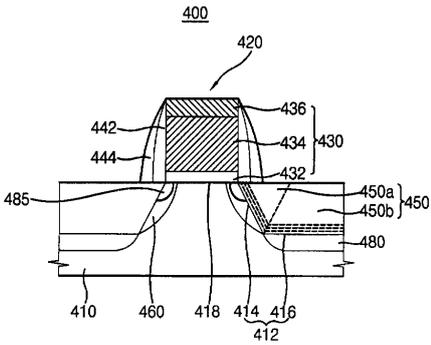
【 図 4 3 】



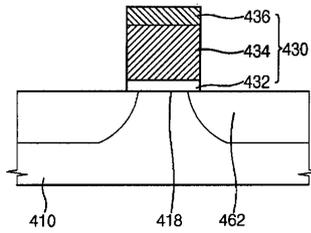
【 図 4 5 】



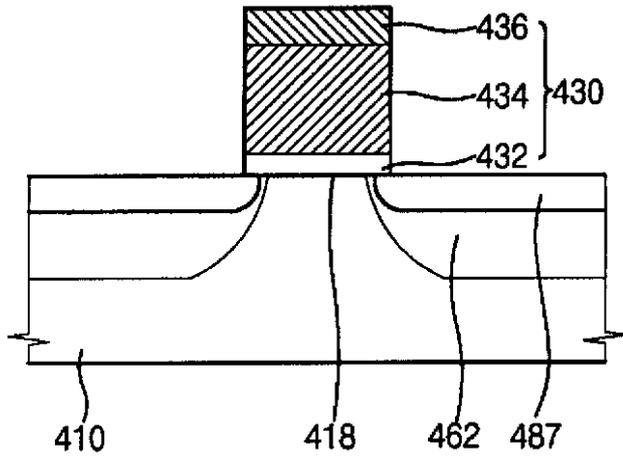
【 図 4 4 】



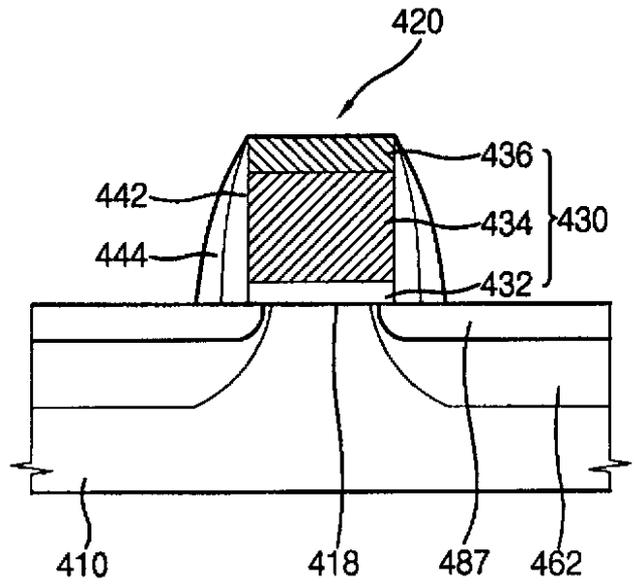
【 図 4 6 】



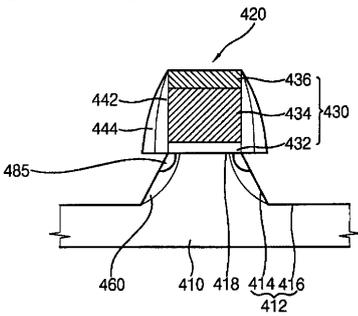
【 図 4 7 】



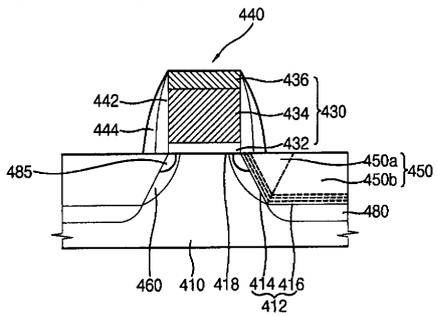
【 図 4 8 】



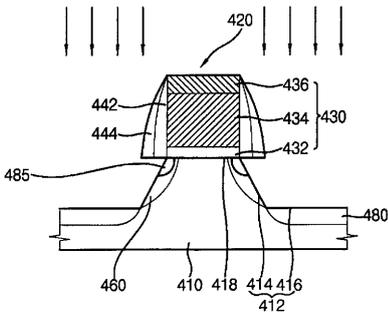
【 図 4 9 】



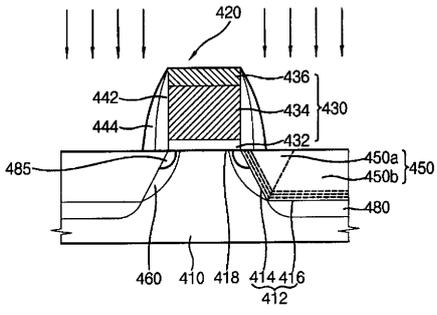
【 図 5 1 】



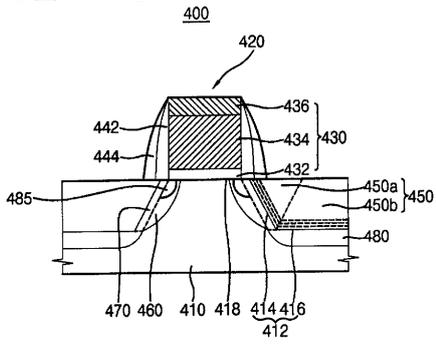
【 図 5 0 】



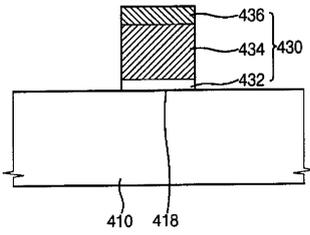
【 図 5 2 】



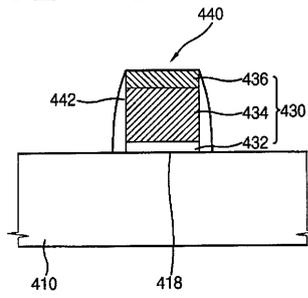
【 図 5 3 】



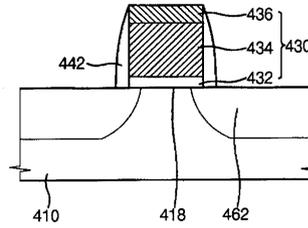
【 図 5 4 】



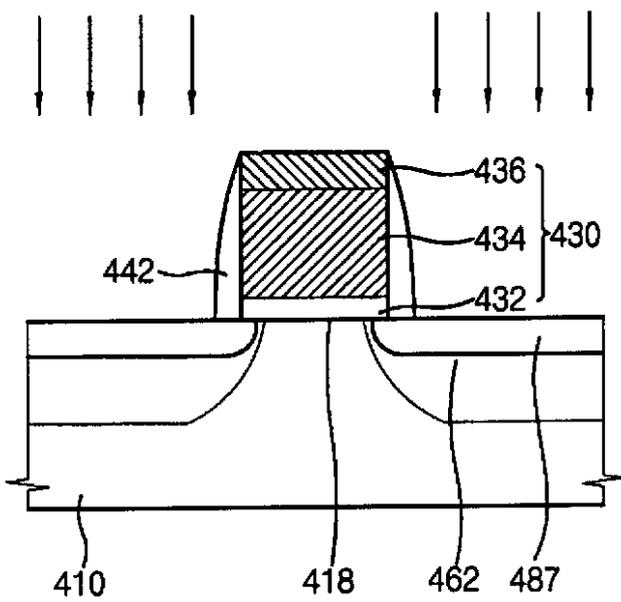
【 図 5 5 】



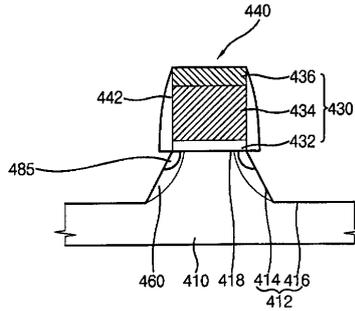
【 図 5 6 】



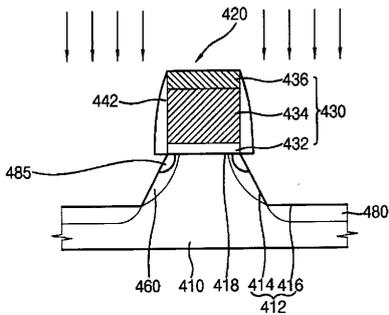
【 図 5 7 】



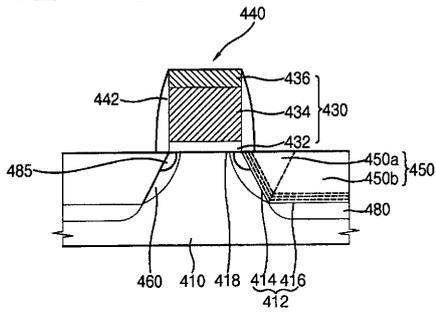
【 図 5 8 】



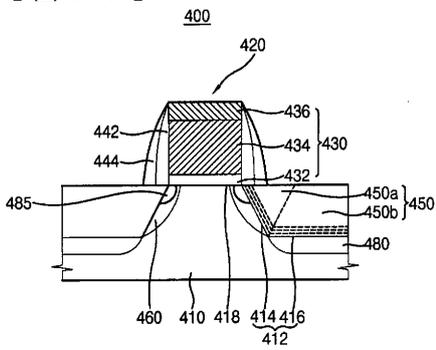
【 図 5 9 】



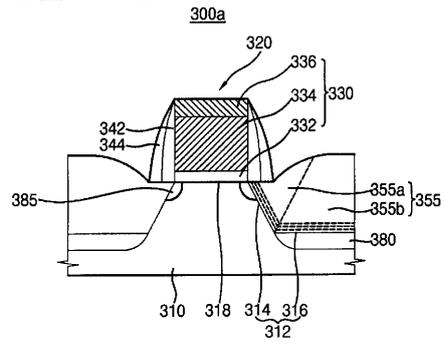
【 図 6 0 】



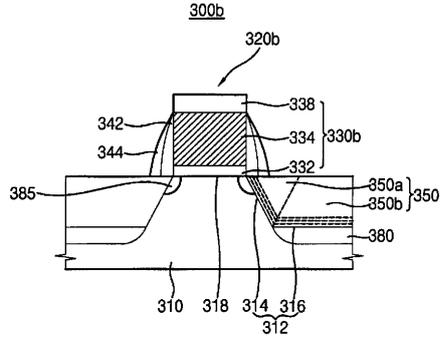
【 図 6 1 】



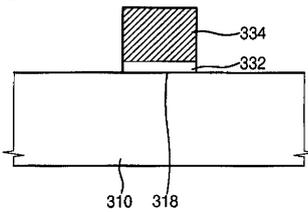
【 図 6 2 】



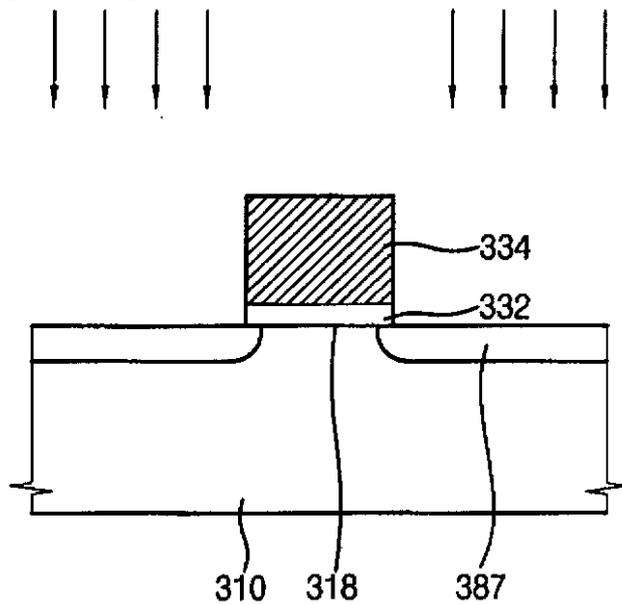
【 図 6 3 】



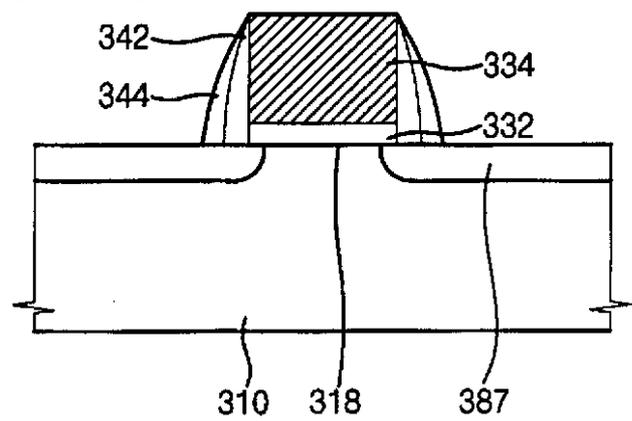
【 図 6 4 】



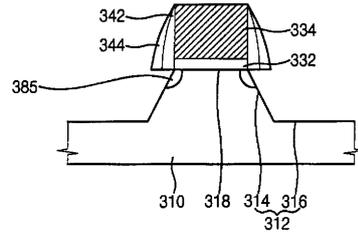
【 図 6 5 】



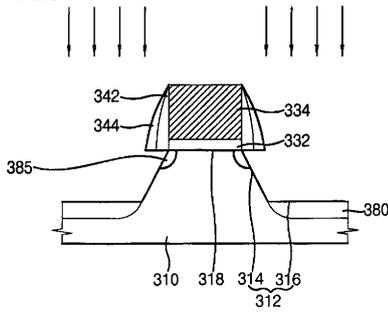
【 図 6 6 】



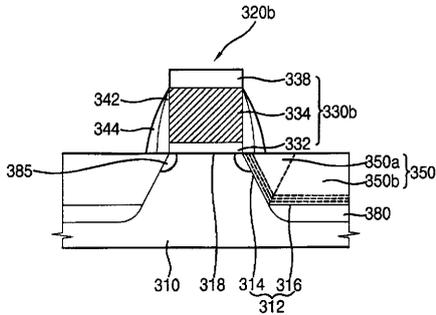
【 図 6 7 】



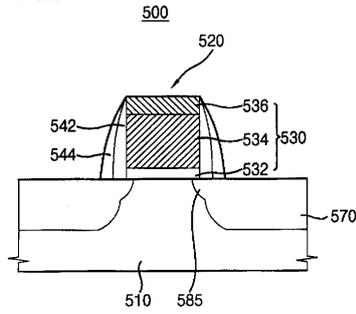
【図68】



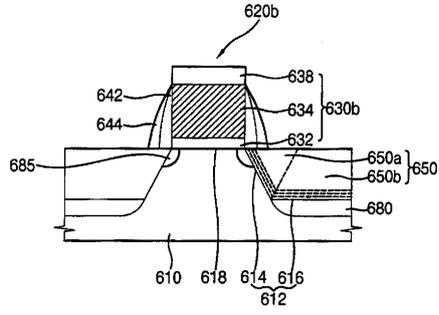
【図69】



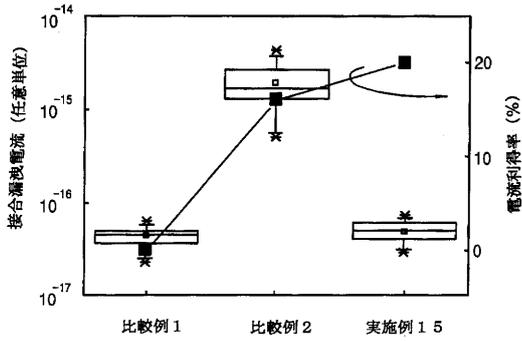
【図70】



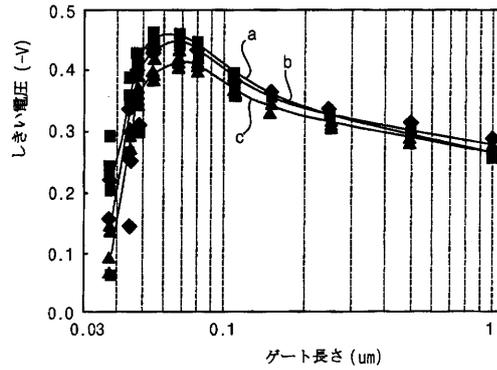
【図71】



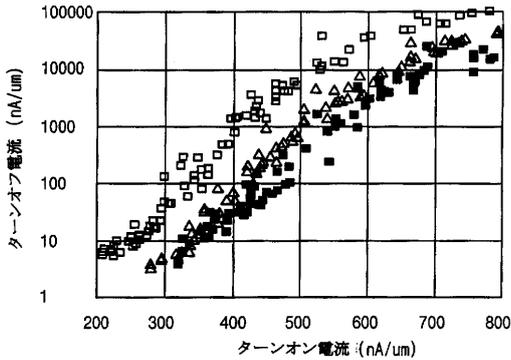
【図72】



【図74】



【図73】



## フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 申 東石

大韓民国京畿道龍仁市器興邑書川里(番地なし) 現代ホームタウン107棟1402号

(72)発明者 李 化成

大韓民国京畿道城南市盆唐区九美洞(番地なし) カチマウル大宇アパート106棟402号

(72)発明者 李 浩

大韓民国忠清南道天安市斗井洞(番地なし) デアアイトゥヴィル105棟904号

(72)発明者 李 承煥

大韓民国京畿道水原市靈通区靈通洞(番地なし) シンナムシル5団地双龍アパート544棟1204号

(72)発明者 上野 哲嗣

大韓民国京畿道水原市靈通区靈通洞(番地なし) シンナムシル6団地アパート604棟1304号

Fターム(参考) 5F140 AA06 AA18 AA21 AA24 BA01 BA05 BA20 BD04 BD09 BD11

BF01 BF05 BF07 BF11 BF14 BG09 BG12 BG14 BG22 BG29

BG37 BG53 BH06 BH07 BH14 BH15 BH21 BH27 BH34 BH35

BK09 BK10 BK13 BK18 BK21 BK22